



МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ

**ХАРКІВСЬКИЙ НАЦІОНАЛЬНИЙ
УНІВЕРСИТЕТ РАДІОЕЛЕКТРОНІКИ**

І.М. Бондаренко, О.В. Бородін, В.П. Карнаушенко

СУЧАСНА КОМПОНЕНТНА БАЗА ЕЛЕКТРОННИХ СИСТЕМ

Харків 2020

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ

ХАРКІВСЬКИЙ НАЦІОНАЛЬНИЙ
УНІВЕРСИТЕТ РАДІОЕЛЕКТРОНІКИ

І.М. Бондаренко, О.В. Бородін, В.П. Карнаушенко

СУЧАСНА КОМПОНЕНТНА БАЗА ЕЛЕКТРОННИХ СИСТЕМ

Навчальний посібник

Харків 2020

*Рекомендовано до друку рішенням Вченої ради
Харківського національного університету радіоелектроніки
(протокол № 9/45 від 24.10.2019)*

І.М. Бондаренко, О.В. Бородин, В.П. Карнаушенко

Сучасна компонентна база електронних систем: навч. посібник для студентів ЗВО. / І.М. Бондаренко, О.В. Бородин, В.П. Карнаушенко. – Харків: ХНУРЕ, 2020. – 268 с.

ISBN 978-966-659-288-3

Розглядається сучасна елементна база, основою якої є спеціалізовані інтегровані схеми, що розробляються на основі базових матричних кристалах, програмованих логічних та аналогових мікросхем. Викладено основні принципи побудови, функціонування, архітектури сучасних мікросхем базових матричних кристалів (БМК) та програмованих користувачем логічних та аналогових інтегральних схем (ПЛІС, ПАІС). Визначені сфери застосування БМК та ПЛІС і ПАІС. Наведено основні типи та особливості сучасних мікросхем БМК та програмованих користувачем мікросхем основних виробників.

Рекомендовано як навчальний посібник для студентів усіх форм навчання спеціальностей 153 «Мікро- та наносистемна техніка», 171 «Електроніка».

Рецензенти:

І.І. Обод, доктор технічних наук, професор кафедри МТС, лауреат Державної премії України,

І.В. Прасол, доктор техн. наук, доцент, професор кафедри БМІ ХНУРЕ

Іл. 187. Табл. 4. Бібліогр. 27 назв.

ISBN 978-966-659-288-3

© Бондаренко І.М., Бородин О.В.,
Карнаушенко В.П., 2020

ЗМІСТ

ВСТУП.....	5
1 СПЕЦІАЛІЗОВАНІ ВЕЛИКІ ІНТЕГРАЛЬНІ СХЕМИ.....	8
1.1 Характеристика спеціалізованих великих інтегральних схем	8
1.2 Контрольні запитання і завдання	13
2 МІКРОСХЕМИ БМК НЕВЕЛИКОЇ СКЛАДНОСТІ	14
2.1 Структура БМК.....	14
2.2 БМК на біполярних транзисторах	19
2.3 БМК на МОН-структурах	23
2.4 Блокова архітектура БМК.....	34
2.5 Параметри БМК	37
2.6 Послідовність проектування спеціалізованих мікросхем на основі БМК та їх переваги і недоліки	39
2.7 Контрольні запитання і завдання	40
3 МІКРОСХЕМИ БМК ПІДВИЩЕНОЇ СКЛАДНОСТІ	42
3.1 Структуровані цифрові БМК	42
3.2 Структуровані БМК з блоковою архітектурою.....	53
3.3 Аналогові та аналогово-цифрові БМК.....	55
3.4 Контрольні запитання і завдання.....	72
4 ПРОСТІ ПРОГРАМОВАНІ ЛОГІЧНІ ІНТЕГРАЛЬНІ СХЕМИ	74
4.1 Загальні відомості про програмовані інтегральні схеми	74
4.2 Засоби програмування ПЛІС.....	75
4.3 Програмовані логічні матриці.....	80
4.4 Програмована матрична логіка.....	85
4.5 Розширення можливостей ПЛМ і ПМЛ.....	86
4.6 Складні програмовані логічні інтегральні схеми (CPLD).....	88
4.7 Контрольні запитання і завдання.....	94
5 ПРОГРАМОВАНІ КОРИСТУВАЧЕМ ВЕНТИЛЬНІ МАТРИЦІ (FPGA) ...	95
5.1 Логічні блоки FPGA	95
5.2 Система міжз'єднань FPGA.....	102
5.3 Приклади мікросхем FPGA середньої складності.....	105
5.4 Програмовані логічні схеми з комбінованою архітектурою	112
5.5 Контрольні запитання і завдання	126

6 ПРОГРАМОВАНІ АНАЛОГОВІ ТА АНАЛОГО-ЦИФРОВІ ІНТЕГРАЛЬНІ СХЕМИ.....	128
6.1 Сімейство isp RAC фірми Lattice Semiconductor	128
6.2 Програмовані аналогові мікросхеми фірми Anadigm.....	136
6.3 Контрольні запитання і завдання	144
7 ПРОГРАМОВАНІ СИСТЕМИ НА КРИСТАЛІ	146
7.1 Загальні відомості про програмовані системи на кристалі	146
7.2 ПЛІС типу програмована «система на кристалі» з однорідною структурою.....	157
7.3 Мікросхеми ПСнК FPGA компанії Altera	169
7.4 ПЛІС ПСнК FPGA фірми Xilinx	181
7.5 Програмовані системи на кристалі з процесорними блоками	191
7.6 Контрольні запитання і завдання	215
8 ПРОГРАМОВАНІ СИСТЕМИ НА КРИСТАЛІ КОНТРОЛЕРНОГО ТИПУ	217
8.1 Мікросхеми типу система на кристалі PSoC фірми Cypress першої генерації	217
8.2 Основні характеристики сімейства PSoC 3.....	219
8.3 Мікросхеми сімейства PsoC 4	226
8.4 Сімейство PSoC 5LP	234
8.5 Сімейство PSoC 6.....	244
8.6 Середовище розробки проектів PSoC Creator™.....	247
8.7 Контрольні запитання і завдання	264
РЕКОМЕНДОВАНА ЛІТЕРАТУРА	265

ВСТУП

Основна частина сучасної радіoeлектронної апаратури розробляється на основі великих інтегральних схем (ВІС), які містять у своєму складі функціонально закінчені вузли та пристрої.

Мікроелектронні пристрої спеціального призначення різноманітні за своїм функціональним призначенням, електричними параметрами, і у своїй більшості є малосерійними виробами (щорічна потреба може рахуватися десятками або одиницями виробів). Ці фактори впливають на складність і термін розробки, виробництва і випробувань кожного пристрою, що визначає високу кінцеву вартість таких мікросхем. Для суттєвого зменшення термінів розробки та модернізації мікроелектронної апаратури спеціального призначення застосовуються напівзамовні мікросхеми – базові матричні кристали (БМК). Це обумовлено тим, що в ході розробки БМК виготовлюються тестові схеми, які проходять усі кваліфікаційні випробування, що значно спрощує процес атестації спеціалізованих мікросхем на їх основі. Цей фактор значно зменшує вартість і терміни виробництва мікроелектронних пристроїв, особливо в умовах малосерійності.

Аналого-цифрові БМК розширюють можливості застосування методів цифрової обробки інформації в апаратурі, ускладнюють їх функції і дозволяють розробляти аналого-цифрові пристрої в однокристальному виконанні. Сучасні методи спеціалізації БМК дозволяють значно зменшити мінімальну кількість кристалів, які замовляються на підприємстві з виготовлення мікросхем.

Іншим шляхом прискорення розробки та зменшення вартості виробництва є застосування програмованих користувачем інтегральних схем – цифрових (програмовані логічні інтегральні схеми, ПЛІС), аналогових і аналого-цифрових (програмовані аналогові та аналого-цифрові інтегральні схеми, ПАІС).

ПЛІС є порожня мікросхема. На відміну від звичайних цифрових мікросхем, логіка роботи ПЛІС визначається не на фабриці під час виготовлення, а задається за допомогою додаткового програмування (проектування) за підтримки спеціальних засобів: програматорів і програмного забезпечення. Ця технологія дозволяє розробити свою мікросхему з власною архітектурою.

ПЛІС – високоінтегровані гнучкі універсальні логічні пристрої з внутрішньою системою перепрограмування. Збільшення попиту на пристрої з можливістю зміни їх внутрішньої структури в реальному часі зі швидкою

перебудовою виконуваних функцій розширило сфери застосування ПЛІС. Доцільність її застосування обумовлюється необхідністю або розробити оригінальну апаратуру, або замінити цілу низку звичайних інтегральних схем малого та середнього ступеня інтеграції, що дозволяє зменшити розміри пристрою, знизити споживану потужність і збільшити надійність.

Сучасні мікросхеми БМК, ПЛІС та ПАІС містять великі масиви програмованої логіки, вбудовані процесорні ядра або процесорні системи, аналогові та аналогово-цифрові блоки, блоки цифрової обробки сигналів.

У посібнику розглядається сучасна елементна база, основою якої є спеціалізовані інтегровані схеми, що розробляються на базових матричних кристалах, програмованих логічних та аналогових мікросхемах. Наведено різновиди, архітектури, параметри та характеристики, принципи реалізації спеціалізованих ВІС на основі БМК та сучасних ПЛІС і ПАІС, включаючи програмовані системи на кристалі, провідних закордонних фірм.

Другий і третій розділи присвячені цифровим та аналоговим мікросхемам БМК від простих до кристалів високого ступеня інтеграції, що дозволяють реалізувати системи на кристалі. У четвертому розділі наведені дані про програмовані логічні мікросхеми типу програмовані логічні матриці, програмовану матричну логіку та програмовані логічні мікросхеми складної архітектури (CPLD). П'ятий розділ присвячений програмованим вентильним матрицям – мікросхемам типу FPGA. Програмовані аналогові та аналого-цифрові інтегральні схеми розглянуто у шостому розділі. Сьомий розділ присвячений програмованим системам на кристалі. У восьмому розділі наведено детальний опис мікросхем типу система на кристалі контролерного типу.

Як приклади використовуються популярні мікросхеми широковідомих фірм Altera (Intel-Altera), Xilinx, Cypress, Anadigm, Lattice Semiconductor та деяких інших.

Знання елементної бази сучасної електроніки є складовою частиною для успішної інженерної діяльності фахівця зі спеціальностей 153 «Мікро- та наносистемна техніка», 171 «Електроніка». Постійне удосконалення та поновлення номенклатури електронних компонентів, жорсткі обмеження на тривалість і вартість розробки вносять додаткові ускладнення в процес проектування електронних систем управління, автоматики й обробки інформації на базі мікропроцесорних пристроїв та цифрових схем. Тому для успішного подолання таких ускладнень в інженерній діяльності фахівців необхідним є формування у студентів знань з апаратних і програмних засобів, необхідних для побудови сучасної електронної техніки.

Матеріал навчального посібника призначений для забезпечення дисципліни «Елементна база сучасної електроніки», «Елементна база мікроелектронної апаратури», «Мікропроцесорні системи контролю та керування», «Конструювання мікроелектронної апаратури» та «Проектування та конструювання електронних пристроїв і систем» для спеціальностей 153 «Мікро- та наносистемна техніка», 171 «Електроніка», освітньо-професійних програм «Мікро- та нанoeлектроніка», «Електронні пристрої та системи», а також може бути корисним для споріднених спеціальностей.

1 СПЕЦІАЛІЗОВАНІ ВЕЛИКІ ІНТЕГРАЛЬНІ СХЕМИ

1.1 Характеристика спеціалізованих великих інтегральних схем

Елементну базу сучасної електронної техніки обробки інформації та її збереження становлять інтегральні схеми (ІС). Залежно від типу інформаційних сигналів засоби їх обробки поділяють на цифрові, аналогові та цифро-аналогові. При цьому потрібні електронні засоби різної швидкодії, неоднакової точності обробки інформації та з відмінними алгоритмами роботи. Електронні системи і пристрої містять як стандартні частини (процесор, пам'ять, аналого-цифрові та цифро-аналогові перетворювачі тощо), так і нестандартні, особливі для даного проекту. Це насамперед схеми керування модулями системи та забезпечення їх взаємодії. Нестандартні частини системи реалізовувалися на мікросхемах малого та середнього ступеня інтеграції (МІС та СІС). Використання МІС та СІС пов'язано зі зростанням кількості корпусів ІС, ускладненням монтажу, зниженням надійності та швидкодії системи. Зміна алгоритму роботи потребує зміни структури системи, заміни електронних вузлів і зв'язків між ними, тобто розробки нових друкованих плат і не тільки.

Ці проблеми вирішуються за допомогою мікросхем з програмованою логікою або структурою. Частина мікросхем виготовляється як стандартні вироби і потім програмується користувачем відповідно до вимог конкретних проектів. Зникає потреба замовляти спеціалізовані мікросхеми, що мають високу вартість. Інша група мікросхем виготовляється як напівфабрикати й далі спеціалізується за допомогою значно меншої кількості технологічних операцій. У цьому випадку користувач суттєво зменшує витрати на потрібну мікросхему порівняно з витратами на повністю замовну мікросхему.

Слід зазначити, що інтегральні схеми з програмованою користувачем структурою є для споживача спеціалізованими, а для промисловості – стандартними. Розглянемо це питання докладніше.

Спеціалізовані ВІС (ASIC, Application Specific Integrated Circuit) створюються для застосування в конкретній апаратурі. Їх виготовляють на підприємствах невеликими партіями за замовленням підприємств апаратобудування, тому такі ВІС часто називають замовними.

Спеціалізовані ВІС зазвичай виконують складну закінчену логічну (чи аналогову) функцію. Застосування спеціалізованих ВІС дозволяє різко скоротити кількість ІС і тим самим зменшити габарити, масу і споживану

потужність усього пристрою. Об'єднання елементів у ВІС підвищує системну швидкодію, надійність, завадостійкість тому, що скорочується довжина сполучних провідників, величина їх паразитних ємностей та індуктивностей, а також число монтажних з'єднань на друкованих платах.

Найчастіше спеціалізовані ВІС поділяють на програмовані виробником і програмовані користувачем. Програмовані виробником – повністю замовні ІС, ІС на стандартних елементах (чарунках) та напівзамовні ІС (маскове програмовані ІС) – базові матричні кристали.

Повністю замовні ІС (Full Custom IC) проектуються та виготовляються цілком за замовленням споживача. Для виготовлення ІС потрібна розробка повного комплексу фотошаблонів, верифікація і налаштування усіх фрагментів схеми. Вони за своїми робочими характеристиками повністю перевершують інші класи спеціалізованих ВІС, тому що за час їх проектування враховуються особливості функціонування електричної схеми і можливості обраної напівпровідникової технології.

Проектування оригінальної СВІС потребує розробки та виготовлення повного комплексу фотошаблонів (15–20 штук). Вартість проектування та виготовлення кожного шаблону коштує десятки тисяч доларів. Рівень витрат на створення комплексу фотошаблонів можна ілюструвати такими цифрами: для технології з мінімальним розміром 0,18 мкм це 300–350 тис. доларів, для технології з мінімальним розміром 0,13 мкм – приблизно 500 тис. доларів, для мінімального розміру 0,1 мкм – 750 тис. доларів і більше.

Розробка й запуск у виробництво цілком замовної ВІС, починаючи від функціональної схеми і до готового виробу – це дуже трудомісткий процес, що займає до 40...60 тижнів. Висока вартість такої розробки окуплюється тільки за великого обсягу виробництва мікросхем порядку сотень тисяч і мільйонів штук. Прикладом таких ВІС можуть слугувати мікросхеми для кварцових годинників, калькуляторів, ВІС запам'ятовуючих пристроїв тощо. Зі створенням замовлених спеціалізованих ВІС широко використовуються системи автоматизованого проектування (САПР) і автоматизованого керування технологічними процесами. У конструкції нової ВІС застосовуються як новоутворені вузли, так і наявні в банку даних САПР вузли ВІС, що вже реалізовані й апробовані в попередніх розробках.

Замовні ВІС на стандартних елементах (Standard Cell Logic) використовують бібліотеки раніше розроблених стандартних фрагментів, що являють собою набір топологій типових вузлів і блоків (логічні й буферні елементи, тригери, лічильники, регістри, арифметичні пристрої, контролери, оперативні і постійні запам'ятовуючі пристрої тощо).

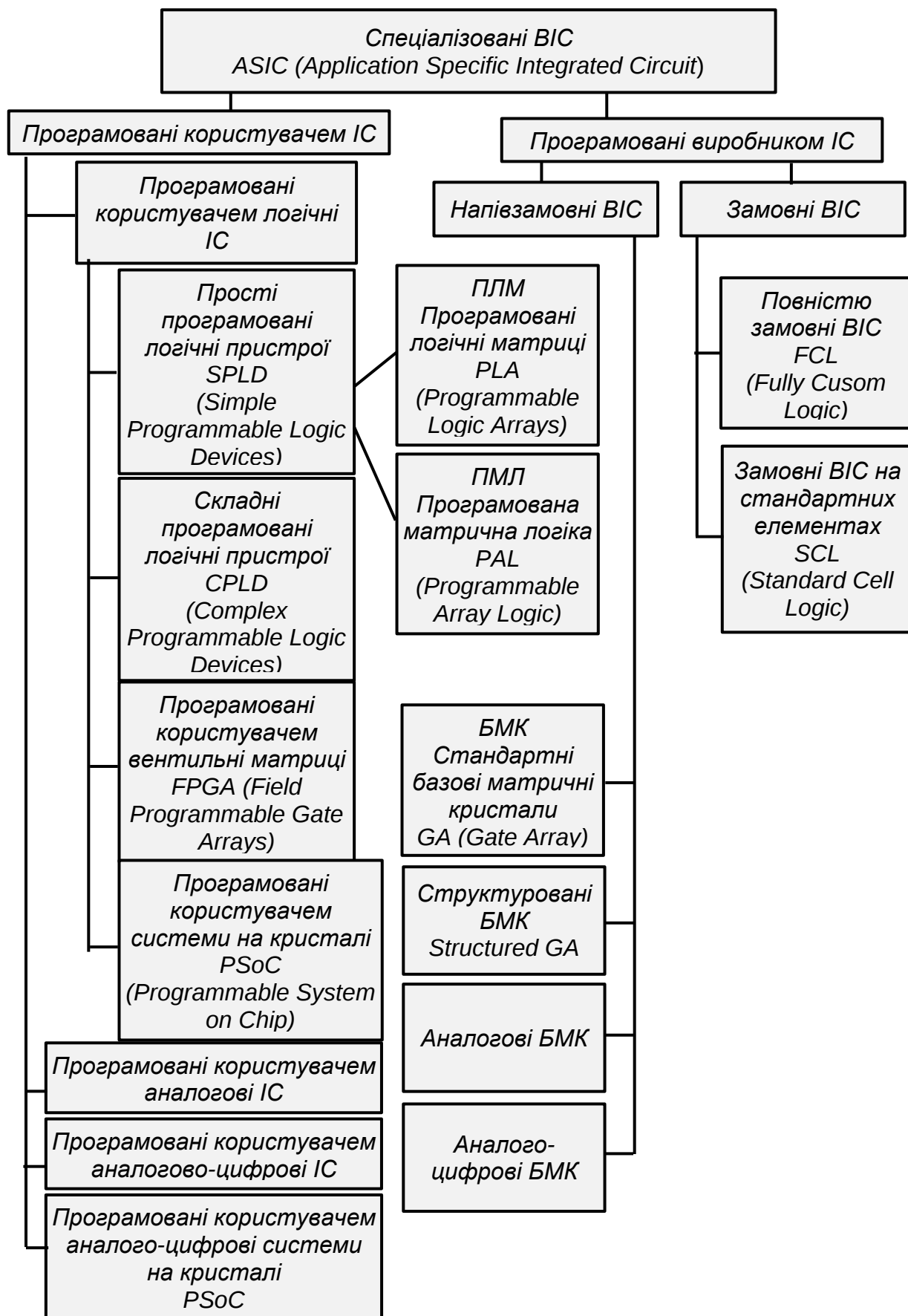


Рисунок 1.1 – Класифікація спеціалізованих BIC

В процесі проектування топології ВІС здійснюється розташування необхідних функціональних елементів у вигляді рядів комірок постійної висоти і змінної ширини на полі кристалу й трасування міжфрагментних електричних з'єднань. Під час проектування спочатку з набору бібліотечних елементів обираються потрібні функціональні блоки, а потім їх розміщують і проводять трасування. Тому замовні ВІС на стандартних елементах мають меншу щільність упакування, велику вартість виробництва кристалу однієї ВІС через збільшення площі кристалу й зменшення відсотка виходу придатних кристалів, але час і витрати на проектування значно скорочуються. Випуск таких ВІС вигідний за обсягів виробництва десятки-сотні тисяч штук. Для виготовлення спеціалізованих замовлених ВІС на стандартних елементах проектується й виготовляється повний комплект фотошаблонів, використовується повний цикл технологічних операцій від підготовки напівпровідникових пластин до скрайбування тощо.

Базові матричні кристали, БМК (Uncommitted Logic Array, ULA) належать до напівзамовних схем. БМК є універсальними кристалами-заготовками, розташованими на напівпровідниковій пластині. БМК персоналізують утворюючи відповідні з'єднання фотолітографією металевих шарів, у маскове програмування БМК, (Mask Programmable Gate Arrays, MPGA), видаляючи непотрібні з'єднання або навпаки утворюючи потрібні за допомогою лазерного променя, у програмуваннях лазером БМК (Laser Programmable або Laser Personalised) Gate Arrays, LPGA).

Такі кристали називаються базовими, оскільки усі фотошаблони для його виготовлення, за винятком шарів комутації, є постійними й не залежать від реалізованої схеми. Найпростіші елементи (базові чарунки) розташовуються у вузлах прямокутних ґрат, тому кристал називають матричним.

Для виготовлення спеціалізованих ВІС на основі БМК проектується і виготовляються фотошаблони або програми, які необхідні для формування електричних зв'язків за заданою принциповою електричною схемою або руйнування деяких металевих з'єднань електронним променем. Як правило, для реалізації електричних з'єднань необхідно від 1 до 3 шарів металізації або міжшарових з'єднань.

Функціональні елементи різного ступеня складності формуються з базових чарунок на основі бібліотеки топологій функціональних елементів, спроектованих щодо конкретного складу й розташування чарунок матриці. Напівзамовні ВІС на основі БМК вигідно застосовувати за середніх обсягів виробництва (тисячі...десятки тисяч штук). Час розробки пристрою у вигляді

матричної ВІС скорочується до декількох тижнів. На відміну від повністю замовних ІС у матричних ВІС перших розробок не повністю використовуються площа кристалу (на кристалі залишаються не використані елементи), довжини зв'язків не мінімальні, швидкодія не максимальна.

Промисловість випускає цифрові БМК, аналогові БМК і аналого-цифрові БМК (Mixed-Signal ASIC).

Інтегровані схеми з програмованою користувачем структурою об'єднують групу мікросхем, внутрішня структура яких реалізується споживачами-виготовлювачами апаратури, і виробник мікросхем у цьому процесі не бере участі. До них належать програмовані логічні інтегровані схеми, ПЛІС, (Programmable logic integrated circuits, PLIC) і програмовані аналогові інтегровані схеми, ПАІС, (Field programmable analog arrays, FPAА).

ПЛІС також мають матричну структуру, але з'єднання між елементами мають шинну організацію (кожен елемент з'єднується з горизонтальними й вертикальними шинами). У ПЛІС використовуються програмовані матриці І, АБО і їх комбінації. Існує два типи ВІС ПЛІС: маскові ПЛІС, що програмуються в умовах виробництва ІС, і ПЛІС, програмовані безпосередньо споживачами-виробниками апаратури. ПЛІС, програмовані споживачем, є універсальними пристроями, алгоритм функціонування яких задається програматором або безпосередньо ПЕОМ. Спеціалізована ВІС на основі ПЛІС за автоматизованого проектування може бути розроблена й виготовлена протягом декількох днів. Ці ПЛІС вигідно використовувати за малих обсягів виробництва (десятки-сотні штук).

Порівнюючи спеціалізовані ВІС на основі БМК і маскових ПЛІС, необхідно відзначити, що БМК вигідно застосовувати в ході проектування ВІС високої швидкодії, що досягається мінімізацією довжини плівкових провідників на кристалі. У ПЛІС використовуються довгі сполучні шини з великими паразитними ємностями, що знижують швидкодію. Крім того, у ВІС на основі БМК можна реалізувати більш широкий клас складних функцій.

Подальший розвиток ПЛІС отримали у ІС типу «програмована система на кристалі» (PSoC, Programmable System On Chip), які містять сотні тисяч або мільйони еквівалентних вентилів. До «систем на кристалі» належать ІС, які об'єднують у собі процесор, пам'ять, апаратні швидкодіючі блоки різного функціонального призначення, інтерфейсні схеми тощо. Процесор може бути реалізовано програмно або вбудовано апаратно на кристалі.

ПАІС складається з аналогових чарунок або аналогових блоків. Можливо конфігурування блоків у потрібну схему, завдання їх параметрів та з'єднання

блоків між собою за потребою розробника електронного пристрою. Для підвищення функціональних можливостей ПАІС розроблені й виробляються аналого-цифрові «системи на кристалі».

1.2 Контрольні запитання і завдання

1. Для чого застосовуються спеціалізовані ВІС?
2. Які переваги та недоліки цілком замовних ВІС?
3. Охарактеризуйте спеціалізовану ВІС, розроблену на стандартних елементах.
4. Які особливості спеціалізованих ВІС, виконаних на основі БМК?
5. Які різновиди БМК існують?
6. У які засоби реалізується спеціалізація БМК?
7. У чому полягає виготовлення спеціалізованих ВІС на базі ПЛІС?
8. Які різновиди програмованих користувачем ВІС існують?
9. Що таке «система на кристалі»?
10. Які різновиди програмованих систем на кристалі існують?

2 МІКРОСХЕМИ БМК НЕВЕЛИКОЇ СКЛАДНОСТІ

2.1 Структура БМК

Базовий кристал складається з трьох основних частин (рис. 2.1):

- комплекту базових чарунок (БЧ), що розташовуються на кристалі у вигляді прямокутної матриці;
- простору трасування (каналів трасування), в якому розміщуються траси металевих провідників, які з'єднують БЧ у функціонально закінчену ВІС, а також шини живлення-землі;
- периферійній області, в якій розташовано необхідні допоміжні схеми і контактні площадки для підключення зовнішніх виводів.

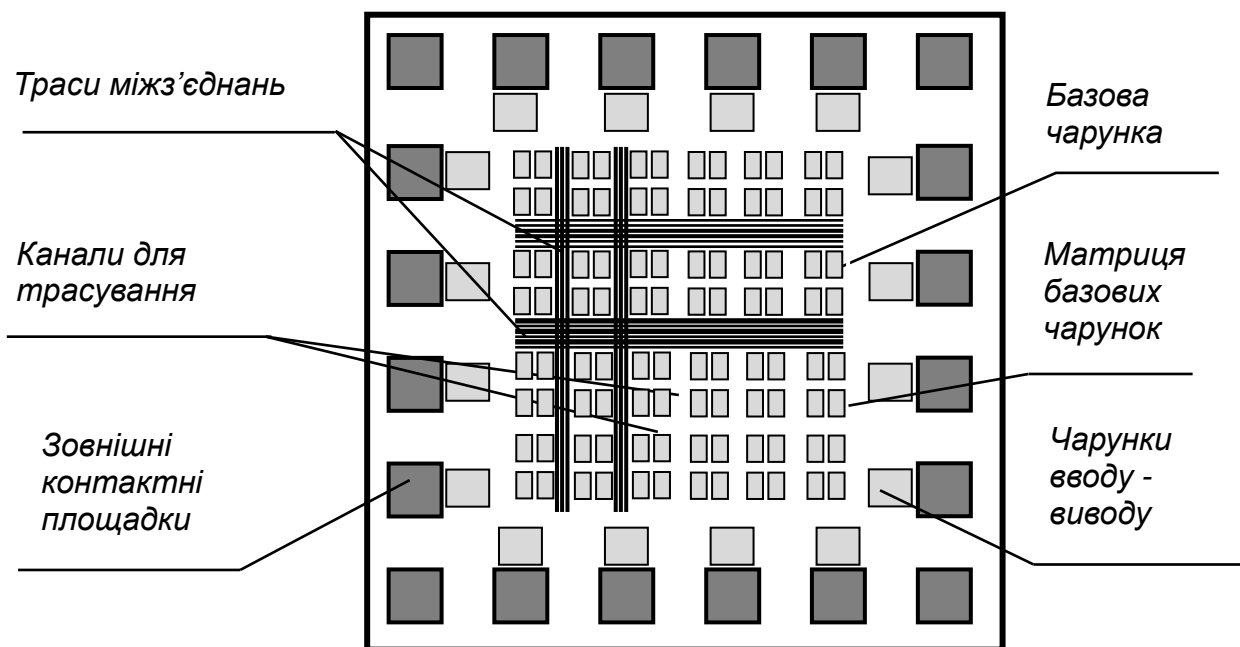


Рисунок 2.1 – Базовий матричний кристал

Базова чарунка містить набір від 4...5 до 20...30 розташованих поряд елементів (біполярних і МОН-транзисторів, резисторів, конденсаторів, відрізків напівпровідникових шин для реалізації пересічних зв'язків).

Для полегшення проектування декілька базових чарунок об'єднуються у топологічну чарунку. Між топологічними чарунками розміщують горизонтальні та вертикальні канали для трасування (рис. 2.2)

Базові чарунки бувають двох типів. Чарунки першого типу містять невелику кількість елементів, яка достатня для формування одного логічного

елемента АБО-НІ та І-НІ (рис. 2.3, а). Для реалізації більш складного функціонального елемента потрібно декілька базових чарунок. Наприклад, для формування D -тригера потрібно 4 базових чарунки (рис. 2.3, б).

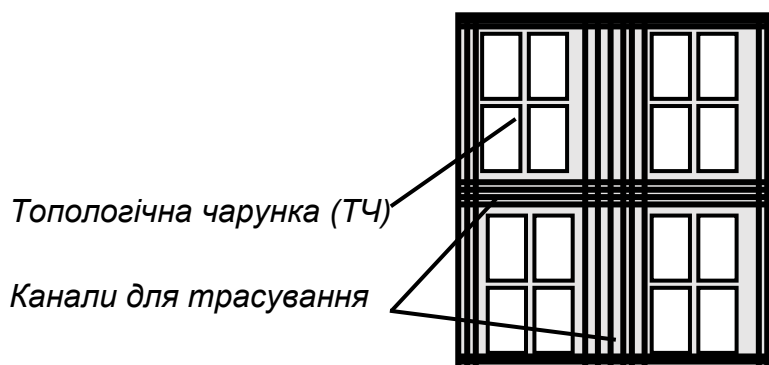


Рисунок 2.2 – Топологічна чарунка

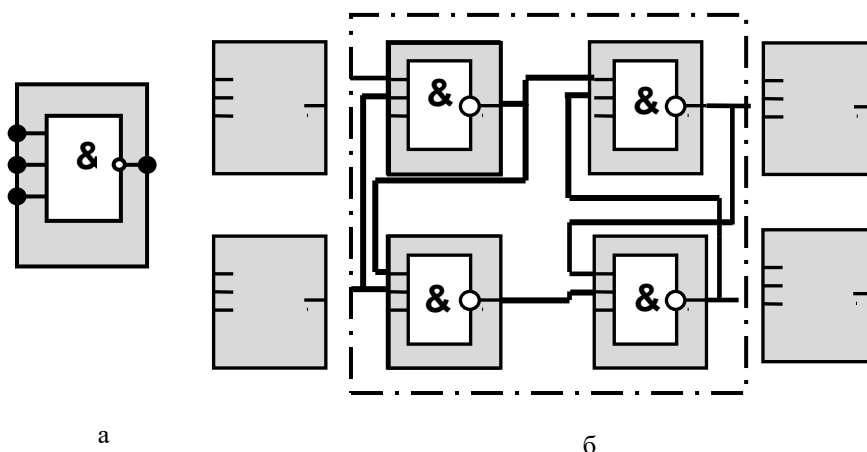


Рисунок 2.3 – Реалізація елемента І-НІ з використанням однієї чарунки (а); формування D-тригера на чотирьох базових чарунках

Чарунки другого типу мають значно більшу кількість елементів і дозволяють реалізувати той самий D-тригер з використанням однієї базової чарунки (рис. 2.4)

Електричні з'єднання в матричних ВІС виконуються за допомогою металевих, полікремнієвих і напівпровідникових шин. Шини кіл живлення і заземлення, як правило, виконуються з металу.

У матричних ВІС з одним замовленим шаром металізації існують два різновиди пластин-напівфабрикатів: пластини, вкриті двошаровою системою оксид – метал, або тільки шаром оксиду.

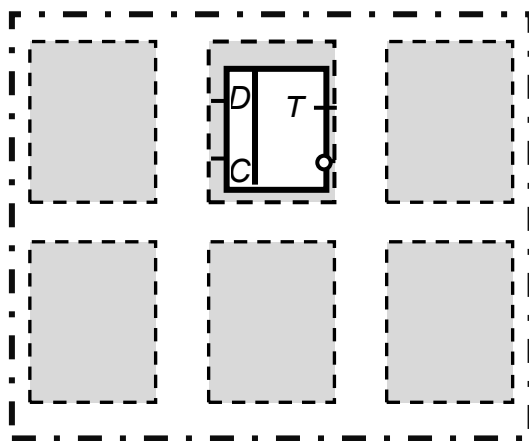


Рисунок 2.4 – Реалізація D-тригера за допомогою однієї базової чарунки

У конструкціях оксид – метал вже створені внутрішні контакти (рис. 2.5, а).

Потрібна топологія міжз'єднань формується лише за допомогою одного замовленого фотошаблону (рис. 2.5, б). У конструкції БМК необхідно передбачити поля, вільні від контактів, для прокладення трас.

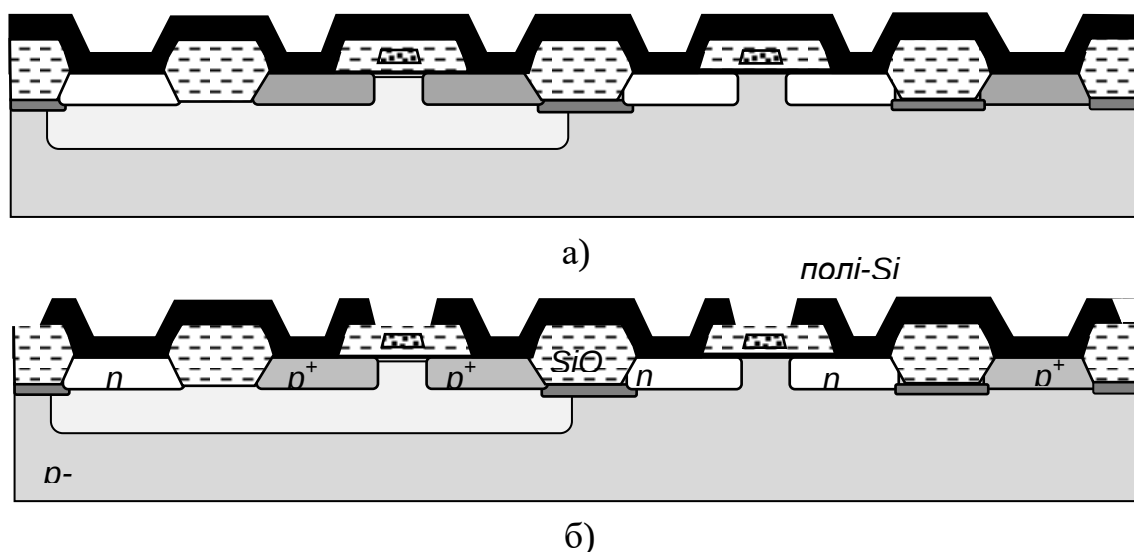
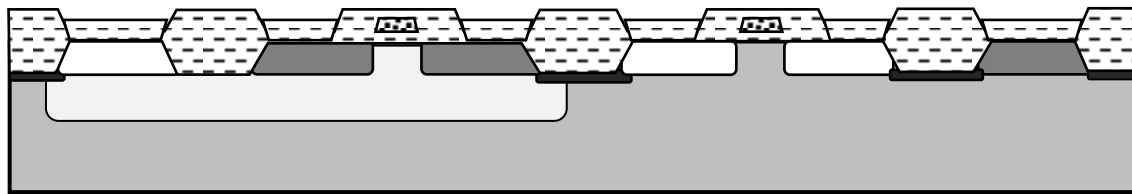


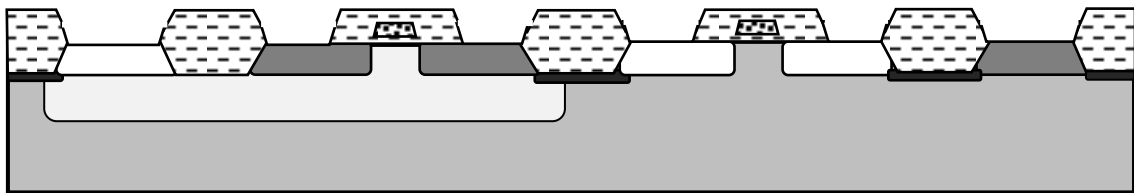
Рисунок 2.5 – Структура пластин, що вкриті двошаровою системою оксид – метал

У конструкціях, що вкриті тільки шаром оксиду (рис. 2.6, а), за допомогою першого замовленого фотошаблону розкривають вікна в шарі SiO_2 тільки до тих контактів, що використовуються (рис. 2.6, б).

За допомогою другого замовленого фотошаблону формуються електричні зв'язки (див. рис. 2.5, б). У цьому випадку спрощується трасування міжз'єднань.



а)



б)

Рисунок 2.6 – Структура пластин, що вкриті тільки шаром оксиду

Кількість замовлених фотошаблонів більша кількості шарів металізації. Наприклад, за дворівневої (двошарової) металізації потрібно чотири замовні фотошаблони:

- перший фотошаблон для формування отворів у першому захисному шарі діоксиду для контактів до першого шару металізації;
- другий фотошаблон для формування між'єднань у першому шарі металізації;
- третій фотошаблон для формування отворів у другому шарі ізоляції;
- четвертий фотошаблон для формування між'єднань у другому шарі металізації.

Бібліотека функціональних елементів. Для спрощення проектування матричних ВІС широко використовуються бібліотеки функціональних елементів (БФЕ). Характеристики і параметри матричних ВІС значно залежать від складу і параметрів елементів, що входять до БФЕ.

У матричних ВІС універсального призначення склад БФЕ зазвичай базується на основі номенклатури найбільш поширених серій цифрових мікросхем (SN74) і містить 50...100 основних і допоміжних елементів і макроелементів.

БФЕ містить *схеми електричні та креслення специфікації* БЧ для виконання схемотехнічних і логічних функцій.

Креслення специфікації БЧ – це способи з'єднання елементів чарунки або чарунок БМК, які забезпечують реалізацію заданого функціонального елемента.

Бібліотечні елементи першого рівня формуються на основі тих елементів, що входять до складу топологічної чарунки БМК.

Елементи першого рівня за своїми логічними можливостями еквівалентні 1...20 елементам І-НІ (АБО-НІ). Вони виконують функції різних логічних елементів, тригерів, мультиплексорів, дешифраторів тощо.

З використанням БЧ з розширеним набором елементів, макроелементи першого рівня можуть складатися з простих цифрових вузлів:

- реєстрів;
- лічильників;
- суматорів с числом розрядів 2...4 та ін.

Макроелементи другого рівня реалізуються на базі декількох поруч розташованих ТЧ. Вони виконують функції досить складних цифрових вузлів:

- багаторозрядних лічильників;
- реєстрів;
- перетворювачів кодів;
- арифметико-логічних пристроїв та ін.

Функціональна складність макроелементів другого рівня складає 100...200 логічних елементів І-НІ (АБО-НІ).

Макроелементи третього рівня – це складні функціональні пристрої, які включаються до БМК високого ступеня інтеграції, що містять 10^4 і більше еквівалентних логічних елементів.

Склад макроелементів третього рівня:

- мікропроцесорні секції;
- контролери;
- програмовані логічні пристрої;
- вузли оперативних і постійних запам'ятовувальних пристроїв та ін.

Функціональна складність макроелементів третього рівня складає 1000...2000 еквівалентних логічних елементів. Вони реалізуються на базі макроелементів першого й другого рівнів. Розміщення макроелементів третього рівня часто виконують в окремих топологічних блоках.

До складу БФЕ входять також допоміжні елементи:

- вхідні й вихідні транслятори;
- буферні каскади для передачі сигналів довгими внутрішніми зв'язками на кристалі;
- спеціальні джерела напруги або струмів.

Вони виконуються на базі спеціалізованих периферійних або внутрішніх чарунок БМК. Транслятори перетворюють рівні напруги внутрішніх сигналів БМК у рівні напруги, що характерні для зовнішніх кіл.

2.2 БМК на біполярних транзисторах

Біполярні транзистори у мікросхемах БМК застосовувалися для створення швидкодіючих матричних ВІС на основі схем ЕЗЛ або ТТЛ. Транзисторні структури створювалися за ізопланарною технологією. Нині біполярні транзистори використовують у аналогових та аналого-цифрових БМК.

У біполярних БМК застосовуються дво- або тришарова система провідників. У першому, нижньому шарі, виконуються з'єднання ЛЕ для реалізації функціональних елементів і вертикальні відрізки з'єднань між елементами. У другому (верхньому) шарі проводяться горизонтальні відрізки з'єднань між ФЕ і металеві шини для подання напруги живлення на них. Траси другого шару розміщують по усій поверхні БМК. Товщина верхнього металевого шару у 1,5...2 рази більша ніж нижнього, а опір провідників менший. Тому значною мірою знижується спад напруги на шинах живлення, що в свою чергу дає можливість зменшити логічний перепад або підвищити завадостійкість схем.

Базові чарунки БМК ТТЛ з невеликою кількістю елементів містять (рис. 2.7):

- 3...4 транзистори і (або) багатоемітерний транзистор;
- 4...5 резисторів;

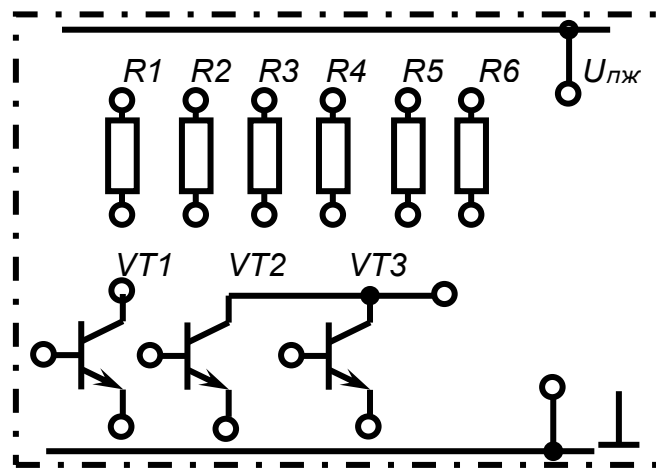


Рисунок 2.7 – Схема базової чарунки для створення ТТЛ елементів

– напівпровідникові області з підвищеною провідністю (резистор R6 на топологічному кресленні рис. 2.8).

Цей набір забезпечує можливість формування елемента І-НІ ТТЛ з простим інвертором і числом входів 2...4 (рис. 2.9).

Для реалізації елемента 2І-НІ ТТЛ з простим інвертором слід сформувати тонкоплівкові металеві провідники до потрібних точок базової чарунки (рис. 2.10).

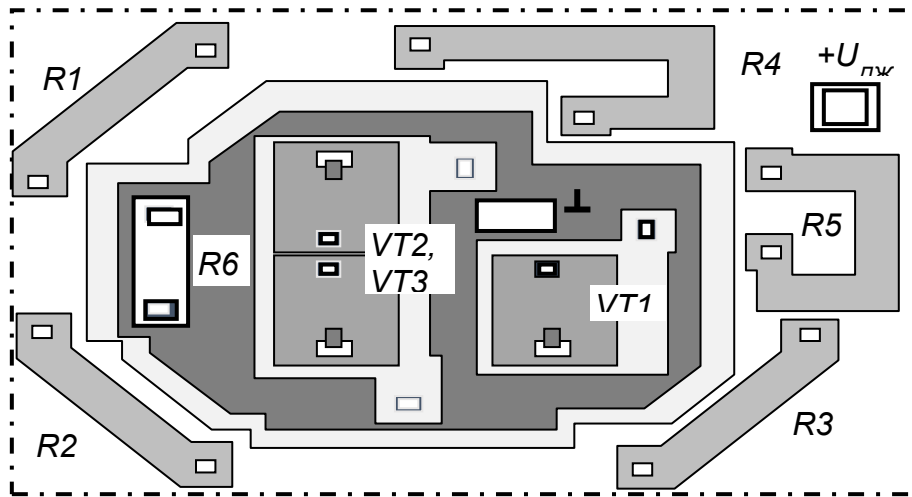


Рисунок 2.8 – Топологія базової чарунки для створення ТТЛ елементів

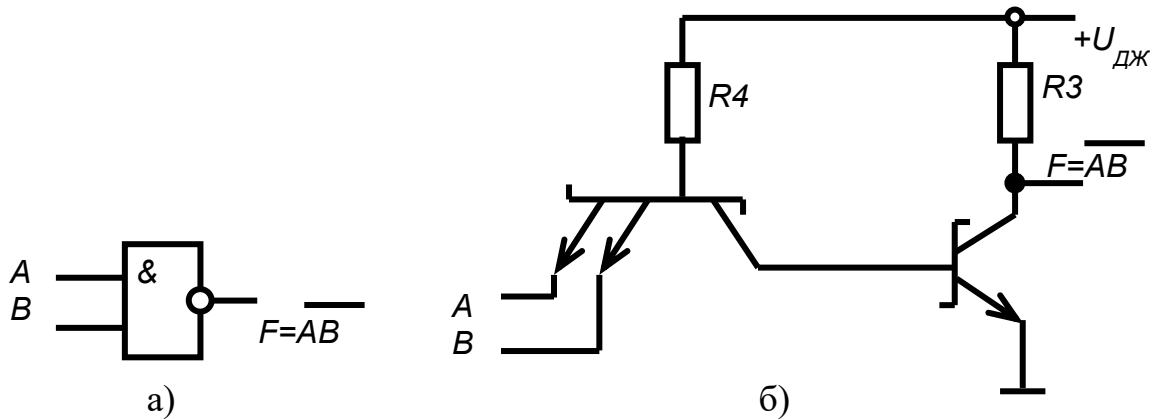


Рисунок 2.9 – Логічний елемент 2І-НІ:

а) умовне позначення; б) схема логічного ТТЛ елемента 2І-НІ

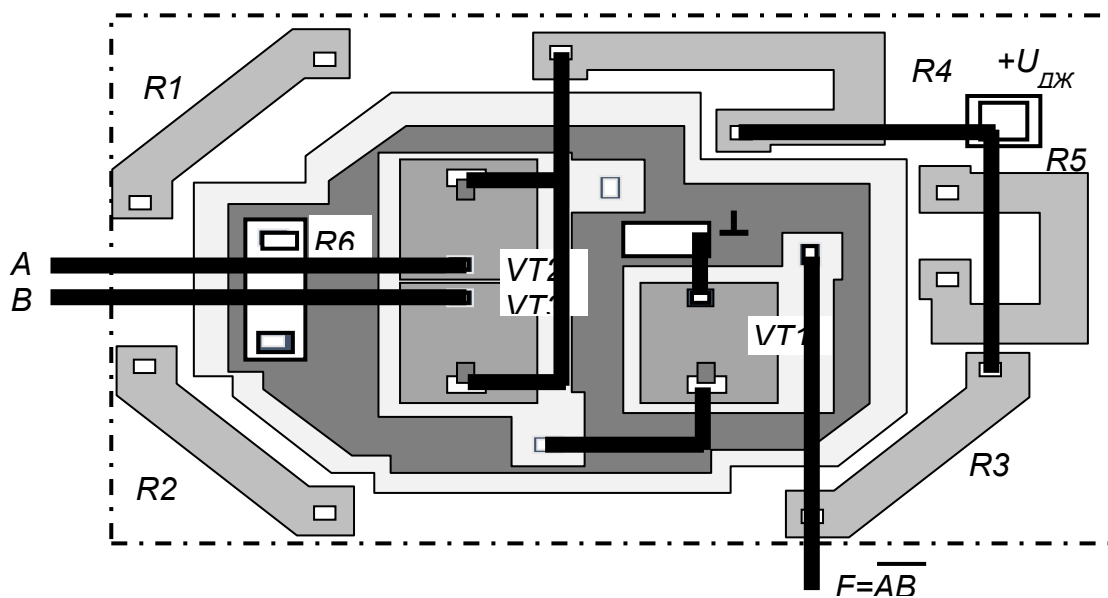


Рисунок 2.10 – Топологія з'єднань для реалізації логічного ТТЛ елемента 2І-НІ з використанням базової чарунки

Периферійні чарунки БМК дозволяють створювати різні модифікації елементів ТТЛ:

- із складним інвертором;
- з третім станом (високоімпедансним);
- високим порогом перемикання.

Вони, як правило орієнтовані на побудову вихідних підсилювачів, джерел опорної напруги і містять потужні транзистори, споживають великі струми і працюють з джерелами живлення, що мають більш високу напругу.

Приклад аналого-цифрового швидкодіючий БМК. У БМК застосовані субмікронні транзисторні структури, виготовлені методом самосуміщення з глибокими ізолюючими канавками і полікремнієвими контактами до областей транзистора.

Це дозволяє збільшити:

- ступінь інтеграції;
- функціональну складність;
- різко підвищити швидкодію замовних ВІС;
- поєднати на одному кристалі цифрові й аналогові пристрої.

Гранична частота таких окремих транзисторів, що виготовлені з мінімальною технологічною нормою 1,2 мкм, становить 17 ГГц. ВІС, які реалізовані на базі цих БМК, можуть функціонувати у системах з робочими частотами до 2 ГГц.

БМК складається з матриці БЧ, побудованої за принципом «море чарунок» і зовнішніх контактних площадок (рис. 2.11).

Матриця кристала містить від 1665 до 54190 вентилів, а число контактів вводу-виводу змінюється від 32 до 184.

Базова чарунка матриці складається з 6 *n-p-n*-транзисторів і 9 резисторів і призначена для формування базових ЕЗЛ елементів (рис. 2.12).

Базовий вентиль в ненавантаженому стані має затримку менш ніж 70 пс.

Кожен макроелемент матриці ЕЗЛ залежно від необхідної швидкодії можна запрограмувати на одне з п'яти значень джерела струму.

Контакти введення/виведення мають свою БЧ, яка містить понад 100 транзисторів і 200 резисторів і 10 конденсаторів (рис. 2.13). Ця БЧ дозволяє формувати буферні каскади різного призначення: вхідні, вихідні, двоспрямовані, каскади, суміщені за рівнями напруги та струму з ТТЛ та ЕЗЛ.

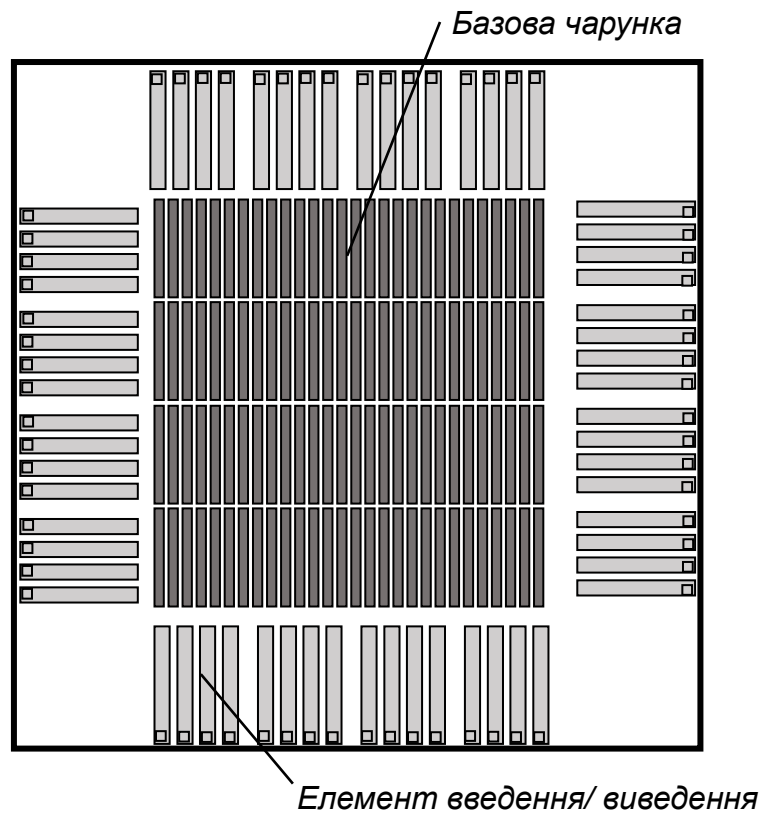


Рисунок 2.11 – Структура аналого-цифрового БМК

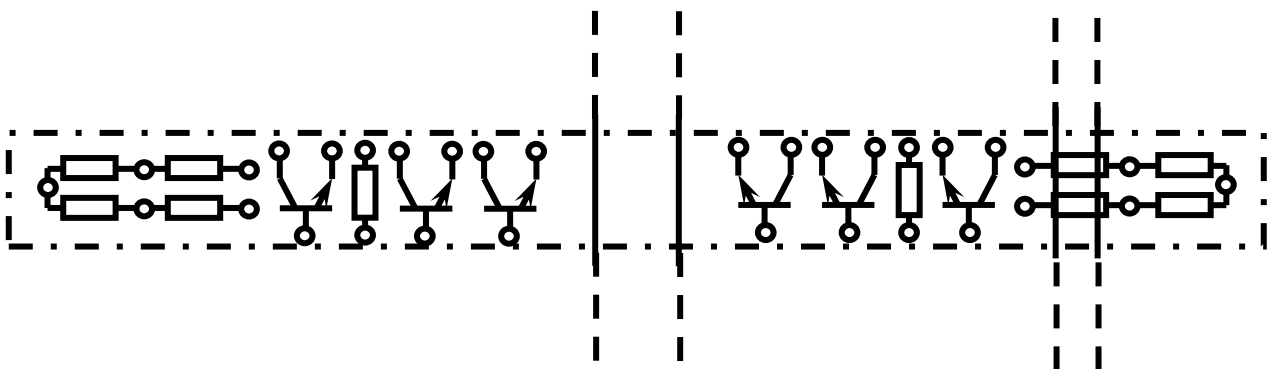


Рисунок 2.12 – Схема базової чарунки

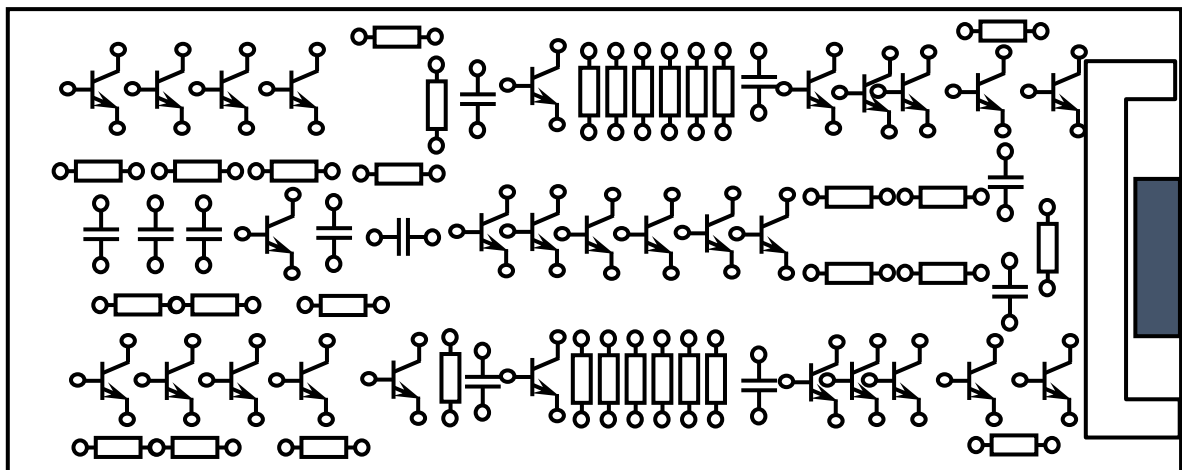


Рисунок 2.13 – Схема чарунки введення/виведення

Використовуючи базові елементи, можна формувати:

- аналогові функціональні макроеlementи;
- швидкодіючі схеми фазового автопідстроювання частоти;
- аналогові компаратори;
- АЦП, ЦАП та ін.

Аналогові схеми розміщуються у спеціальних аналогових зонах. Для зниження завад від цифрових схем аналогові зони розміщують у кутах кристалу або на периферії. До них сигнали та напруга живлення підводиться від окремих контактів.

Для реалізації спеціалізованої ВІС потрібно використовувати три шари металізації.

2.3 БМК на КМОН-структурах

Особливість базових чарунок (БЧ) на КМОН-транзисторах – це їх однорідність.

БЧ, як правило, містять однакову кількість n - та p -канальних транзисторів, що дозволяє збільшити функціональну складність елементів, які розробляються, застосуванням декількох близько розміщених чарунок.

Для побудови БМК застосовують КМОН елементи з оксидною ізоляцією і полікремнієвими затворами (рис. 2.14). Такі структури мають невеликі паразитні ємності і велику швидкодію. Леговані полікремнієві шари застосовуються як з'єднувальні провідники, що дозволяє полегшити трасування та підвищити щільність компонування.

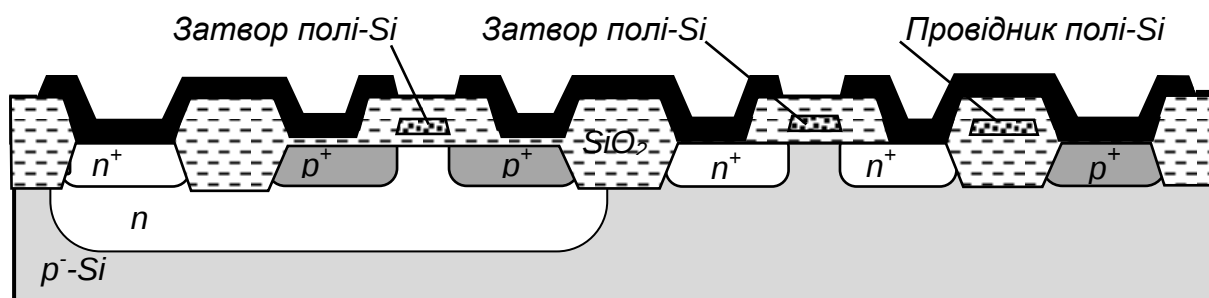


Рисунок 2.14 – Структура КМОН-елемента, що застосовуються у БМК

Різновиди базових чарунок БМК на КМОН-транзисторах. На рис. 2.15 зображено фрагмент БМК, у якому використовуються однотипні чарунки з шістьма транзисторними КМОН-структурами.

Для спрощення реалізації з'єднань між елементами полікремнієві затвори мають контакти з обох боків. Як перемички використовуються високолеговані області n^+ -типу, полікремнієві смужки, а також області стоків та витоків МОН транзисторів. Електричні зв'язки, шини живлення формуються одним шаром металізації. Межі базової чарунки показано пунктирною лінією.

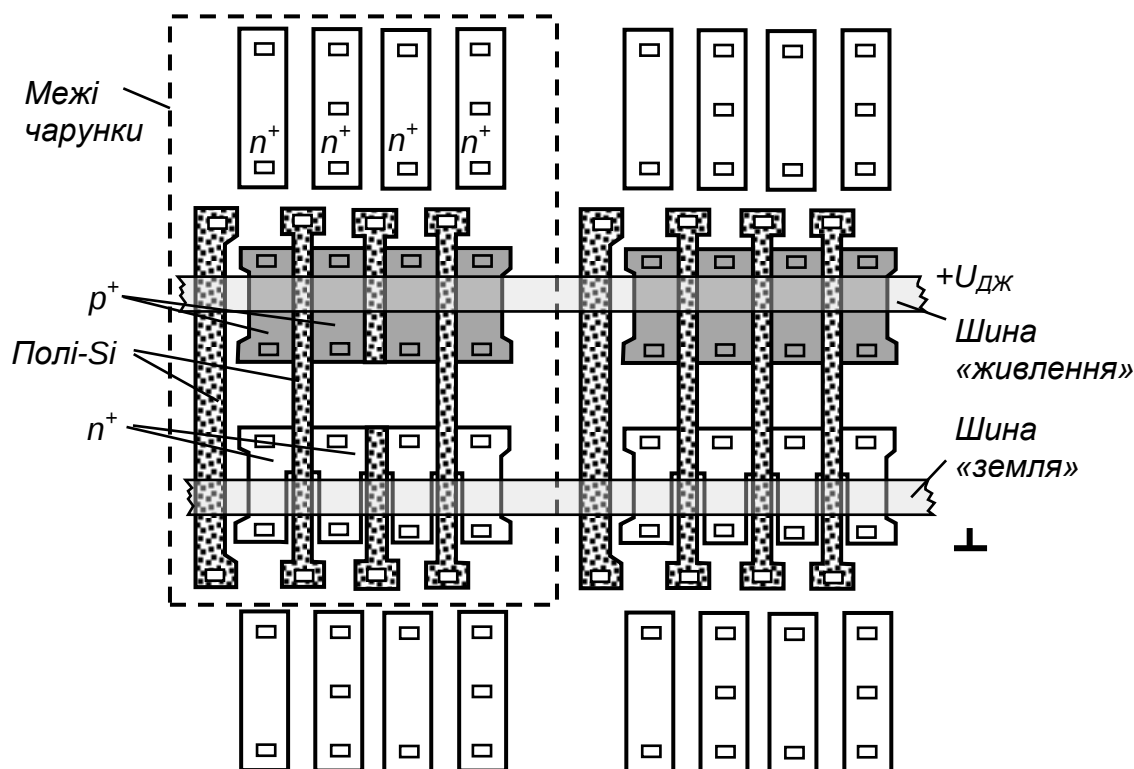


Рисунок 2. 15 – Топологія шеститранзисторної чарунки БМК на КМОН-транзисторах

Для отримання однакової тривалості фронту і зрізу імпульсів під час перемикання КМОН інвертора питома крутість транзисторів з n -каналом та p -каналом має бути однаковою. Тому на топології ширина каналів транзисторів p -типу приблизно втричі більша, ніж ширина каналів транзисторів n -типу. Довжина каналів однакова.

На рис. 2.16 наведені схеми простого інвертора НІ та інвертора з підвищеною навантажувальною здібністю. Для підвищення навантажувальною здібності використовують паралельне вмикання декількох інверторів (рис. 2.16, в). Топологію інверторів для реалізації простого та з підвищеною навантажувальною здібністю наведено на рис. 2.17.

Схему логічного елемента ЗАБО-НІ на КМОН транзисторах наведено на рис. 2.18, а топологію металізації для його реалізації показано на рис. 2.19.

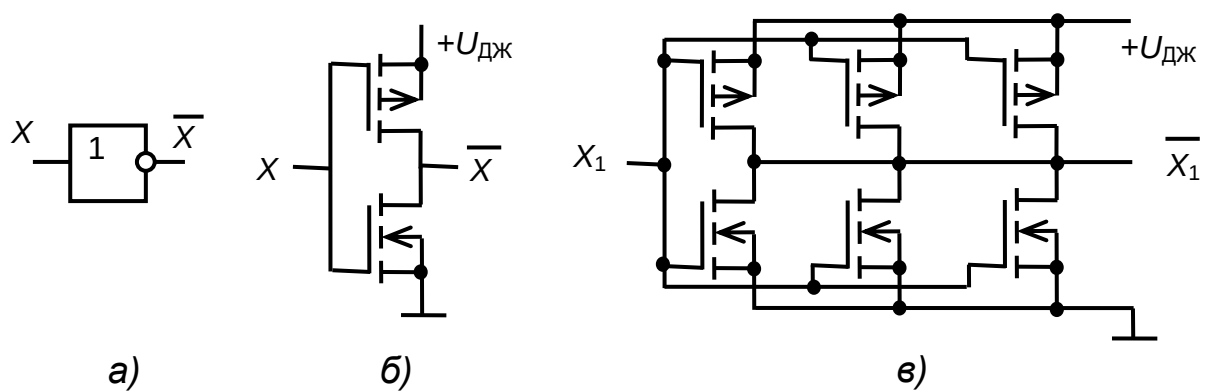


Рисунок 2.16 – КМОН-інвертори: а) – умовне позначення;
 б) – принципова схема простого інвертора;
 в) – принципова схема інвертора з підвищеною навантажувальною здібністю

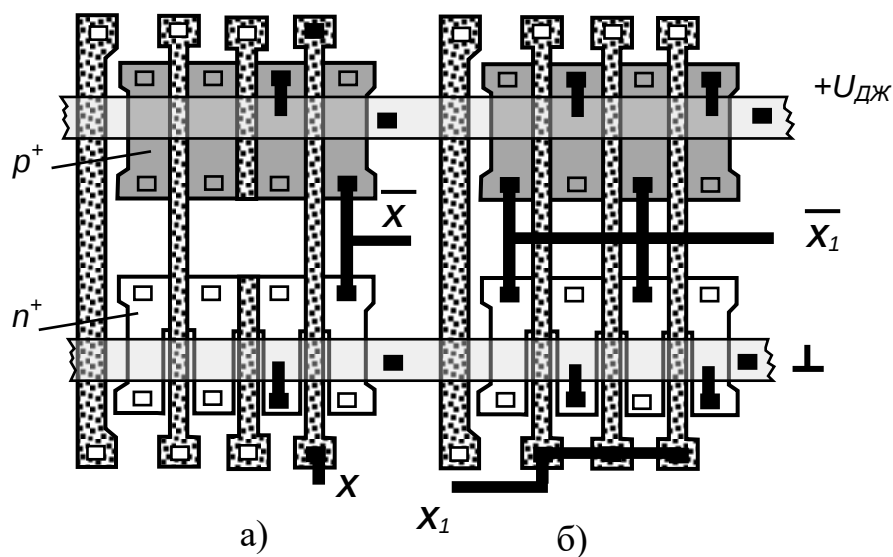


Рисунок 2.17 – Топологія КМОН-інверторів: а) – простого;
 б) – з підвищеною навантажувальною здібністю

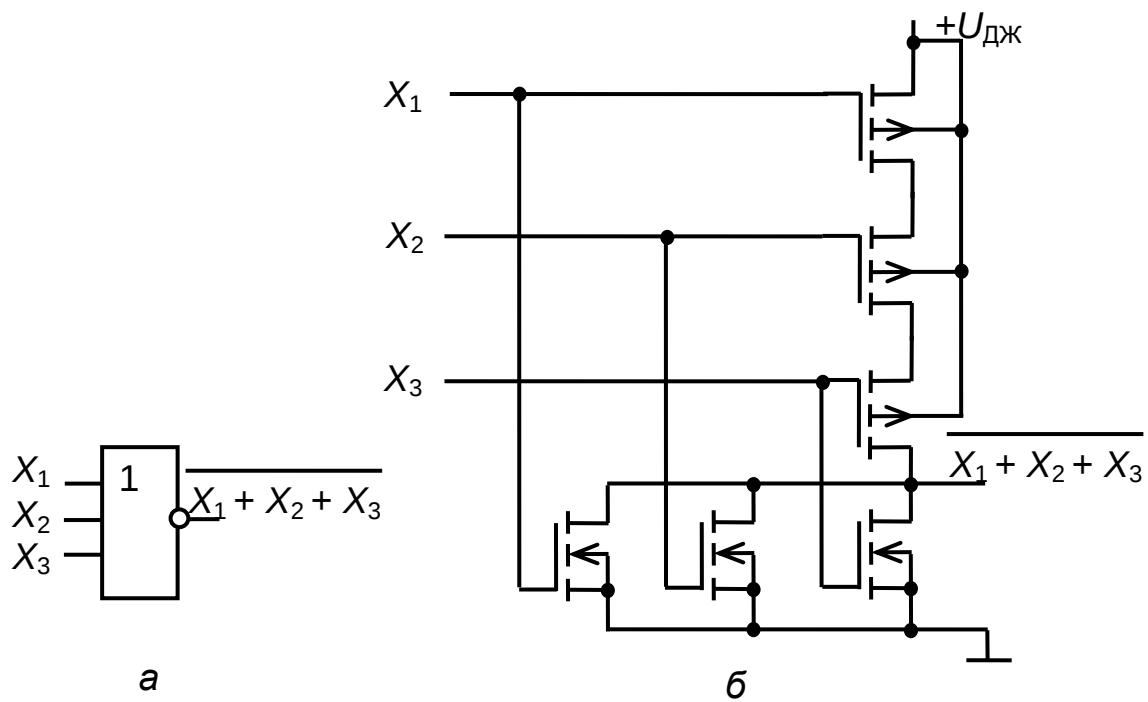


Рисунок 2.18 – Схема логічного елемента ЗАБО-НІ на КМОН-транзисторах

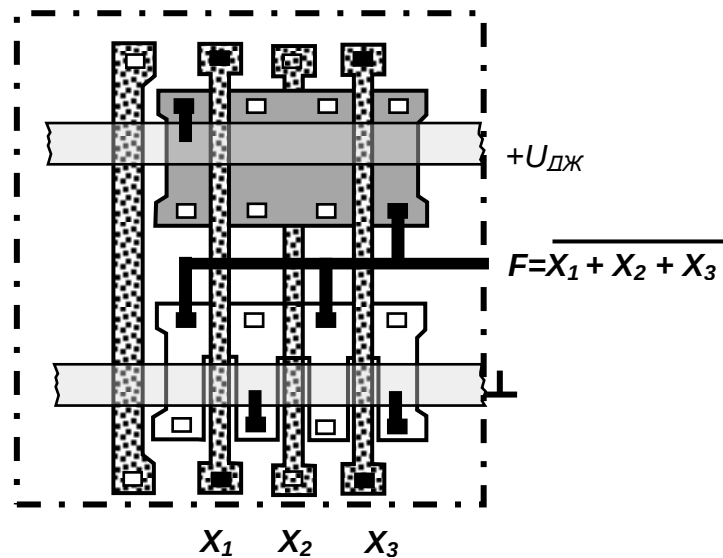


Рисунок 2.19 – Топологія логічного елемента ЗАБО-НІ на КМОН-транзисторах

У деяких БМК використовують КМОН транзистори, що виконані за C^2L -технологією. Усі транзистори мають кільцеві затвори (рис. 2.20). Зовнішні дифузійні області підключені до шини джерела живлення та шини «земля».

Ефективне використання КМОН БМК під час побудови логічних елементів різного рівня складності можливе, якщо реалізується принцип «плаваючих» кордонів. У цьому випадку БМК містить групи послідовно увімкнутих транзисторів з n - та p -каналом, які розміщені паралельними рядками (рис. 2.21).

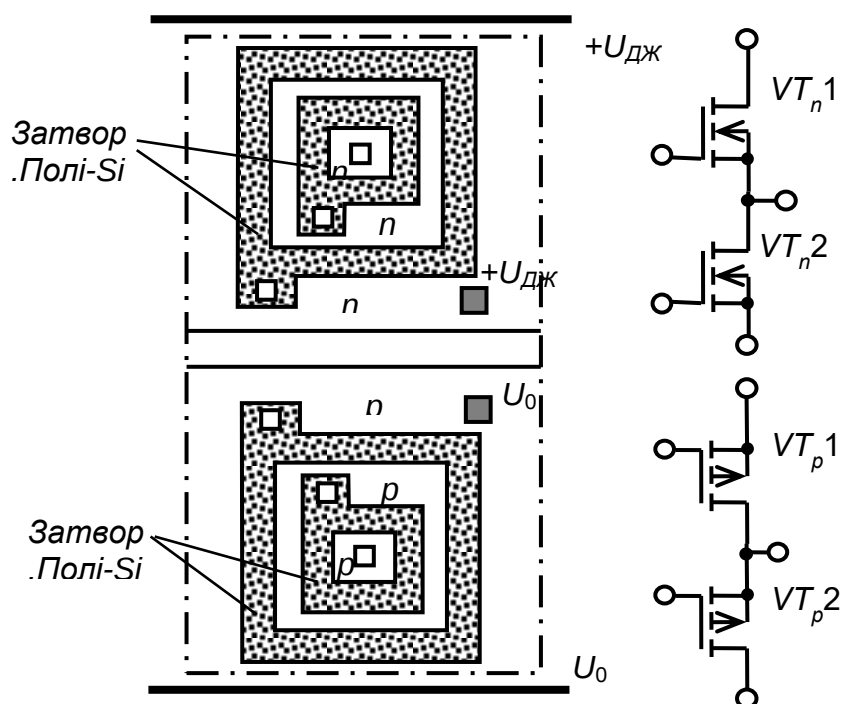


Рисунок 2.20 – Топологія фрагмента БМК із чарунками, що містять КМОН-транзистори виконані за C^2L -технологією

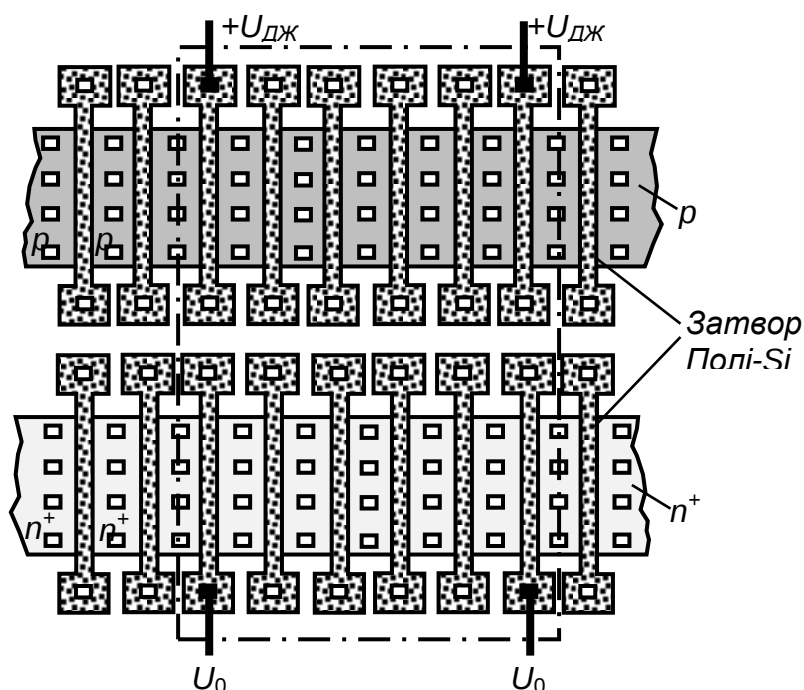


Рисунок 2.21 – Базова чарунка, що реалізує принцип «плаваючих» кордонів

Для реалізації логічного елемента будь-якої складності використовується потрібна кількість транзисторів. Ізоляція областей витоків і стоків різних транзисторів відбувається замкненням затворів, що розміщені між цими областями. Затвори транзисторів n -типу з'єднуються з шиною землі, а p -типу – з шиною джерела живлення. Під цими затворами канал буде закритий.

Можливості чарунки з «плаваючими» кордонами повною мірою реалізуються у БМК з двома шарами металізації. Для формування затворів транзисторів використовується шар полікремнію.

Конструкції КМОН БМК з однорідними логічними чарунками.

Для проектування спеціалізованих ВІС існують дві групи БМК. До першої групи можливо віднести БМК, які призначені для розробки широкої номенклатури ВІС різного призначення. До другої групи належать БМК, які призначені для проектування ВІС визначеного класу, наприклад, для цифрової обробки сигналів.

БМК загального призначення володіють широкими функціональними можливостями, що дозволяє реалізувати велику кількість різноманітних функціональних елементів. Для БМК цього класу характерні однорідність логічних чарунок, високій рівень стандартизації та уніфікації параметрів робочого поля кристала.

На рис. 2.22 – 2.24 наведено основні варіанти конструкцій КМОН БМК з однорідними чарунками.

У БМК з невисокою мірою інтеграції (4...40 тис. транзисторів) може використовуватися конструкція з горизонтальними або вертикальними каналами, які розміщені між паралельних рядів базових чарунок (рис. 2. 22).

Реалізація потрібної ВІС здійснюється одним – двома шарами металізації.

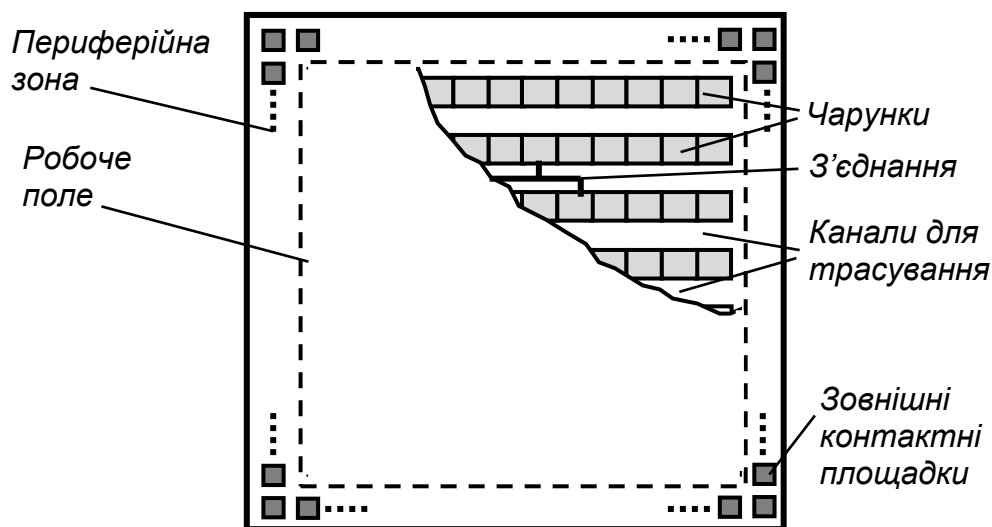


Рисунок 2.22 – Конструкція БМК з горизонтальними каналами для трасування

Для розробки ВІС, які потребують більшої кількості ЛЕ, доцільно використовувати БМК, що мають конструкцію «море» чарунок. Усе робоче поле БМК заповнено однаковими чарунками, рядки яких розміщено впритул

один до одного, і відсутні спеціально виділені канали для трасування (рис. 2.23).

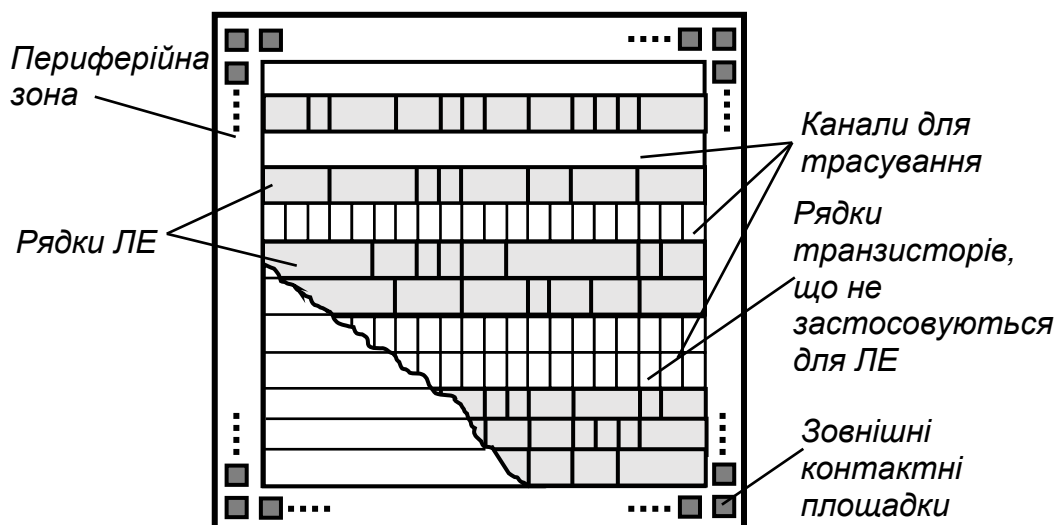


Рисунок 2.23 – Реалізація логічних елементів стандартної висоти на КМОН БМК з універсальною структурою

Для формування ЛЕ використовуються базові чарунки одного або декількох рядків, які розташовані впритул. Простір над іншими рядками базових чарунок ЛЕ застосовують для каналів трасування міжз'єднань, шин живлення. Крім того, ЛЕ у БМК можуть бути об'єднані у блоки, між якими розміщені канали для трасування.

Висоту ЛЕ стандартизовано, довжина елемента може змінюватися залежно від числа транзисторів одного рядка, що використовуються. Робоче поле БМК розділяється таким чином, що ЛЕ реалізуються тільки на деяких рядках з транзисторами, наприклад на парних. Непарні рядки використовуються для організації каналів для трасування. За потреби для каналу трасування можливо застосувати два й більше рядків з транзисторами, які залишаються некомутованими. І навпаки, якщо кількість трас у деяких каналах невелика, то їх можливо вилучити. У цьому випадку ЛЕ реалізуються на двох розміщених впритул рядках з транзисторами. Потрібні зв'язки формуються у сусідніх каналах для трасування. Розташування рядів ЛЕ на робочому полі КМОН БМК можливо змінювати з кроком, що дорівнює висоті рядка з транзисторами.

Відповідно з іншим методом проектування уніфікують ширину ЛЕ. Робоче поле БМК обертають на 90° , послідовно увімкнені n - та p -канальні транзистори розміщуються вертикальними стовпцями (рис. 2.24).

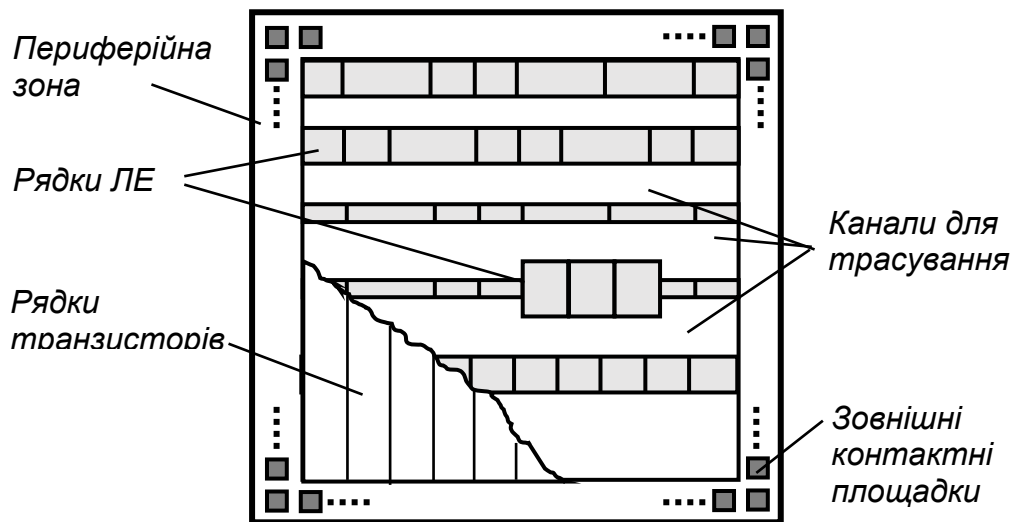


Рисунок 2.24 – Реалізація логічних елементів уніфікованої ширини на КМОН БМК з універсальною структурою «море» чарунок

Формуючи ЛЕ, можливо змінювати число послідовно увімкнених транзисторів, які визначають висоту елемента, а також кількість груп послідовно увімкнених транзисторів у горизонтальному напрямку. Крок розмірів у горизонтальному та вертикальному напрямках відповідає кроку проведення з'єднувальних трас і висоті рядка з транзисторами (див. рис. 2.21).

Цей підхід до проектування має найбільшу гнучкість. Він дає можливість організовувати канали в необхідному місці і з потрібною у кожному конкретному випадку кількістю трас. Це дозволяє на основі БМК одного типу ефективно формувати ВІС як з регулярною, так і нерегулярною структурами, а також ВІС, що містять функціональні блоки з різноманітними характеристиками (з довільною логікою, арифметико-логічні пристрої – АЛП, оперативні запам'ятовувальні пристрої – ОЗП і т. п.).

Приклад БМК з однорідними чарунками

Більш детально побудову БМК з однорідними чарунками розглянемо на прикладі БМК серій 5503 та 5507. Матриця (поле) чарунок має каналну організацію і складається із стовпців, у кожному з котрих знаходиться декілька десятків чарунок (рис. 2.25). Кількість стовпців та число чарунок у них залежить від ступеня інтеграції даного різновиду БМК.

Розведення схеми здійснюється у шарі полікремнію та алюмінію. Програмованим шаром є тільки шар алюмінію. Шар полікремнію та контактні вікна між полікремнієм та алюмінієм є базовими шарами. Таким чином, спеціалізація БМК здійснюється одним фотошаблоном з мінімумом

технологічних операцій (експонування, травлення алюмінію, нанесення захисного покриття).

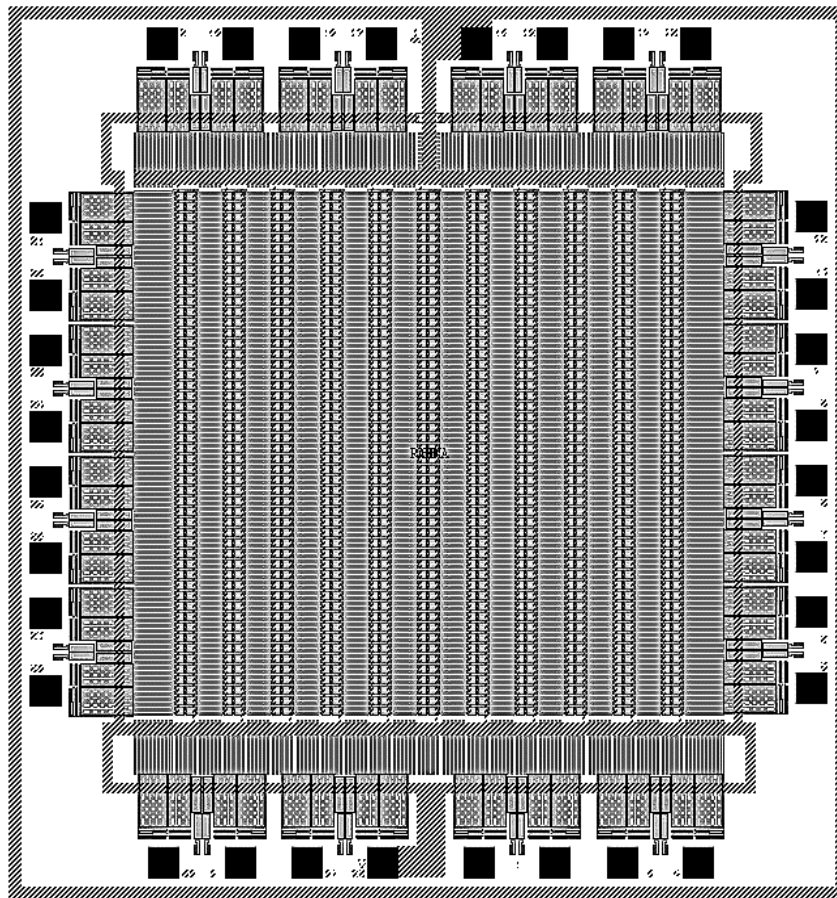


Рисунок 2.25 – Конструкція БМК з вертикальними каналами для трасування

Базова чарунка. Базова чарунка є основою для реалізації у матриці БМК усіх типів бібліотечних елементів (рис. 2.26), окрім елементів типу «вхід-вихід», що розташовані у периферійній області кристалу.

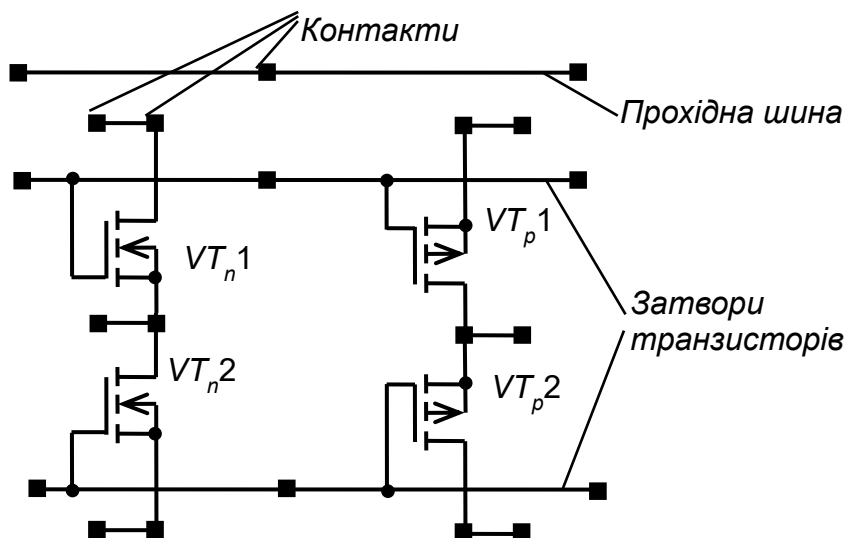


Рисунок 2.26 – Схема базової чарунки БМК

Базова чарунка містить два n -канальних транзистори, що розташовані уздовж шини «земля», і два p -канальних транзистори, що розташовані уздовж шини «живлення». Топологія базової чарунки наведена на рис. 2.27.

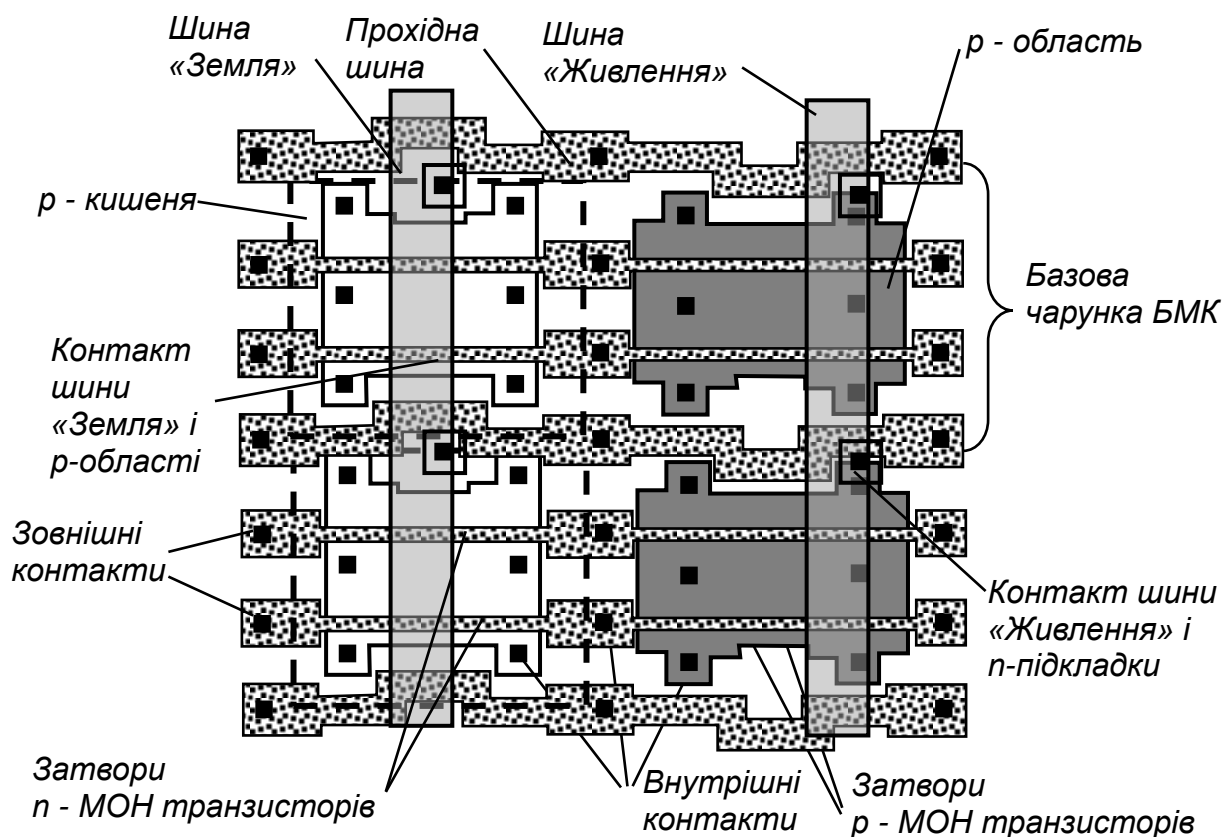


Рисунок 2.27 – Топологія базової чарунки БМК серій 5503 и 5507

У базових чарунках усі n - і p -канальні транзистори утворюють комплементарні пари з електрично з'єднаними затворами, і усі транзистори одного типу послідовно зв'язані один з одним областями стоків та витоків. Транзистори розміщені в парах один проти одного і мають об'єднані затвори. Шини «земля» і «живлення» формуються у шарі металу і проходять над усім стовпцем базових чарунок.

Усі n -канальні транзистори знаходяться в одній кишені p -типу. Область кишені має контакт з шиною «земля», а підкладка n -типу з'єднана з шиною «живлення».

Для реалізації конкретного функціонального елемента із БФЕ транзистори базових чарунок комутують один з одним та з шинами «земля» і «живлення» за допомогою відповідних з'єднань, що формуються у шарі металу (Al). Для прив'язування елементів бібліотеки до конкретних базових чарунок у топологію базових чарунок та елементів бібліотеки введені службові шари, які

містять спеціальні реперні позначення, що задають точку прив'язування та орієнтацію потрібної топології.

Поле чарунок БМК. Поле чарунок БМК складається із стовпців чарунок (рис. 2.28). Сусідні чарунки у стовпці розрізнені полікремнієвою шиною. Суміжні стовпці відокремлені каналами для трасування. Канали для трасування складаються з сукупності горизонтальних полікремнієвих відрізків, які мають відкриті контактні вікна. З чотирьох сторін поля чарунок розміщено периферійні канали для трасування. Шини «земля» та «живлення» підводяться зверху та знизу.

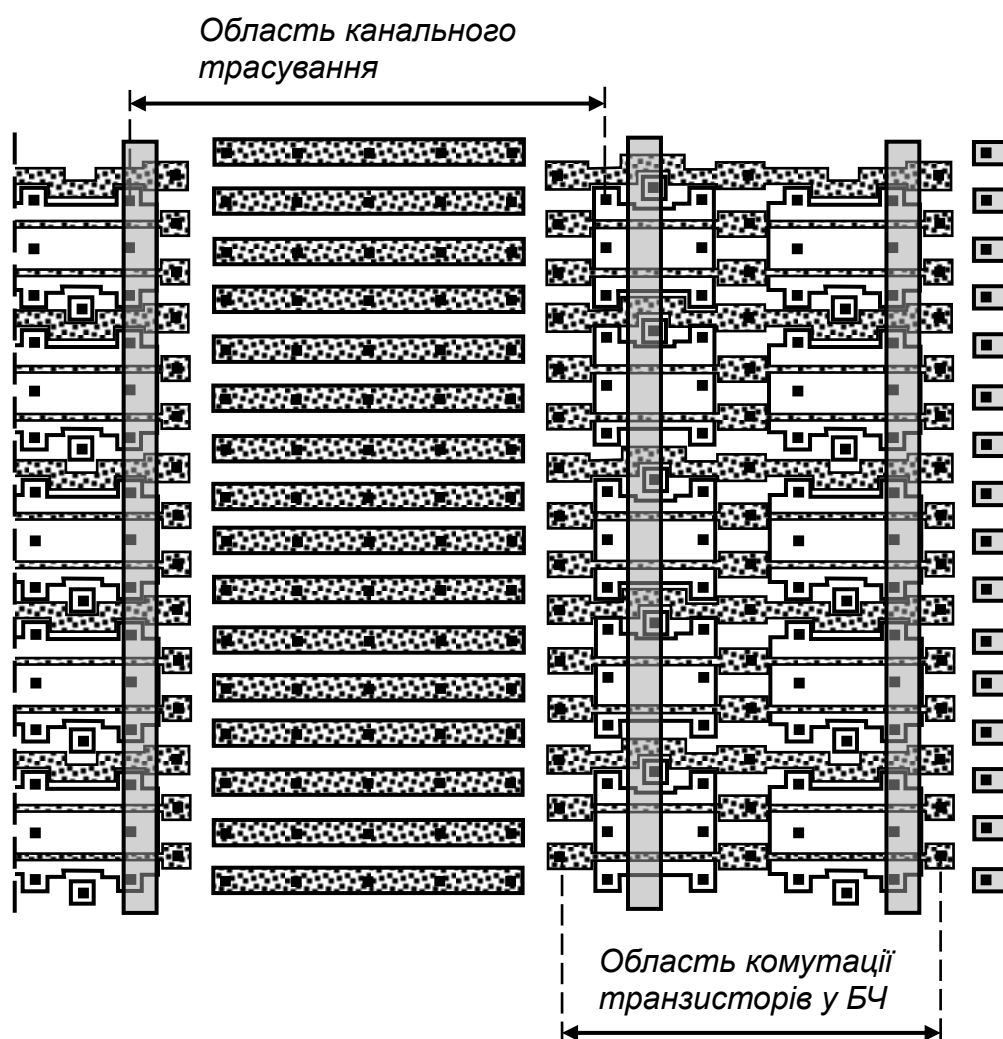


Рисунок 2.28 – Фрагмент топології БМК

Периферійна чарунка БМК. Периферійна чарунка БМК призначена для реалізації у периферійній області кристалу бібліотечних елементів типу «вхід-вихід». Для цього чарунки містять потужні транзистори для формування вихідних сигналів, діодно-резисторні збірки для захисту від електростатичної напруги, якщо вивід працює у режимі «вхід», та ще декілька транзисторів.

Потужні транзистори утворюються паралельним з'єднанням двох n -канальних транзисторів і двох p -канальних транзисторів відповідно.

Побудова каналів для трасування. Канали трасування призначені для формування електричних зв'язків між бібліотечними елементами. Їх розміщено у матриці між стовпцями базових чарунок, а також між базовими та периферійними чарунками. У каналі можливо провести до 10 вертикальних трас розведення у шарі алюмінію, або одну горизонтальну трасу між суміжними відрізками полікремнію (рис. 2.28).

Конструкція каналів дозволяє реалізувати дворівневе розведення міжз'єднань у ВІС. Перший шар утворюють відрізки шин полікремнію, що розташовані паралельно один одному упоперек каналу (рис. 2.28). Другий шар утворюють з'єднання, які формуються за спеціалізацією БМК шляхом селективного усунення металу, що нанесений поверх шин з полікремнію на усю поверхню. Зв'язок між шарами здійснюється крізь контактні переходи алюміній-полікремній. Обидва шари формуються в ході виготовлення базової структури БМК. Спеціалізація ВІС здійснюється за допомогою другого шару – шару металізації. Зовнішні й внутрішні канали мають різну довжину відрізків полікремнію.

Спеціалізація БМК здійснюється формуванням електричних з'єднань між бібліотечними елементами та з'єднань всередині базових чарунок. Перші формуються в області каналного трасування, інші – в області комутації транзисторів базової чарунки (рис. 2.28). Для спеціалізації потрібен один фотошаблон і мінімальне кількість технологічних операцій (експонування, травлення, нанесення захисного покриття).

Бібліотека функціональних елементів містить інвертори, буфери, логічні функціональні елементи, тригери, тригери Шмітта, периферійні чарунки та драйвери, компаратори, мультиплексори, демультимплексори, шифратори, дешифратори, суматори, лічильники, регістри даних, регістри зсуву, аналого-цифрові компаратори, операційні підсилювачі, спеціальні функціональні чарунки (на замовлення).

2.4 Блокова архітектура БМК

Підвищення ступеня інтеграції БМК приводить до зростання середньої довжини зв'язків між функціональними елементами, що знижує швидкодію матричних ВІС.

Щоб уникнути цього, топологія ряду БМК високого ступеня інтеграції реалізуються у вигляді декількох блоків – підматриць (рис. 2.29).

Кожен з блоків має структуру БМК меншого ступеня інтеграції, а між ними розташовуються горизонтальні та вертикальні канали для з'єднань.

На периферії блоків розміщуються внутрішні транслятори, які забезпечують достатній струм для швидкого перезаряду ємності міжблокових з'єднань.

У периферійній області БМК зазвичай розташовуються:

- транслятори рівнів сигналів;
- схеми для контролю і тестування ВІС;
- елементи для тестування і контролю значень параметрів елементів БМК;
- елементи для тестування якості виконаного технологічного процесу виготовлення ВІС.

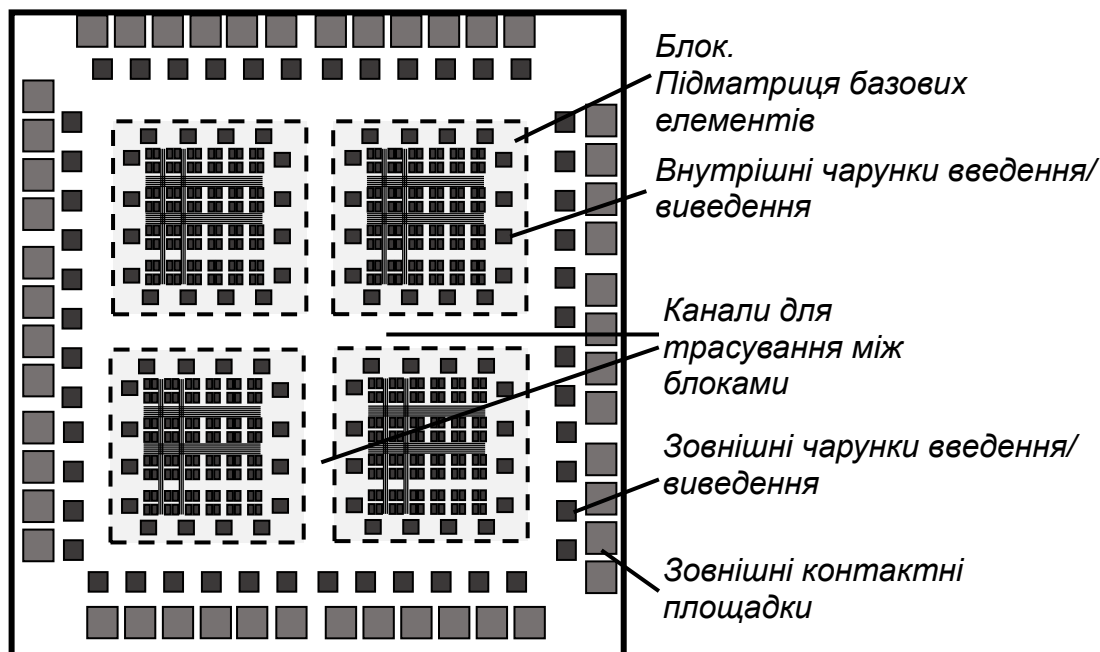


Рисунок 2.29 – БМК з блоковою архітектурою

Друга група БМК з блоковою структурою містить у своєму складі функціонально закінчені блоки (АЛП, ОЗП, постійні запам'ятовувальні пристрої – ПЗП), спеціалізовані елементи – макрочарунки (тригери, регістри тощо). Приклад такого спеціалізованого кристала наведено на рис. 2.30.

Кристал містить матрицю ЛЕ з горизонтальними каналами трасування. Поряд з матрицею чарунок розміщено вісім блоків ПЗП та чотири блока ОЗП. Трасувальна здатність на робочому полі різна. На периферії біля контактних розміщені буферні елементи. Для реалізації спеціалізованої ВІС використовуються

два шари металізації. У першому шарі проводяться горизонтальні траси для з'єднань, у другому – вертикальні.

Логічна чарунка БМК (рис. 2.31) містить два п- і два р- канальних транзистори. Шини живлення та землі формуються у першому шарі комутації. Їх положення фіксоване. Над чарункою можливо провести траси у вертикальному напрямку і за потребою у горизонтальному напрямку.

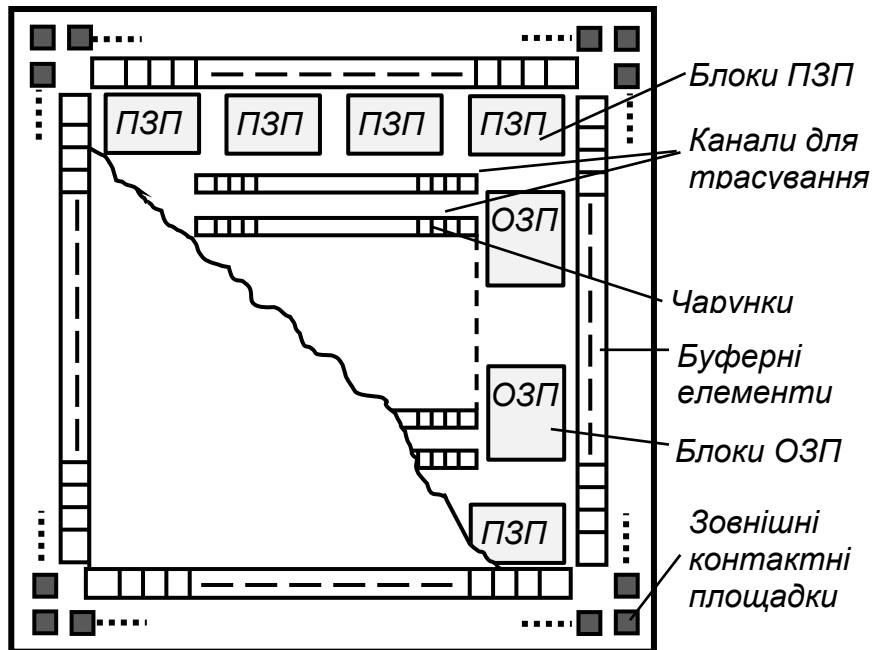


Рисунок 2.30 – Конструкція спеціалізованого КМОН БМК з вбудованими блоками ОЗП та ПЗП

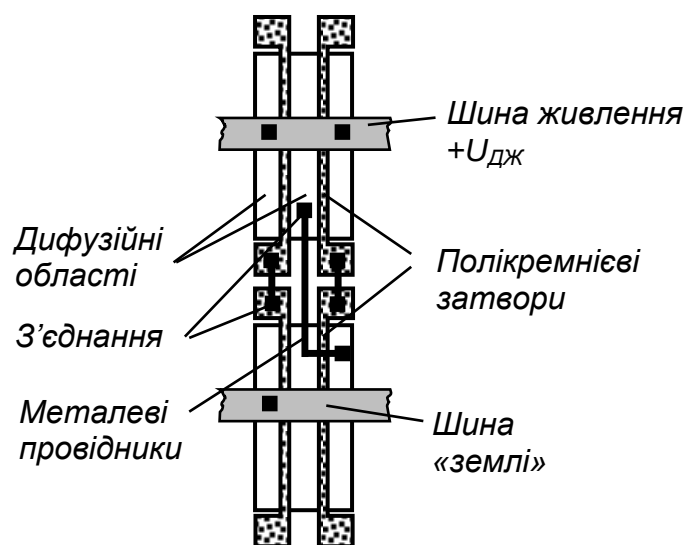


Рисунок 2.31 – Логічна чарунка БМК

До третьої групи блокових БМК припустимо віднести мікросхеми, до складу яких входять різномірні складні блоки, як цифрові так і аналогові (рис. 2.33).

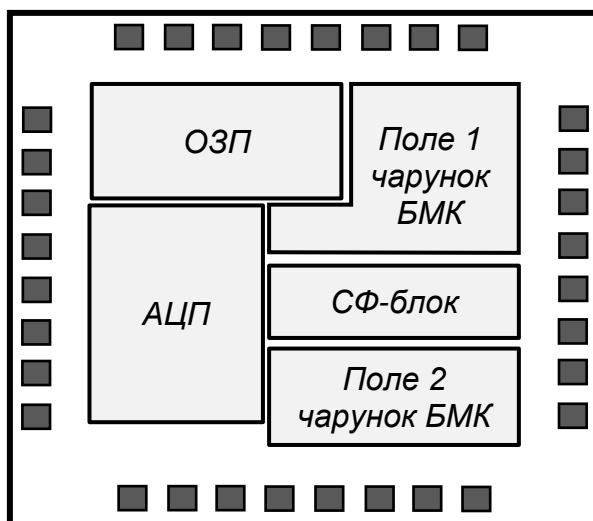


Рисунок 2.33 – Архітектура БМК з різномірними блоками

Складні функціональні блоки (СФ) містять мікропроцесорні ядра, мікроконтролери, блоки пам'яті, аналогові блоки і блоки аналого-цифрової обробки та багато інших. Важливо, що бібліотека функціональних блоків може формуватися поступово у процесі експлуатації серії СБМК.

2.5 Параметри БМК

Мікросхеми БМК характеризують архітектурними, конструктивними, технологічними та електричними властивостями.

Компоновку БМК характеризують такі величини:

- кількість чарунок на кристалі;
- густина розташування елементів;
- кількість спеціалізованих чарунок (макрочарунок), логічні функції яких незмінні;
- число буферних чарунок;
- число функціонально закінчених блоків, наприклад оперативних запам'ятовувальних пристроїв, програмованих логічних матриць і т. п.
- площа кристалу;
- співвідношення площ, що займають чарунки, з'єднувальні траси, контактні площадки; буферні чарунки, макрочарунки, функціонально закінченими блоками;
- геометрія розташування елементарних чарунок на робочій зоні БМК.

Конструкція кристала залежить від таких факторів:

- форми кристала;
- технологія виготовлення;
- допустимого числа та розташування зовнішніх контактних площадок;
- мінімального розміру фізичних областей;
- кроку розміщення з'єднувальних шин;
- кількості шарів комутації;
- ступеня інтеграції мікросхем, що розробляються;
- середнього коефіцієнта розгалуження за виходом логічних елементів (ЛЕ);
- середнього числа входів, яке мають ЛЕ;
- числа типів функціональних блоків, яке містить інтегральна мікросхема, що проектується.

Конструкція логічної чарунки БМК (а також макрочарунок, що введені до БМК) визначається такими параметрами:

- конструкцією транзисторів (наприклад, C^2L , ізопланарна);
- затримкою поширення сигналу у кільцевому генераторі;
- допустимими розмірами фізичних областей елементів чарунки;
- номенклатурою ЛЕ, що застосовуються, та частотою їх використання;
- бібліотека функціональних елементів і їх типові електричні параметри;
- вимогами технічного завдання до електричних параметрів (за швидкістю, споживаною потужністю).

Комутаційні властивості БМК характеризують такі параметри:

- число шарів комутації;
- число сигнальних виводів у БМК;
- число боків, на які виводяться сигнали ЛЕ, що реалізовано на базі чарунки;
- система шин живлення чарунки;
- вимоги до джерела живлення;
- вказівки з розташування та використання контактних площадок для джерел живлення;
- число трас, яке можливо провести у каналах трасування;
- число фіксованих з'єднань, що припадає на кожен вивід ЛЕ;
- кількість замовних фотошаблонів;
- технологічні обмеження (наприклад, крок координатної сітки для з'єднувальних трас).

Наведені параметри дозволяють класифікувати БМК за тією чи іншою відмінною ознакою.

2.6 Послідовність проектування спеціалізованих мікросхем на основі БМК та їх переваги і недоліки

Розробку спеціалізованої ВІС на основі БМК проводять у поданій нижче послідовності.

1. Вибирається відповідне сімейства БМК на основі вимог до логічних функцій і технічних характеристик (споживаної потужності, швидкодії, конструкції корпусу тощо) проекрованої ВІС.

2. Створюється функціональна електрична схема проекрованої ВІС на базі бібліотеки функціональних елементів вибраного БМК і визначається:

- кількість використовуваних чарунок;
- кількість логічних входів і виходів;
- загальна кількість виводів;
- споживана потужність;
- необхідна кількість трас;
- затримка перемикачів.

3. Виконується функціонально-логічне моделювання, де перевіряються:

- реалізація заданого закону функціонування;
- часові співвідношення між сигналами в різних електричних колах.

4. Розробляються тести для управління апаратурою контролю працездатності ВІС.

5. Здійснюється розміщення на БМК функціональних елементів і трасування міжз'єднань.

6. Виконується контроль виконання конструктивно-технологічних обмежень.

7. Проводиться контроль відповідності топології електричній схемі.

8. Визначається довжина електричних з'єднань і розраховується їх ємність.

9. Уточнюються значення затримок сигналів в електричних колах.

10. Готуються і виводяться відомості на носії інформації, які управляють роботою технологічного устаткування.

Основні переваги проектування ВІС на основі БМК

Висока технологічність, створюються напівфабрикати, тобто неспеціалізовані кристали-заготовки.

Можливість створення ВІС з широкою номенклатурою, за рахунок зміни тільки міжз'єднань.

Незалежність процесів проектування і виготовлення.

Регулярність структури матричних ВІС, використання БФЕ спрощує і прискорює процес виявлення можливих помилок проектування.

Короткий цикл виготовлення і проектування ВІС.

Можливість вдосконалення схем і технологій у процесі проектування і модернізації.

Нижчі вимоги до проектувальників у галузі проектування ІС.

Використання готових рішень, оптимізованих для кожного випадку.

Недоліки

Відносно невеликий коефіцієнт використання кристала.

Невисока ефективність трасування через обмеження на канали трасування, і збільшення часу затримки поширення сигналу.

Жорстка прив'язка до БФЕ. Частина ЛЕ усередині макроеlementу залишається не використаною.

Не припустимі помилки.

2.7 Контрольні запитання і завдання

1. Наведіть структуру БМК і поясніть його склад.
2. Якими основними параметрами характеризуються БМК?
3. Які різновиди пластин БМК існують?
4. Охарактеризуйте призначення і склад бібліотеки функціональних елементів.
5. Який склад чарунки можуть мати БМК на біполярних транзисторах?
6. Які структури транзисторів використовуються у БМК на біполярних транзисторах?
7. Наведіть приклад схеми і топології базової чарунки на біполярних транзисторах.
8. Наведіть приклад реалізації схеми і топології логічного елемента 2І-НІ на основі базової чарунки на біполярних транзисторах.
9. Охарактеризуйте швидкодіючий аналого-цифровий ЕСЛ БМК.
10. Наведіть приклад базової чарунки на шести КМОН-транзисторах. Як на її основі реалізується схема інвертора?
11. Наведіть схему логічного елемента ЗАБО-НІ на КМОН-транзисторах і топологію розведення базової чарунки для її реалізації.
12. У чому полягає принцип побудови чарунок з плаваючими межами?
13. Які різновиди структур мають кристали БМК на КМОН-транзисторах?

14. Охарактеризуйте особливості побудови топології кристала, базової чарунки, каналів для проведення трас міжз'єднань у прикладі БМК з однорідними чарунками.
15. У яких випадках застосовується блокова структура БМК?
16. Наведіть різновиди БМК з блоковою архітектурою.
17. Якими параметрами характеризують БМК?
18. Охарактеризуйте етапи проектування ВІС на основі БМК.
19. Які переваги і недоліки проектування спеціалізованих ВІС на основі БМК?

3 МІКРОСХЕМИ БМК ПІДВИЩЕНОЇ СКЛАДНОСТІ

3.1 Структуровані цифрові БМК

Структуровані БМК є новим класом БМК, який володіє властивостями ПЛІС типу FPGA з одного боку, з іншого – класичних БМК. Їх розвиток певною мірою пов'язаний із зменшенням топологічних норм проектування мікросхем. Зниження розмірів транзисторів зменшує час їх перемикання. З іншого боку, зниження розмірів з'єднувальних провідників збільшує електричний опір міжз'єднань, підвищує їх паразитну ємність, веде до збільшення часу затримки у міжз'єднаннях (рис. 3.1). Час перемикання транзисторів значно менший часу затримки у міжз'єднаннях. Для зменшення опору провідників застосовують мідь замість алюмінію, а зменшення паразитної ємності для міжшарової ізоляції використовують діелектрики з малою діелектричною проникністю. Наприклад, за проектної норми 100 нм енергія перемикання провідників у середньому у 5 разів перевищує енергію перемикання транзисторів, а для норми 35 нм – у 30 разів.

Затримка, пс

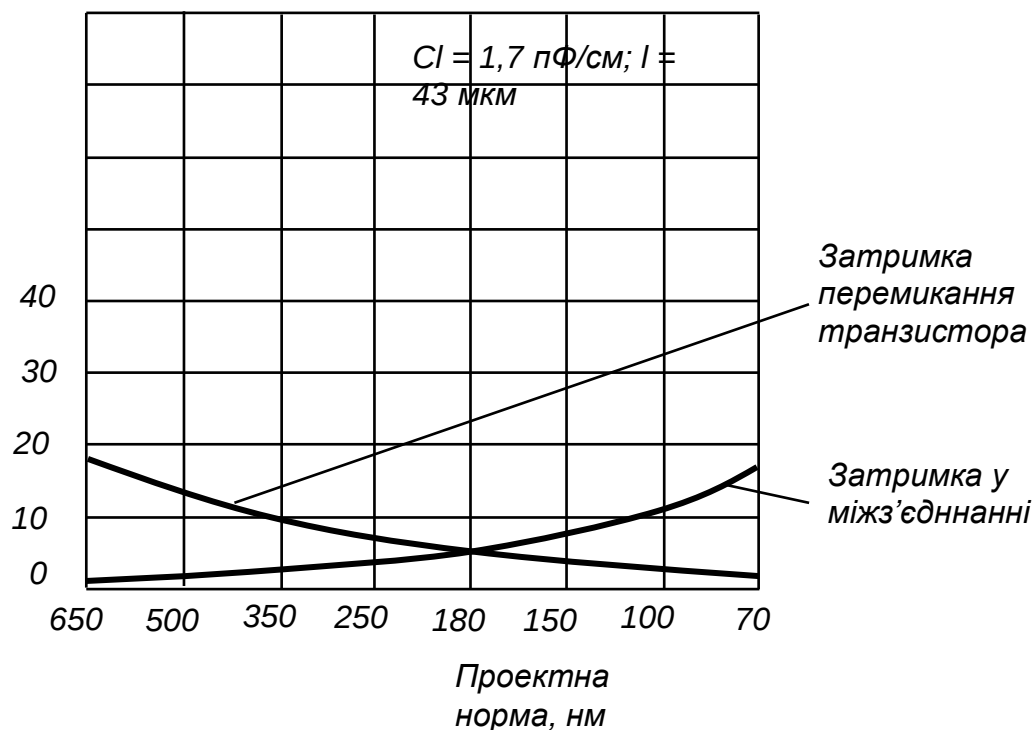


Рисунок 3.1 – Зростання часу затримки у міжз'єднаннях зі зменшенням розмірів

Для проектування НВІС з *невеликими прогнозованими затримками* потрібно замість «дрібнозернистих» базових чарунок, що дозволяють реалізувати прості ЛЕ, застосувати чарунки, які дозволяють формувати більш складні логічні функції. Ці «великозернисті» базові чарунки містять внутрішні лінії зв'язку, які мають значно меншу довжину. Універсальним логічним елементом виявився елемент LUT (look up table, таблиця перекодування). Логічні функції реалізуються за допомогою міжшарового переходу та конфігурування бітовим потоком, що відбувається після кожного увімкнення джерела живлення. Це є першим етапом переходу від стандартних чарунок до стандартної топології металізації. Великозернистий логічний елемент LUT робить можливим стандартизацію нижніх шарів металізації, які застосовуються для з'єднань ЛЕ нижнього рівня. Набір ЛЕ нижнього рівня, побудований на основі ідентичних великозернистих логічних чарунок, визначає ефективність застосування з'єднувальних сегментів для трасування.

Важливою перевагою використання великозернистих чарунок є менша кількість провідників, які потрібно розвести. Ці провідники входять до складу чарунки і їх було спроектовано вручну на етапі розробки кристалу.

Основною відмінністю СБМК від БМК є те, що деякі з'єднання елементів виконані раніше. Для реалізації замовної ВІС також формуються з'єднання елементів на кристалі, проте проектування відбувається на рівні ІР-модулів та блоків. ІР (Intellectual Property) модуль (модуль інтелектуальної власності) – це попередньо розроблений функціональний елемент. Часто вказують, що СБМК має структуру «море модулів» порівняно з БМК, які мають структуру «море вентилів».

Класичні БМК формуються на основі чарунок, що містять невелику кількість елементів, на яких можливо реалізувати нескладні логічні елементи типу 2І-НІ. Структуровані БМК будуються на основі великозернистих чарунок, що дозволяє реалізувати за допомогою однієї чарунки більш складні логічні функції типу однорозрядового суматора, JK-тригера, мультиплексорів або таблиць відповідності, одного або декількох регістрів, і, можливо, невеликого локального ОЗП тощо. Це суттєво спрощує налаштування та комутування логічних блоків, зменшує число змінних фотошаблонів та забезпечує високі параметри швидкодії, проте зменшує ефективність використання площі кристалу. Масив таких великозернистих елементів виготовляється на підприємстві з виготовлення ІС по всій поверхні кристала. Деяка альтернативна архітектура починається з базисної великозернистої чарунки.

На підприємстві також виготовляються, зазвичай по контуру кристала, деякі додаткові функціональні чарунки, наприклад блоки ОЗП, тактові генератори, логіка периферійного сканування та інші функціональні елементи. У кожного постачальника є власний набір елементів великозернистої чарунки та архітектури пристрою (рис. 3.2).

У процесі виконання мікросхеми за замовленням виготовляються тільки шари металізації, як і у разі стандартних вентиляльних матриць. Відмінність полягає у тому, що внаслідок більшої складності чарунок структурованих спеціалізованих ІС більшість шарів металізації вже визначена. Таким чином, під час виготовлення багатьох структурованих мікросхем за замовленням їх архітектура потребує лише двох або трьох шарів металізації, а в деяких випадках вимагається виготовити тільки один шар з перехідними отворами. Внаслідок цього значно знижується вартість і скорочується час виготовлення фотошаблонів, що залишилися потрібними для створення пристрою.

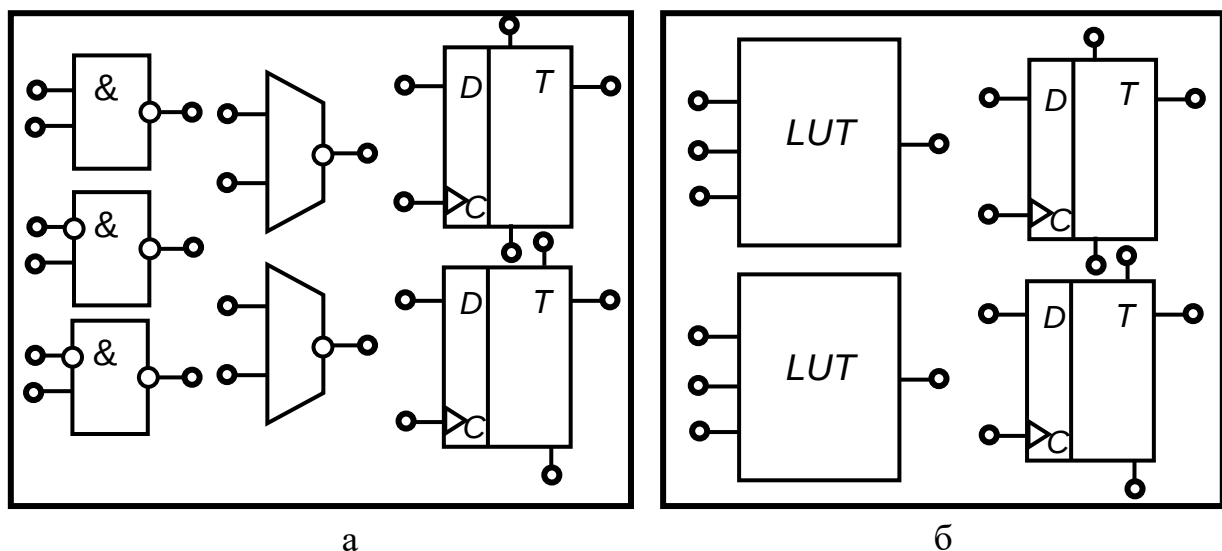


Рисунок 3.2 – Приклади модулів структурованих БМК:

а – модуль, що містить логічні елементи, мультиплексори та тригери;

б – модуль, що містить таблиці відповідності (LUT) та тригери

В основу багатьох структурованих БМК покладена концепція програмованих логічних блоків перших ПЛІС, які включали 3-входову таблицю відповідності (LUT – look up table), тригер, що виконує функцію регістра або клямки, мультиплексор, а також деякі інші елементи. Як приклад на рис. 3.3 наведено простий програмований логічний блок (логічний блок сучасної ПЛІС може бути набагато складнішим).

СБМК містить велику кількість таких програмованих блоків. Шляхом програмування відповідних комірок статичного ОЗП кожен логічний блок

пристрою може бути конфігурований для виконання різних функцій. У процесі конфігурації в кожен регістр записується його початкове значення у вигляді логічного 0 або логічної 1, а також визначається, чи регістр виконуватиме функцію тригера або клямки (рис. 3.3). У першому випадку також визначається, за яким фронтом тактового сигналу, позитивним або негативним, відбувається перемикання. Тактові сигнали є загальними для всіх логічних блоків. Мультиплексор, підключений до входу тригера, може конфігуруватися на передачу сигналів з виходу таблиці відповідності або з окремого входу логічного блока. Таблиця відповідності може програмуватися на роботу як будь-яка логічна функція з трьома входами і одним виходом.

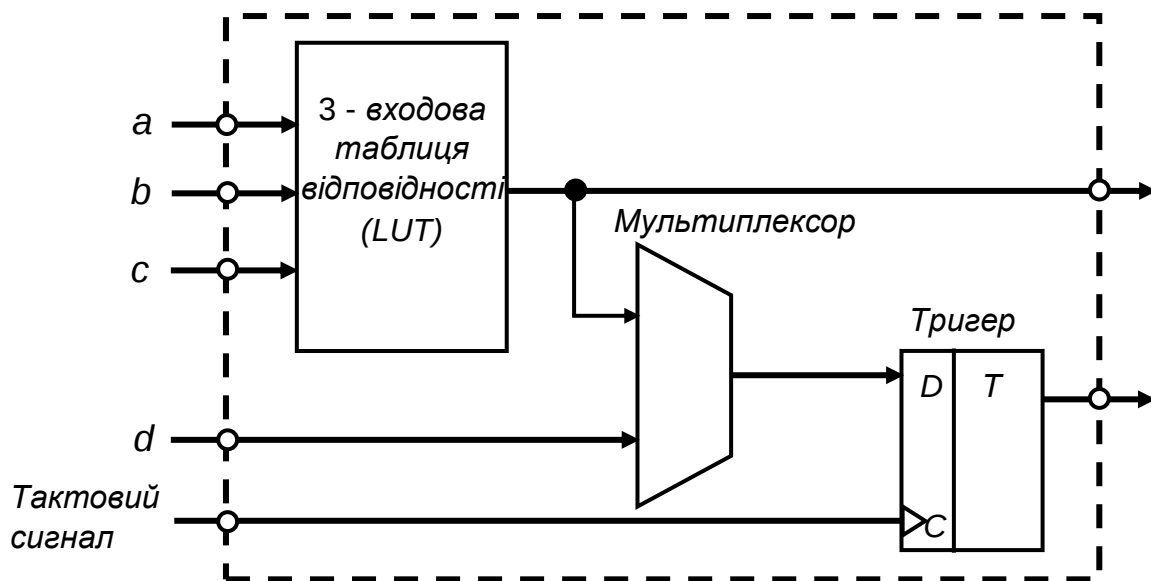


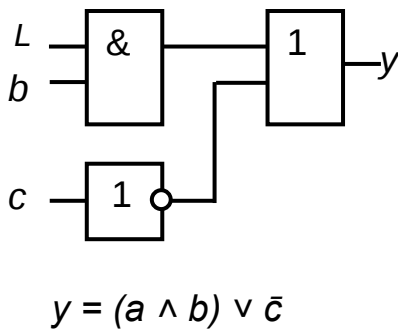
Рисунок 3.3 – Простий програмований логічний блок

Припустимо, що таблиця відповідності має три входи і потрібно сформулювати функцію $y = (a \wedge b) \vee \bar{c}$. Для цього в таблицю відповідності необхідно завантажити відповідні вихідні значення цієї функції (рис. 3.4). Таблиця відповідності з мультиплексором 8:1, що наведена на рис. 3.4, є спрощеним варіантом існуючих таблиць відповідності.

Напівзамовні ВІС на базі структурованих БМК у даний час випускають фірми: Chip Express, eASIC, Faradey Technology, AMI Semiconductor та інші.

Структуровані БМК першого покоління забезпечували розробникам значні переваги у споживаній потужності та вартості порівняно з FPGA, проте мали багато недоліків, що були характерні для ASIC на основі традиційних БМК на базі логічних елементів.

Довгі траси



Таблиця істинності

a	b	c	y
0	0	0	1
0	0	1	0
0	1	1	1
1	0	0	1
інформація			
1	1	0	1
1	1	1	1

Програмована таблиця відповідності (LUT)

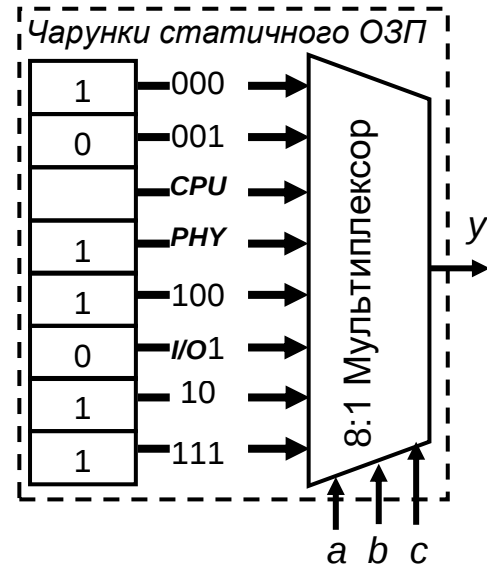


Рисунок 3.4 – Конфігурація таблиці відповідності

Структуровані БМК першого покоління мали такі характеристики:

- термін розробки від створення топології до реалізації кристалу був 2...5 місяців;
- одночасні витрати на проектування досягали 150...250 тис. долл., що робило цю технологію важкодоступною для більшості користувачів;
- існували обмеження на мінімальну кількість кристалів, що замовлялися;
- вартість і час розробки були великими, тому що потрібно було проводити жорстку верифікацію до рівня окремих транзисторів;
- у процесі переходу від прототипу на основі FPGA до структурованого БМК, реально створювався новий пристрій – змінювалися часові співвідношення, повторно визначалися основні характеристики.

Мікросхеми СБМК з однорідною структурою. Нові структуровані БМК суміщують переваги FPGA і БМК на логічних елементах.

Нове покоління СБМК, яке розроблено фірмою eASIC має назву Nextreme, усуває недоліки класичних БМК та СБМК першої генерації. Структуровані ASIC Nextreme мають такі переваги:

- термін розробки від створення топології до реалізації у кремнію складає усього 3...4 тижня;
- відсутні розходи на комплект фотошаблонів, на одній пластині можливо реалізувати декілька проектів;
- відсутні обмеження на мінімальну кількість замовлених виробів;

– низька вартість засобів розробки (аналогічна до засобів розробки на основі FPGA);

– термін розробки невеликий, тому що не потрібно проводити верифікацію на рівні транзисторів;

– проста FPGA-подібна архітектура, яка базується на чарунках eCells (рис. 3.5), забезпечує високий відсоток виходу придатних;

– існують варіанти як для розробки прототипів, так і масового виробництва;

– у процесі переходу від прототипу на основі структурованих ASIC Nextreme до масового виробництва не потрібно удруге визначати часові та основні характеристики.

СБМК у своєму складі містять вузли налаштування та логічні блоки, функції і зв'язки яких програмуються за допомогою масок. Цифрові елементи СБМК подібні до тих, що застосовуються у ПЛІС, проте вони програмуються за допомогою систем змінних перемичок або змінних контактів. Програмовані з'єднання реалізують в одному або у двох змінних шарах за допомогою літографії або лазерної літографії верхнього шару металізації або шару контактних вікон. СБМК деяких фірм (Chip Express, eASIC) потребують для виготовлення спеціалізованої ВІС одного змінного спеціалізованого шаблону. Це значно знижує вартість та прискорює процес виготовлення мікросхем до 7...10 днів.

СБМК, що виготовлено за технологією 90 нм, мають такі параметри:

- число ЛЕ – до 5 млн;
- швидкодію – до 0,05 нс на ЛЕ;
- тактові частоти – до 600 МГц;
- ємність вбудованих ОЗП – до 32 Мбіт;
- ємність вбудованих ПЗП – до 256 Мбіт.

Напівзамовні ВІС на базі СБМК у 5...7 разів рентабельніші, ніж ПЛІС і володіють суттєво більш високими параметрами.

Фірма eASIC розробила декілька сімейств СБМК Nextreme з проектними нормами 28...90 нм. Стандартний логічний елемент, що повторюється у наборі логічних елементів нижнього рівня, має назву eCell. На рис. 3.5 наведено схему цього базового елемента. Чарунка eCell еквівалентна 12...15 логічним вентилям. Топологія елемента eCell формується у трьох нижніх шарах металізації.

Іншою перевагою великозернистих чарунок є те, що вони дозволяють використання сегментованого трасування. Логічні чарунки квадратної форми мають розмір 14 мкм, мінімальна відстань між чарунками становить також 14 мкм. Поверх чарунок можливо утворити фіксовані сегменти міжз'єднань

довжиною 14 мкм, у яких зроблені міжшарові переходи (рис. 3.6). Сегменти металевих з'єднань є стандартними і виконані у чотирьох шарах металізації.

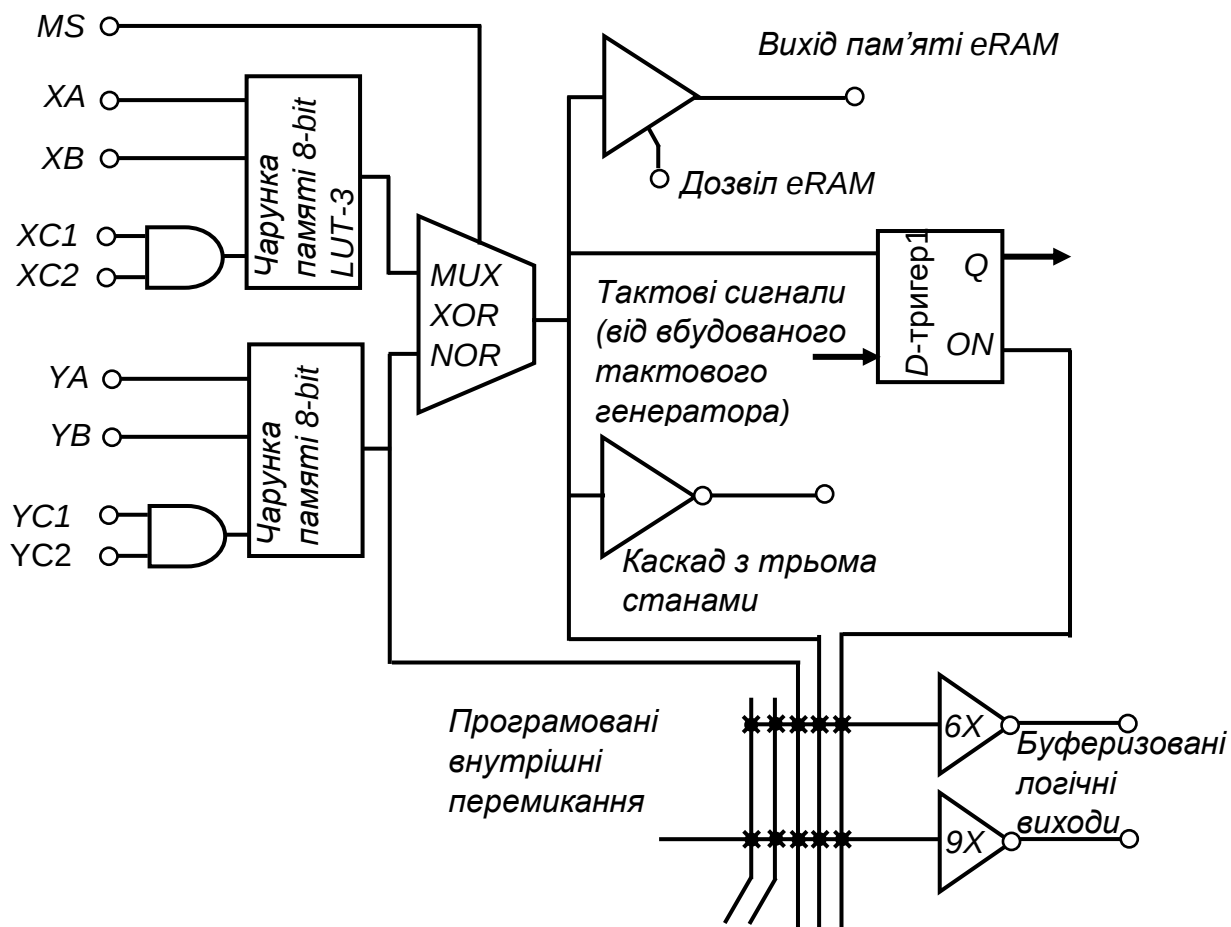


Рисунок 3.5 – Схема базової чарунки eCell

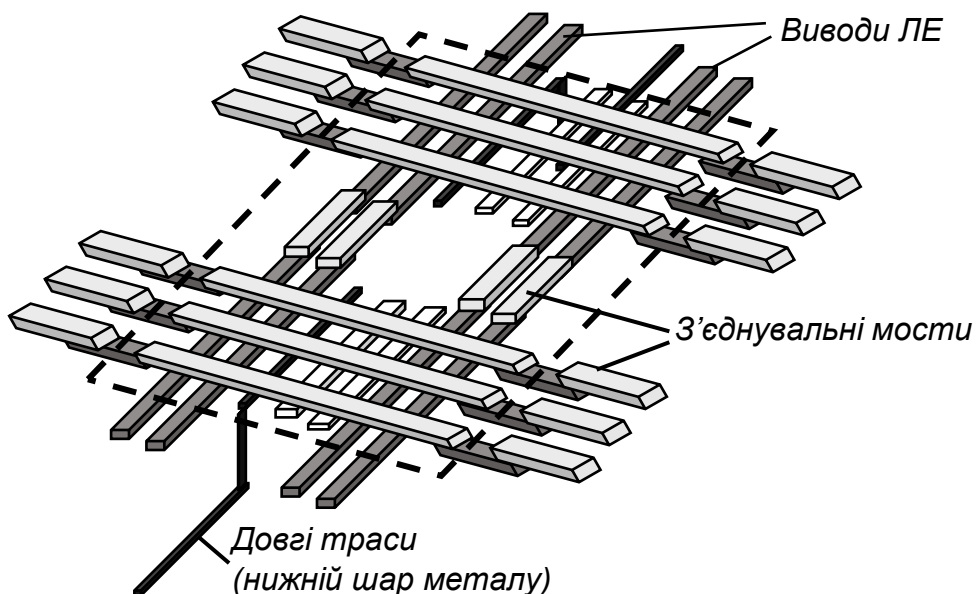


Рисунок 3.6 – Формування міжшарових з'єднань у СБМК Nextreme

Ці міжз'єднання доповнюють набір логічних елементів нижнього рівня та завершують формування стандартних шарів металізації замовним шаром переходу між двома шарами металізації. У випадку використання таблиць відповідності LUT, які побудовані на базі статичного ОЗП, потрібен лише один замовний шар перехідних отворів між двома шарами металізації (рис. 3.6).

Невелика площа металевих міжз'єднань у замовному шарі дозволяє формувати його безпосередньо електронним променем, без використання фотолітографії та фотошаблонів.

СБМК Nextreme дозволяє розробнику використовувати заздалегідь спроектовані ІР блоки процесорів.

Існує два різновиди СБМК Nextreme.

У СБМК Nextreme SL конфігурування LUT здійснюється завантаженням бітової послідовності у статичну оперативну пам'ять конфігурації (SRAM конфігурації) із зовнішнього запам'ятовувального пристрою. Початкове конфігурування чарунок eCell відбувається після кожного вмикання напруги живлення із зовнішнього запам'ятовувального пристрою подібно тому, як це робиться у ПЛІС типу FPGA.

Потрібен один замовний міжшаровий перехід. Ці СБМК дозволяють швидко розробку прототипу та налагодження проекту. Крім того, СБМК Nextreme SL мають малу споживану потужність у статичному та активному режимах роботи порівняно з аналогічною за функціональністю ПЛІС типу FPGA. Структура міжшарових з'єднань наведена на рис. 3.7.

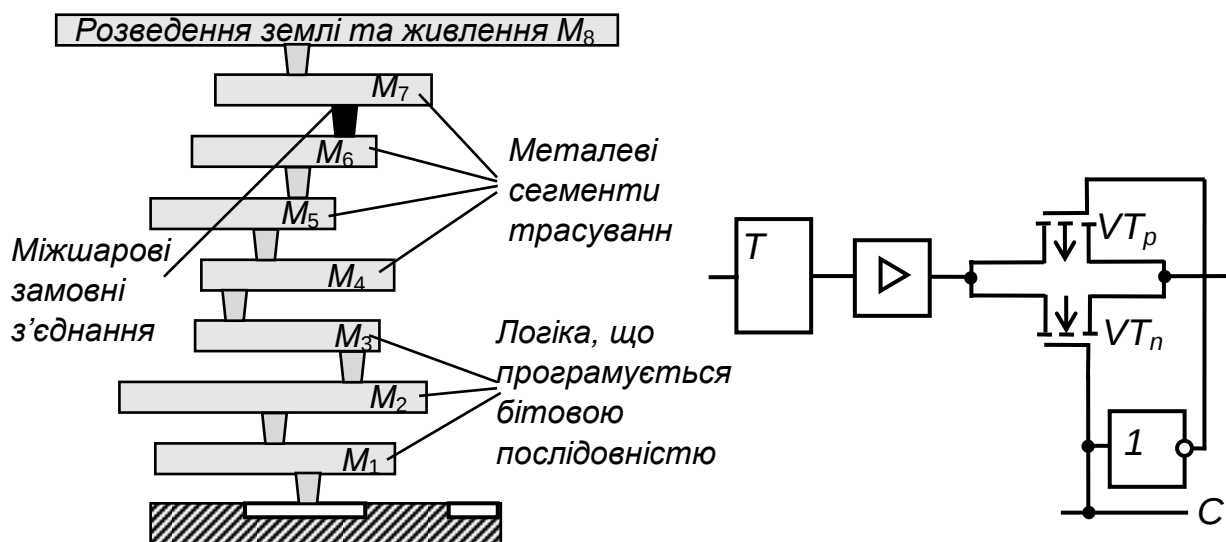


Рисунок 3.7 – Замовний шар міжшарового переходу у СБМК Nextreme SL

У СБМК Nextreme VL здійснюється жорстке програмування таблиці відповідності LUT за допомогою шару міжшарового переходу між металевими шарами M_1 та M_2 (рис. 3.8). Цей засіб програмування призначено для виробництва кристалів достатньо великими партіями.

Міжз'єднання в обох типах СБМК Nextreme можуть бути реалізовані у невеликій термін часу за невелику вартість з безпосереднім рисунням електронним променем (Direct write e Beam).

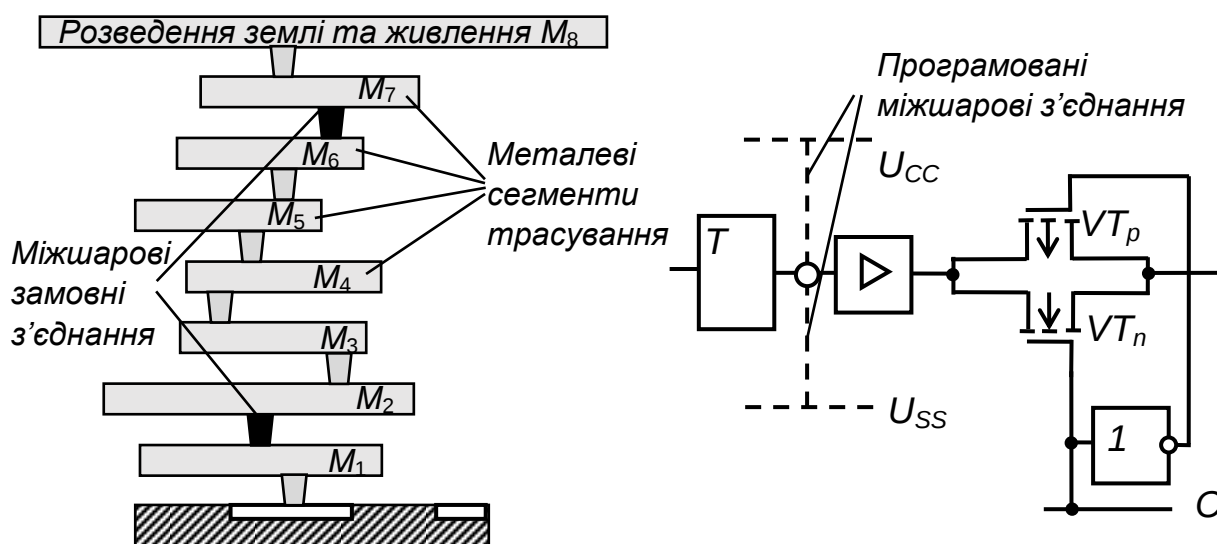


Рисунок 3.8 – Програмування СБМК Nextreme VL

Використання електронно-променевої технології дозволяє розподіляти кремнієві пластини між декількома замовниками або на одній пластині водночас виконувати різні HBIC (рис. 3.9).

У 2016 р. компанія eASIC випустила нову серію СБМК четвертого покоління, Nextreme-3, які виконано за КМОН-технологією 28 нм. У багато чому це сімейство подібно до сімейства Nextreme: великі логічні блоки, які базуються на таблицях відповідності LUT, один замовний шар міжшарового переходу тощо.

Сімейство eASIC Nextreme-3 забезпечує високу швидкодію, яка порівняна зі швидкодією цілком замовних спеціалізованих BIC, має меншу споживану потужність і малу питому вартість на один елемент, конфігурування бітовою послідовністю подібно схемам FPGA, малий термін розробки прототипів. Платформи eASIC Nextreme-3 мають удосконалену архітектуру, яка забезпечує удвічі більшу швидкодію і вдвічі меншу споживану потужність порівняно з попередньою платформою eASIC Nextreme-2, яку реалізовано за технологією 45 нм.

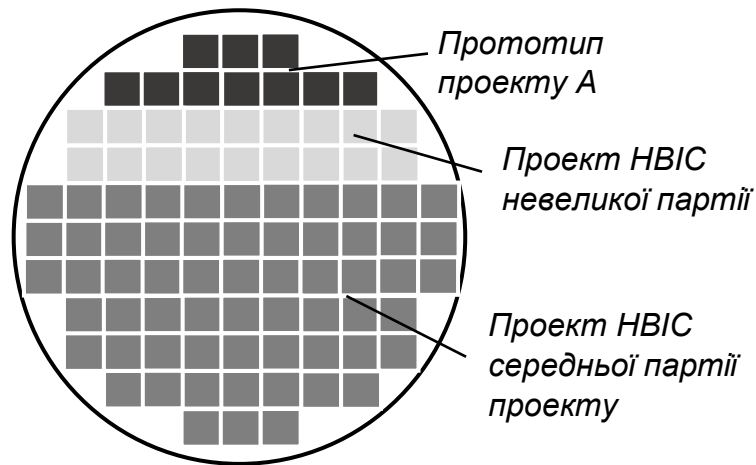


Рисунок 3.9 – Декілька проектів СВІС, що реалізовані на одній пластині, за допомогою електронного променя

Основні характеристики БМК сімейства eASIC Nextreme-3.

- Для виготовлення застосовано технологічний процес фірми TSMC з роздільною здатністю 28 нм і робочою напругою ядра 0,85 В.
- Споживана потужність складає 80% від аналогічної схеми FPGA.
- Швидкодія вдвічі вища, ніж у схем FPGA, що виготовлені за технологією 28 нм.
- Можливе миттєве увімкнення без конфігурування елементів статичного ОЗП із зовнішньої пам'яті.
- Містить до 1,3 млн. базових чарунок eCell (еквівалентно 18 млн. ЛЕ схем ASIC).
- Має загальну ємність вбудованих блоків пам'яті (bRAMS) з індивідуальним настроюванням до 56 Мбіт.
- Швидкодія дрібнозернистих вбудованих блоків пам'яті ємністю 9 Кб становить 800 МГц.
- Вбудовані однобітові швидкі суматори для виконання великошвидкісних арифметичних та DSP-функцій.
- Мультигігабітне введення – виведення зі швидкістю до 12,5 Гбіт/с.
- Нова поліпшена система синхронізації з 36 глобальними колами синхронізації.
- Має систему GreenPowerVia, яка вимикає джерело живлення від логіки, що не використовуються.
- Підтримує на вході та виході стандарти з напругою живлення 3,3 В, 2,5 В, 1,8 В, 1,5 В, 1,35 В та 1,2 В.
- Містить перемички типу eFUSE для трасування і для зберігання спеціальних кодів доступу.

- Має термочутливий діод.
- Використовує інструменти проектування та завантаження подібно до схем FPGA.

Ієрархія побудови СБМК сімейства eASIC Nextreme наведена на рис. 3.10.

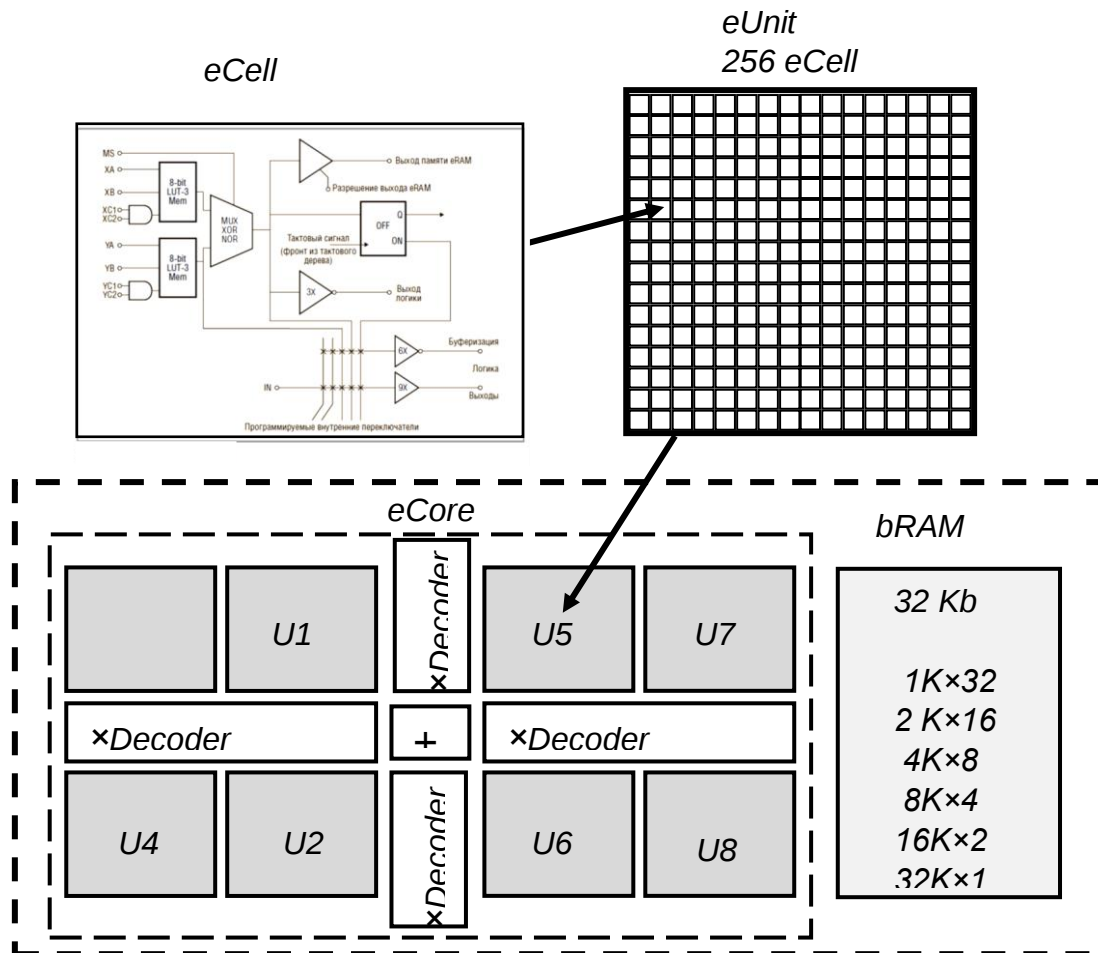


Рисунок 3.10 – Ієрархія СБМК сімейства eASIC Nextreme

Чарунку eCell можливо конфігурувати як ЛЕ або 16-бітний ОЗП eRAM. У свою чергу 256 чарунок eCell складають функціональний елемент eUnit або ОЗП eRAM ємністю 4 Kb. До складу великозернистого ядра eCore входять 8 функціональних елементів eUnit або 2048 чарунок eCell або ОЗП eRAM ємністю 32 Kb. Кожне ядро eCore безпосередньо пов'язано з вбудованою блоковою пам'яттю bRAM ємністю 32 Kb, яку можливо конфігурувати як запам'ятовувальний пристрій, що має різноманітну організацію: 1K×32; 2K×16; 4K×8; 8K×4; 16K×2; 32K×1.

Архітектура eASIC Nextreme підтримує як блокову пам'ять (bRAM), так локальну або розподілену пам'ять (eRAM). Загальна ємність bRAM і eRAM складає 5...7 Мбіт. Пам'ять eRAM утворюється з використанням чарунок eCell, що конфігуровані як RAM, а не логічний пристрій. Це двопортовий ОЗП –

операція читання та запису виконуються незалежно одна від одної. Розрядність і об'єм блоків пам'яті eRAM можна змінювати. Кожен блок eUnit може містити до 4 Кбіт пам'яті, а кожне ядро eCore – до 32 Кбіт. Розрядність шини даних eRAM може змінюватися від 1 до 16 біт з обранням від 1 до 32 слів. Архітектура кристала СБМК сімейства eASIC Nextreme наведена на рис. 3.11.

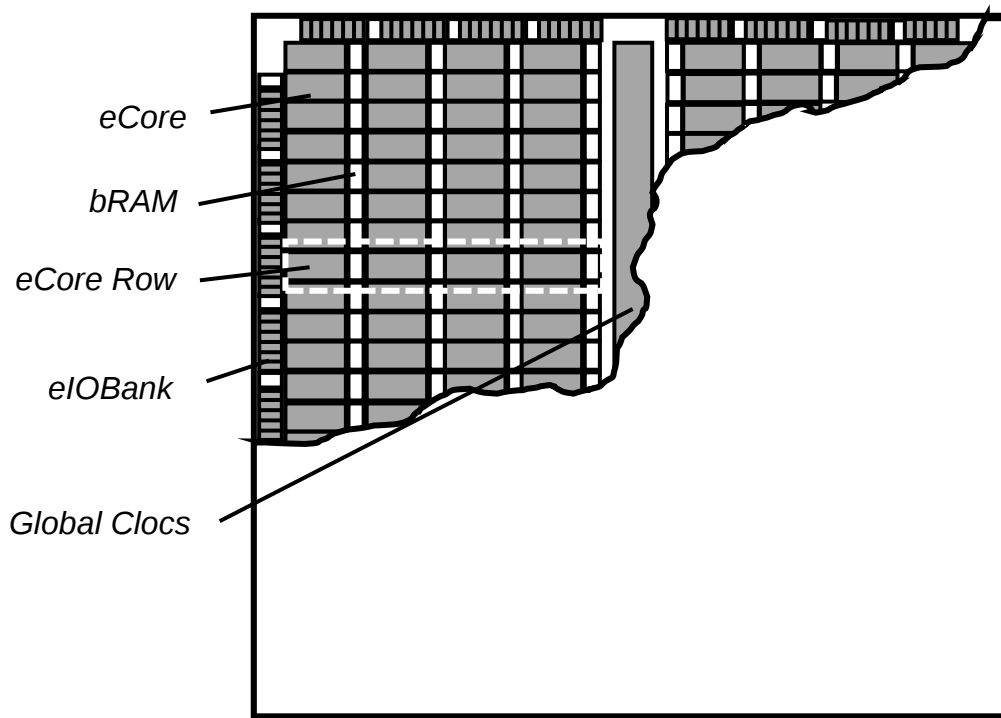


Рисунок 3.11 – Архітектура кристала СБМК сімейства eASIC Nextreme

3.2 Структуровані БМК з блоковою архітектурою

СБМК окрім програмованих змінними шаблонами цифрових елементів, можуть містити апаратні процесорні ядра, блоки цифрової обробки сигналів, ОЗП, ПЗП, універсальні та спеціалізовані блоки введення–виведення, аналогові компоненти. Наявність сукупності вбудованих блоків визначає сферу застосування СБМК, підвищує її ефективність для розв'язання задач певного класу. Такі СБМК належать до класу платформ (Platform ASICs). На структурованих БМК з великою кількістю вбудованих блоків можливо реалізувати спеціалізовані ВІС, які не поступаються цілком замовним ВІС за швидкодією, мають дещо більшу площу кристала, значно меншу вартість проектування та виробництва кристалів. В іноземній літературі під значення структуровані БМК часто підпадають блокові БМК. Прикладом великоблокового БМК є платформа на кристалі NC Express фірми Faraday (рис. 3.12).

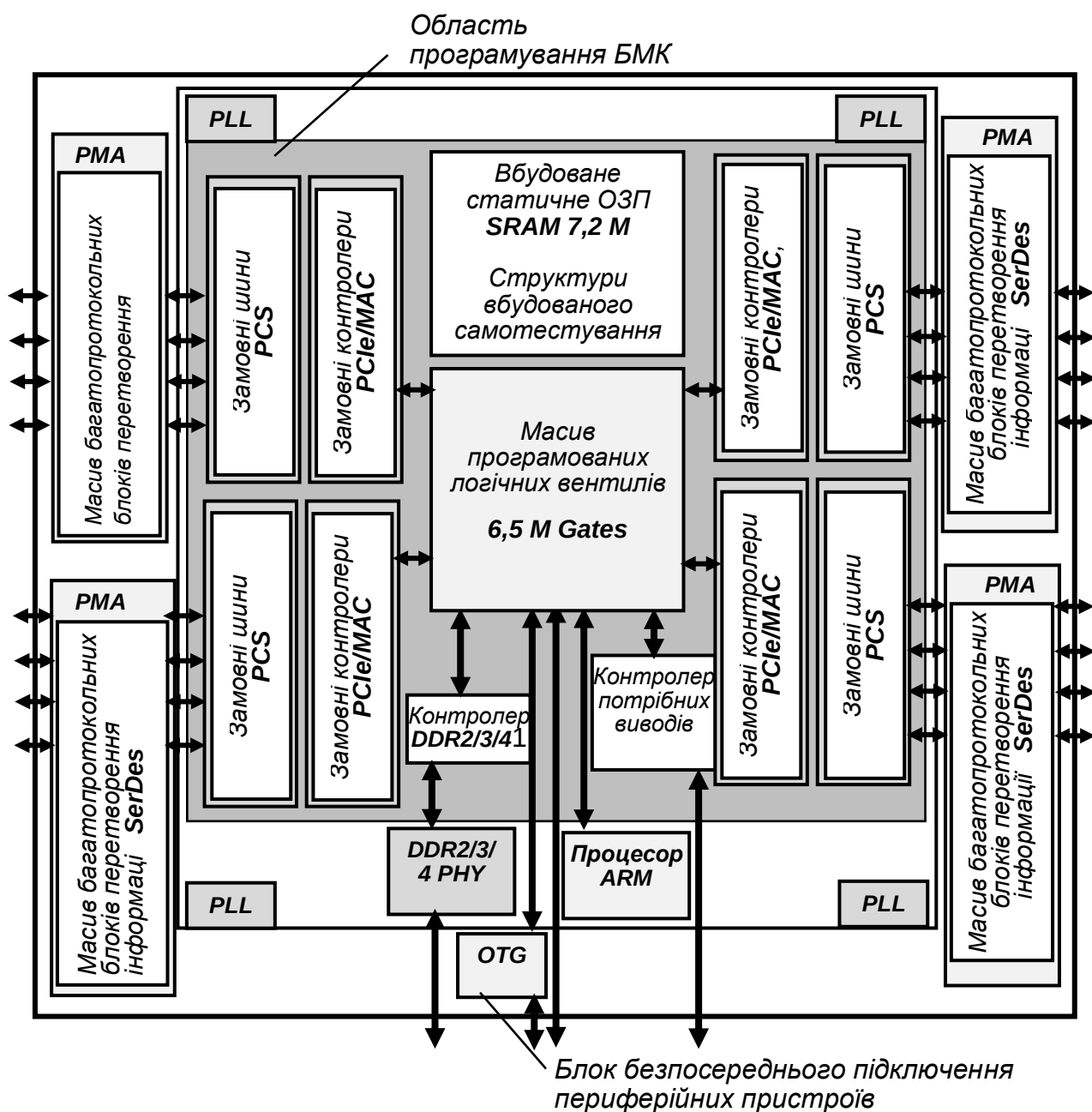


Рисунок 3.12 – Структура БМК типу платформа на кристалі NC Express фірми Faraday

Цифровий СБМК фірми Faraday містить складні функціональні блоки та блоки, які програмуються за допомогою металевих провідників. Цей БМК вже належить до так званої платформи на кристалі. Логічні вентиля і структури вищого рівня можливо програмувати для отримання потрібних системних функцій.

Платформа на кристалі NC Express є відносно дешевою платформою ASIC, що орієнтована на проектування систем на кристалі (SoC), які потребують швидкісних послідовних інтерфейсів. Для спеціалізації БМК застосовується технологія програмованих металевих з'єднань чарунок Array™ (Metal Programmable Cell Array™, MPCA).

Платформа на кристалі NC Express містить матрицю логічних вентилів розміром 6,5 млн., статичне ОЗП ємністю 7,2 Мбіт зі схемами самотестування, процесор типу ARM з робочою частотою до 800 МГц, велику кількість блоків для обміну даними з зовнішніми пристроями з відмінними швидкостями та інтерфейсами:

- динамічним ОЗП типу DDR2/3/4 та LPDDR2/3 зі швидкістю передавання даних від 1066 Мб/с до 3200 Мб/с;
- інтерфейсами PCI Express, USB 2.0, USB 3.1, DDR, SATA, MIPI і Ethernet.

Периферійні блоки SerDes забезпечують на фізичному рівні роботу інтерфейсів та обмін даними згідно з 16 протоколами.

У цифровому СБМК фірма Faraday застосовують ІР-блоки від різних розробників, які вже були перевірені та атестовані в інших ІС. Більшість блоків розроблено і вони є доступними для БМК, що виготовлені згідно з технологіями з мінімальним технологічним розміром 90 нм, 40 нм і 28 нм.

Для матриці вентилів розроблена велика бібліотека ІР-блоків, яка забезпечує розробку швидкодіючих багаторівневих цифрових функціональних елементів.

Спеціалізована ІС проектується з використанням стандартних у промисловості пакетів EDA від фірм Cadence і Synopsys та інструментів користувача фірми Faraday. Усе це значно прискорює терміни проектування та зменшує ймовірність помилок і вартість виготовлення спеціалізованої ІС.

3.3 Аналогові та аналогово-цифрові БМК

Аналогові БМК та аналогово-цифрові БМК (АЦ БМК) поширюють можливості щодо застосування засобів цифрової обробки сигналів у процесі модернізації аналогових мікроелектронних пристроїв, ускладнює функції, що вони виконують, і дозволяють розробляти складні аналого-цифрові пристрої у однокристальному виконанні.

Аналогові ІС складаються переважно з транзисторів, резисторів та конденсаторів. Величина номіналів резисторів і конденсаторів змінюється залежно від зміни температури і стабільності технологічного процесу виготовлення ІС від 10% до 20% і більше. У напівпровідникових ІС найчастіше виготовляють резистори опором від 10 Ом до 1 МОм, а конденсатори – від 0,1 пФ до 10 пФ. Транзистори застосовують в аналогових ІС для комутаторів і підсилювачів.

Багато сучасних аналогових ІС виготовлені на основі технологічних процесів з мінімальною роздільною здатністю завбільшки 0,18 мкм. Аналогові елементи в ІС залишаються приблизно незмінного розміру або зменшують свої розміри не так швидко, як цифрові елементи. У разі розміщення на одному кристалі аналогової та цифрової схеми з'являються складні проблеми з розміщенням аналогової частини. Простий АЦП, що містить 1000 транзисторів, може займати на кристалі площу, яку потребують 100000 логічних вентилів.

Під час розробки аналогових кіл на кристалі потрібно враховувати значний вплив на параметри та характеристики технології і зовнішніх умов експлуатації. Зміна температури, напруги зміщення і паразитні зв'язки впливають на функціонування аналогової схеми і можливо усієї системи. Також можлива взаємодія між двома аналоговими блоками та проникнення синхросигналів в аналогові кола, взаємодія між різними каналами у системі збирання інформації, що розміщені на одному кристалі. Для подолання цих труднощів потрібно мати:

- гнучкий та ефективний склад внутрішніх блоків та ефективну архітектуру аналогового БМК;
- багатий набір БМК, який забезпечує різноманітні потреби розробників спеціалізованих ІС, з великим набором функціональних елементів (ІР-ядр) у бібліотеці;
- добре розвинуті системи автоматизованого проектування (CAD).

Більшість виробників напівпровідникових цифрових ІС намагаються розмістити побільше транзисторів на один кристал. Тому розробники електронних систем автоматизації (EDA) переважно розробляли їх для проектування цифрових пристроїв.

Розробники аналогових пристроїв проектують аналогові ІС у традиційний засіб у наступній послідовності:

- розробка схеми;
- переробка схеми у вигляд, сумісний з програмою електронного моделювання SPICE;
- перевірка працездатності на симуляторі, який є сумісним з SPICE;
- компонування схеми уручну до рівня транзисторів;
- перевірка макету для виявлення порушень на правила проектування;
- на основі компонування схеми створення електричної схеми і порівняння її з вихідною, тобто проведення верифікації;
- відтворення симуляції проекту з урахуванням паразитних параметрів, які були вставлені у критичні кола;

– виведення усього на відповідні носії інформації для напівпровідникового виробництва.

Тільки після повернення проекту з фабрики розробник дознається ступінь відповідності SPICE моделі з реальністю. Це може відбуватися декілька разів і мати високу вартість, особливо, за субмікронних розмірів.

Архітектура аналогових БМК та АЦ БМК подібна до архітектури цифрових БМК, які були розглянуті раніше. Першою є архітектура з матричною структурою, яка містить обов’язково вільні зони – горизонтальні та вертикальні канали для трасування міжз’єднань (рис. 3.13, а) у процесі проектування HBIC.

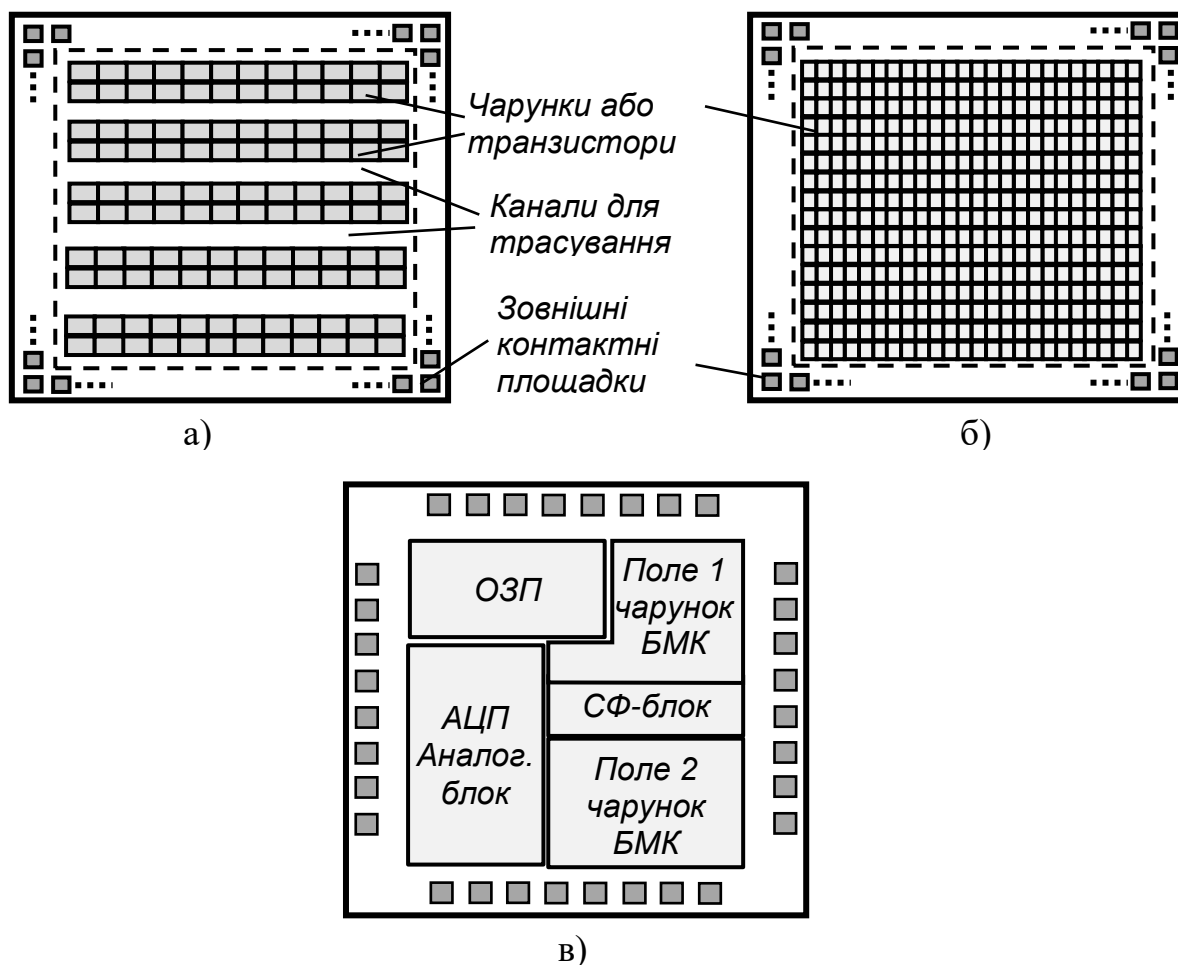


Рисунок 3.13 – Архітектура аналого-цифрових БМК:

- а) канална матрична структура; б) безканална матрична структура;
в) блокова архітектура

Іншим типом архітектури БМК є безканална матрична структура без визначених областей для трасування (рис. 3.13, б). Матриця уявляє собою «море транзисторів», де усі області можуть бути застосовані як для побудови функціональних елементів, так для організації міжз’єднань.

Третім різновидом є блокова архітектура (рис. 3.13, в). Вона містить функціональні блоки і матриці чарунок. У таких БМК можуть бути визначені спеціалізовані області для виконання попередньо визначених функцій (логічної обробки даних, пам'яті, аналог-цифрового перетворення та інше).

Аналогові БМК склалися з «дрібнозернистих» або «великозернистих» базових чарунок. «Дрібнозернисті» БМК мали архітектуру «море» транзисторів. Спеціалізація БМК реалізовувалася уручну розробкою топології металевих з'єднань та міжшарових переходів. Цей підхід можливо використовувати тільки для дуже невеликих аналогових пристроїв. Складність розведення міжз'єднань не дозволяла розробленій архітектурі застосовуватися для проектування крупніших пристроїв або пристроїв, що містять цифрові схеми. Ручне проектування обмежує повторне застосування раніше розроблених ІР-ядер (hard-ядер) у цих пристроях.

Великі аналогові чарунки дозволяють конфігурування обмеженої кількості функціональних елементів, наприклад, фільтри нижніх частот, перетворювачі. Параметри фільтрів та перетворювачів можливо задавати, проте ці чарунки не дозволяли реалізувати схеми меншої складності для розробки інших функціональних елементів. БМК цього типу мають невелику гнучкість і їх неможливо використовувати у схемах, що не відповідають ресурсам аналогової чарунки.

Аналогові БМК не завжди відповідали вимогам розробників аналогової електроніки, наприклад, розробникам аналогових інтерфейсів давачів. Це пов'язано з декількома причинами:

- містять велику кількість КМОН-елементів, які мають великий рівень низькочастотних шумів і вносять статичні помилки;*
- не містять активних елементів для реалізації аналогових пристроїв, що мають малий рівень власних шумів;*
- велика кількість елементів не застосовуються.*

Велике розповсюдження для проектування спеціалізованих аналогових та аналого-цифрових ІС знайшли структуровані БМК (структуровані ASIC) з масивами «великозернистих» чарунок і блоків. Така архітектура БМК значно полегшує проектування та поліпшує параметри аналогових ІС.

Структурована ASIC є ASIC, що налаштована з використанням не усіх шарів металевих з'єднань. Можливо конфігурувати лише один шар металу або тільки один шар наскрізних з'єднань між шарами металу.

Переваги структурованих ASIC випливає з того факту, що кожна розробка вимагає менше замовних шаблонів, і їх можна використовувати

в інших проектах. Ці переваги значно збільшуються, коли кількість налаштованих шарів міжз'єднань є мінімальною або дорівнює одному. Програмування міжшарових з'єднань є кращим, ніж програмування металевих шарів. По-перше, переходи між шарами не перешкоджатимуть трасуванню у верхньому та нижньому металевих шарах, що забезпечує максимальну ширину сигнального каналу. По-друге, за допомогою маски міжшарових переходів (vias), можливо зробити НВІС більш швидкодіючою, тому що тільки невелика частина переходів дійсно використовуються в будь-якій конструкції, що значно знижує загальну довжину ліній зв'язку.

Кожна чарунка містить окремі активні та пасивні елементи. Спеціалізація здійснюється за допомогою металевих зв'язків і контактів між шарами. Бібліотека елементів включає усю потрібну для проектування інформацію: схему електричну принципову, результати вимірів або моделювання параметрів, топологічні кресленики. Значною мірою до складу бібліотеки залучені елементи, з якими звикли працювати розробники аналогових систем на основі ІС малого та середнього ступеня інтеграції. Елементи бібліотеки спроектовані для конкретного БМК, тому топологічні кресленики містять тільки шари спеціалізації. Застосування елементів бібліотеки можливо у БМК, що мають однакову структуру чарунки.

Розглянемо деякі різновиди чарунок АБМК та засобів їх спеціалізації.

Лазерні аналогові БМК (ЛАБМК)

Лазерні методи обробки застосовувалися у напівпровідниковому виробництві протягом багатьох років. Наприклад, лазерним променем з довжиною променя 1060 нм видаляли полікремнієві з'єднання з дефектними чарунками пам'яті. Проте зараз, коли значне поширення отримали багаторівневі шари металізації, полікремнієві з'єднання знаходяться глибоко під металевими шарами і їх важко перерізати.

Тому для програмування шарів було запропоновано технологію лазерного утворення міжшарових з'єднань, що отримала назву MakeLinkTM. Топологія та структура міжшарового з'єднання MakeLink, що програмується лазером, наведені на рис. 3.14.

Принцип формування зв'язку базується на відмінності властивостей металу та оточуючого діелектрика $\text{SiO}_2/\text{Si}_3\text{N}_4$. Промінь ІЧ лазера проходить скрізь квадратний отвір у верхньому шарі металу (М2) (рис. 3.14). Втрати енергії у діелектричному покритті малі. Енергія лазерного проміння поглинається поверхнею металу лінії зв'язку (М1). У результаті температура металу вмиє

підвищується і він плавиться. Діелектрик має низьку теплопровідність та мале поглинання ІЧ-випромінювання, внаслідок чого його температура значно не зміниться. Водночас теплове розширення металу значно більше, ніж діелектрика, що його оточує. У цій області сконцентровані механічні напруження, які викликають появу тріщин, що заповнюються розплавленим металом.

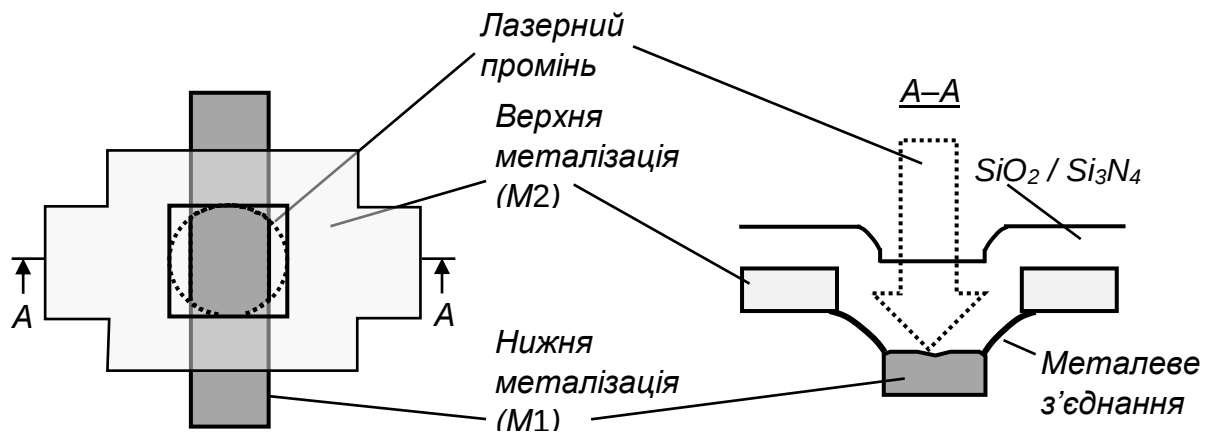


Рисунок 3.14 – Топологія та структура лазерного програмування міжшарового з'єднання MakeLink

За оптимальної енергії лазера та розміру променя можливо контролювати появу тріщин у діелектрику, ініціював їх появу з верхніх кутів M1 і закінчивши опромінювання до поширення тріщин на зовнішню структуру вище шару металу M2 та у верхній пасивуючий діелектрик.

Програмовані лазерні з'єднання мають:

- дуже низький опір зв'язку, що менший у 2–3 рази, ніж опір перемичок antifuse фірми Actel або перемикача на МОН-транзисторах;
- високу надійність;
- здібність пропускати струми великої щільності;
- ефективна область зв'язку – це суто металеве з'єднання, яке не займає будь-якої додаткової області кремнію;
- повністю сумісний зі стандартним технологічним КМОН-процесом;
- випромінювання має жорстко фіксовані потужність та положення у просторі і тому не порушує активні елементи.

Вибором профілю лазерної енергії досягається оптимальна форма міжз'єднання в отворі, що забезпечує низький опір та оптимальний вихід гідних міжз'єднань на кристалі.

У програмованому лазерним променем аналоговому БМК (ЛАБМК) застосовують конфігуровані аналогові блоки (рис. 3.15).

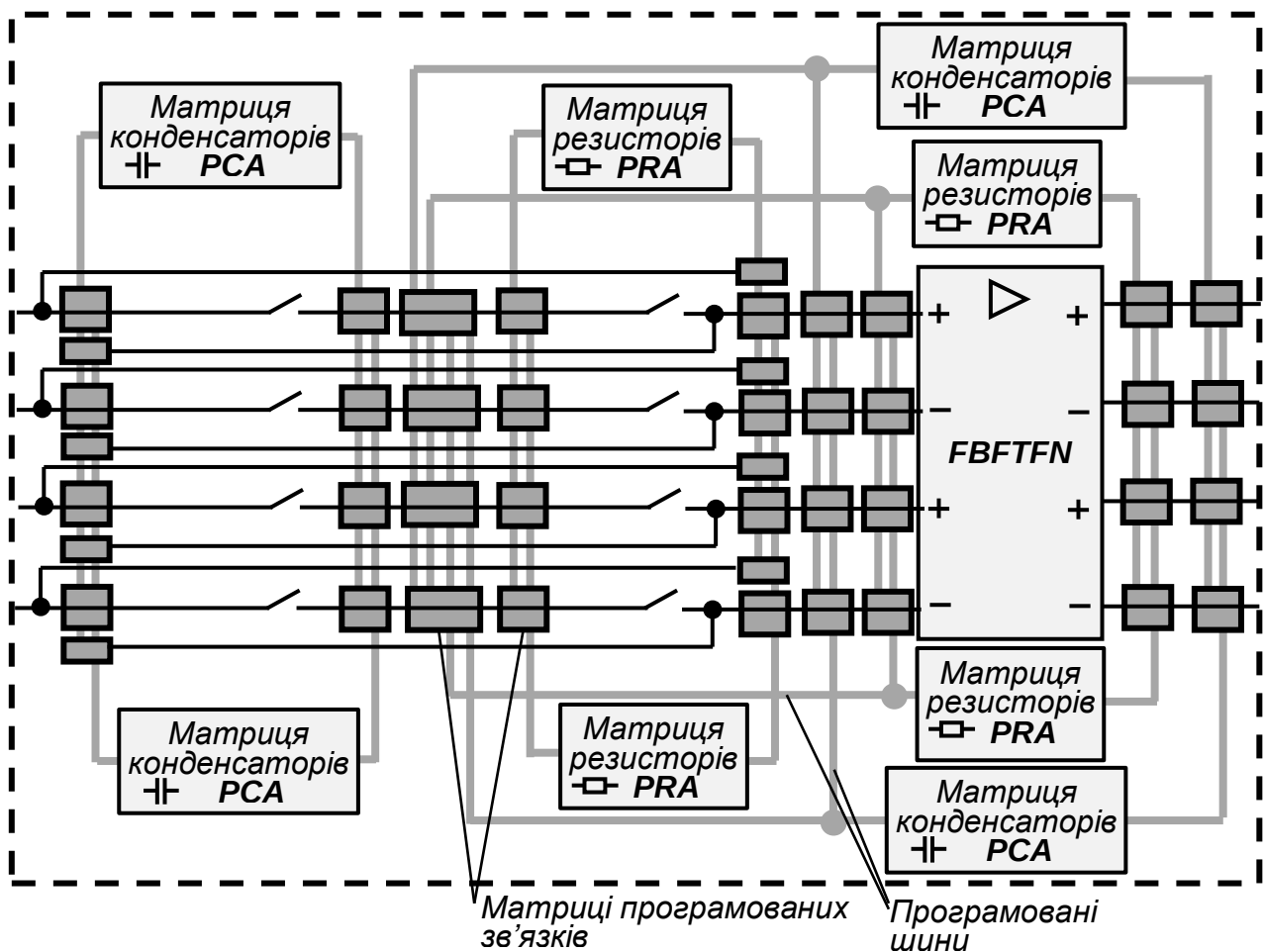


Рисунок 3.15 – Конфігурований аналоговий блок, з'єднання у якому програмуються лазером

Конфігурований аналоговий блок (CAB) містить матрицю програмованих конденсаторів (PCA), матрицю програмованих резисторів (PRA), програмований операційний підсилювач або операційний трансімпедансний підсилювач ОТА) і декілька вторинних джерел струму, вісім з'єднувальних шин. Матриця конденсаторів забезпечує максимальну ємність 31,5 пФ, а матриця резисторів забезпечує максимальне значення опору 135 кОм.

Операційний підсилювач має два парних диференціальних входи та два парних диференціальних виходи з плаваючим нулем (four-terminal floating nullor, FTFN), які забезпечують режими роботи з напругою та струмом. Можливо перетворення вхідного струму у напругу та навпаки. На його базі можливо створити будь-яку аналогову схему. За повним балансуванням підсилювача він має:

- великий розмах вихідної напруги;
- менш чутливий до впливу тактових імпульсів у режимі комутації конденсаторів;

– значно менші нелінійні спотворення.

ЛАБМК містить матрицю аналогових блоків 4×2 (рис. 3.16). Кожен блок має вісім зовнішніх виводів – 4 вхідних і 4 вихідних для реалізації потрібного функціонального елемента на основі підсилювача FBFTFN. Аналогові блоки розміщено посеред матриці програмованих блоків міжшарових зв'язків. Для підвищення гнучкості розведення застосовано програмовані матриці міжшарових з'єднань двох типів.

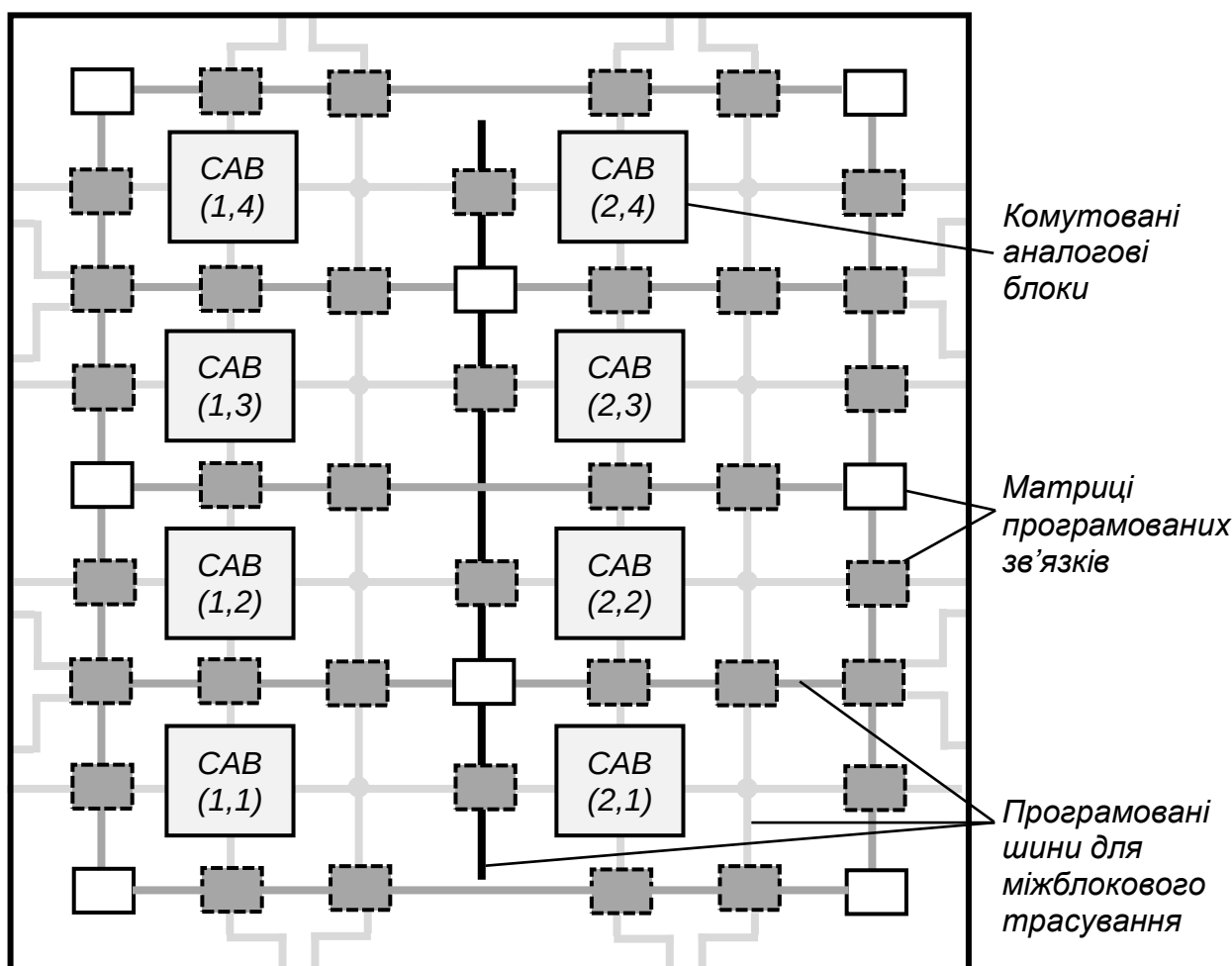


Рисунок 3.16 – Архітектура кристалу аналогового БМК, з'єднання у якому програмуються лазером

Розглянутий АБМК дозволяє реалізувати підсилювачі з потрібним коефіцієнтом підсилення у смузі пропускання до 10 МГц і частотою одиничного коефіцієнта підсилення до 100 МГц, фільтри нижніх, високих і смугових частот, схеми АЦП, вимірювачі температури та інше. Для проектування спеціалізованої ІС можливо застосування засобів ієрархічного проектування систем на кристалі (SoC) і цифрових ПЛІС.

Спеціалізація СБМК за допомогою з'єднань між шарами металізації

В аналогових СБМК деякі з'єднання вже виконані і спеціалізація відбувається великою мірою на базі «великозернистих» чарунок і блоків

Найбільш орієнтованими для виготовлення аналогових пристроїв є аналогові СБМК серії VCA (Via-Configurable Analog) фірми Triad Semiconductor. Технологічний маршрут виготовлення VCA потребує формування чотирьох шарів металевих з'єднань. Структура з'єднань у другому і третьому шарі не програмується (рис. 3.17). Струмоведачі шини другого і третього шарів почергово повернуті на 90° для мінімізації довжини провідників, що з'єднують елементи СБМК. Провідники, які не вживають, можливо використовувати для екранування.

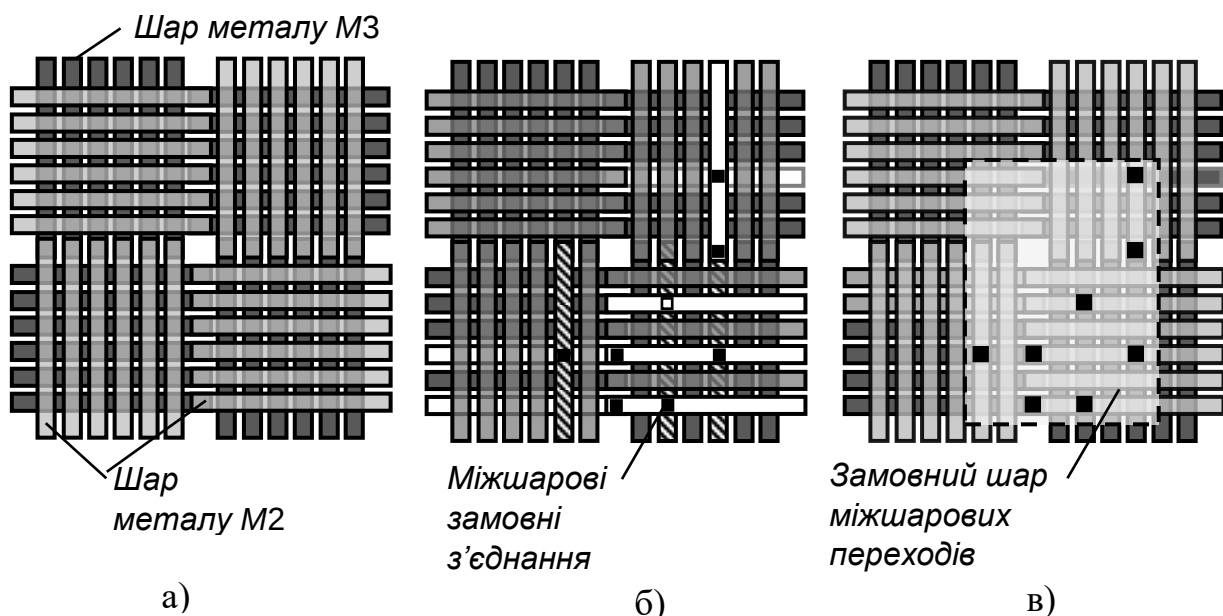


Рисунок 3.17 – Трасування з'єднань у аналоговому СБМК типу VCA:

- а) розміщення провідників, що не змінюються у металевих шарах M2 та M3;
- б) формування з'єднань між металевими шарами M2 та M3;
- в) замовний шар перехідних отворів між двома шарами металізації

На рис. 3.18 наведено приклад реалізації елемента в аналоговому СБМК типу VCA.

Аналогово-цифрові БМК побудовані на «середньозернистих» чарунках. Вони містять загальні аналогові ресурси, які можливо об'єднати у різні схеми.

Архітектуру СБМК одного з типів кристалу типу VCA наведено на рис. 3.19.

Аналогова частина СБМК реалізована на декількох чарунках. Аналогові чарунки оптимізовані для обробки однополярного, диференціального, широкосмугового сигналу, напруги низького або високого рівня.

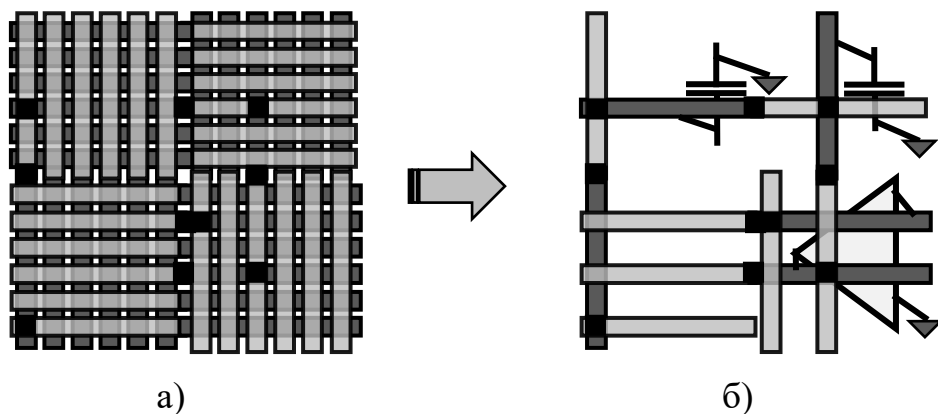


Рисунок 3.18 – Приклад реалізації з'єднань в аналоговому СБМК типу VCA:

- а) замовний шар перехідних отворів між двома шарами металізації;
 б) підключені зв'язки спеціалізації

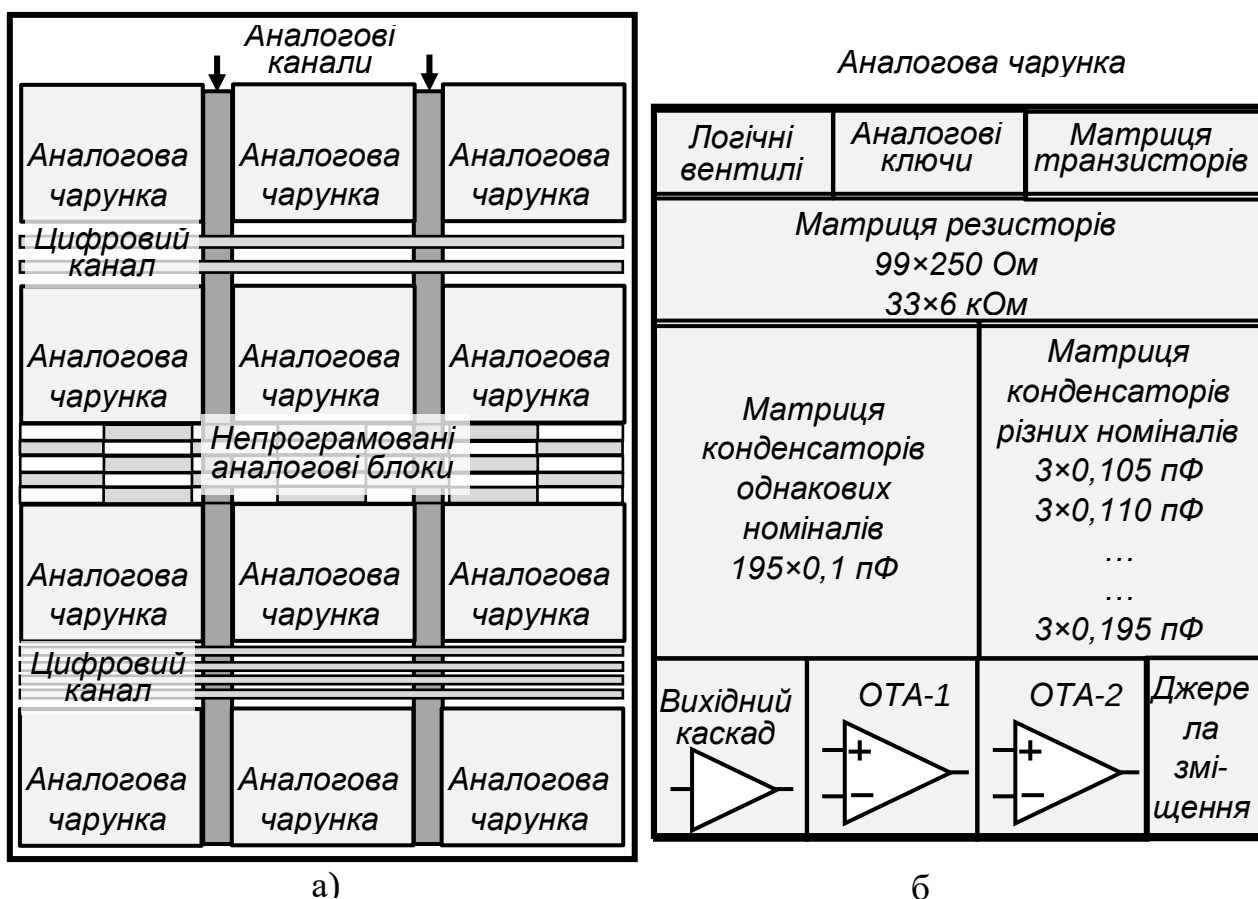


Рисунок 3.19 – Архітектура СБМК типу VCA:

- а) розміщення чарунок на кристалі;
 б) розміщення елементів в аналоговій чарунці

На основі цих чарунок можливо реалізувати велику кількість аналогових схем: фільтри неперервного часу, фільтри на комутованих ємностях, каскади з програмованим підсиленням, широтно-імпульсні модулятори, сигма-дельта модулятори, АЦП, ЦАП. СБМК типу VCA також містять блоки

високопродуктивних АЦП, ЦАП, високовольтних мостів і регуляторів напруги. Внаслідок цього на їх основі можливо реалізувати різноманітні пристрої на вимогу замовника з використанням САПР. На додаток повністю програмованому аналоговому ресурсу платформи VCA містять цифрові блоки, які об'єднують логічні схеми і вбудовану пам'ять.

Кожна чарунка (рис. 3.19, б) містить функціональні аналогові елементи, які зазвичай використовуються в аналогових ІС:

- два диференціальних перетворювача напруга-струм (Operational Transconductance Amplifier, ОТА-1 и ОТА-2 на рис. 3.19, б);
- вихідний каскад, який спільно з ОТА-підсилювачем утворює операційний підсилювач;
- матриці конденсаторів і резисторів;
- аналогові ключі;
- матрицю транзисторів;
- логічні елементи.

Така структура є оптимальною для утворення фільтрів різних типів, у тому числі і на комутованих конденсаторах.

Аналогові чарунки утворюють матрицю (рис. 3.19, а). Їх орієнтовано так, що логічні елементи та аналогові ключі знаходяться напроти цифрових каналів, якими передаються сигнали керування від цифрової частини. У центрі матриці розміщені аналогові блоки, що не програмується і часто застосовуються в ІС, наприклад, джерела опорної напруги, аналого-цифрові перетворювачі та інше.

Для обробки сигналів давачів розроблено аналоговий СБМК VCA-12 (рис. 3.20). СБМК виготовлено за КМОН-технологією з проектною нормою 0,18 мкм і він дозволяє роботу з підвищеними (до 12 В) напругою живлення і струмом навантаження.

Позначення на рис. 3.20:

- PWR01, PWR02, PWR03 – контактні площадки шин живлення;
- IOP01, IOP03 – контактні площадки входу/виходу;
- 5 В ОП – чарунка з операційним підсилювачем з напругою живлення 5 В;
- 2 ОТА – чарунка з двома підсилювачами типу ОТА;
- R-пінч – чарунка з резисторами високого опору 50 кОм.

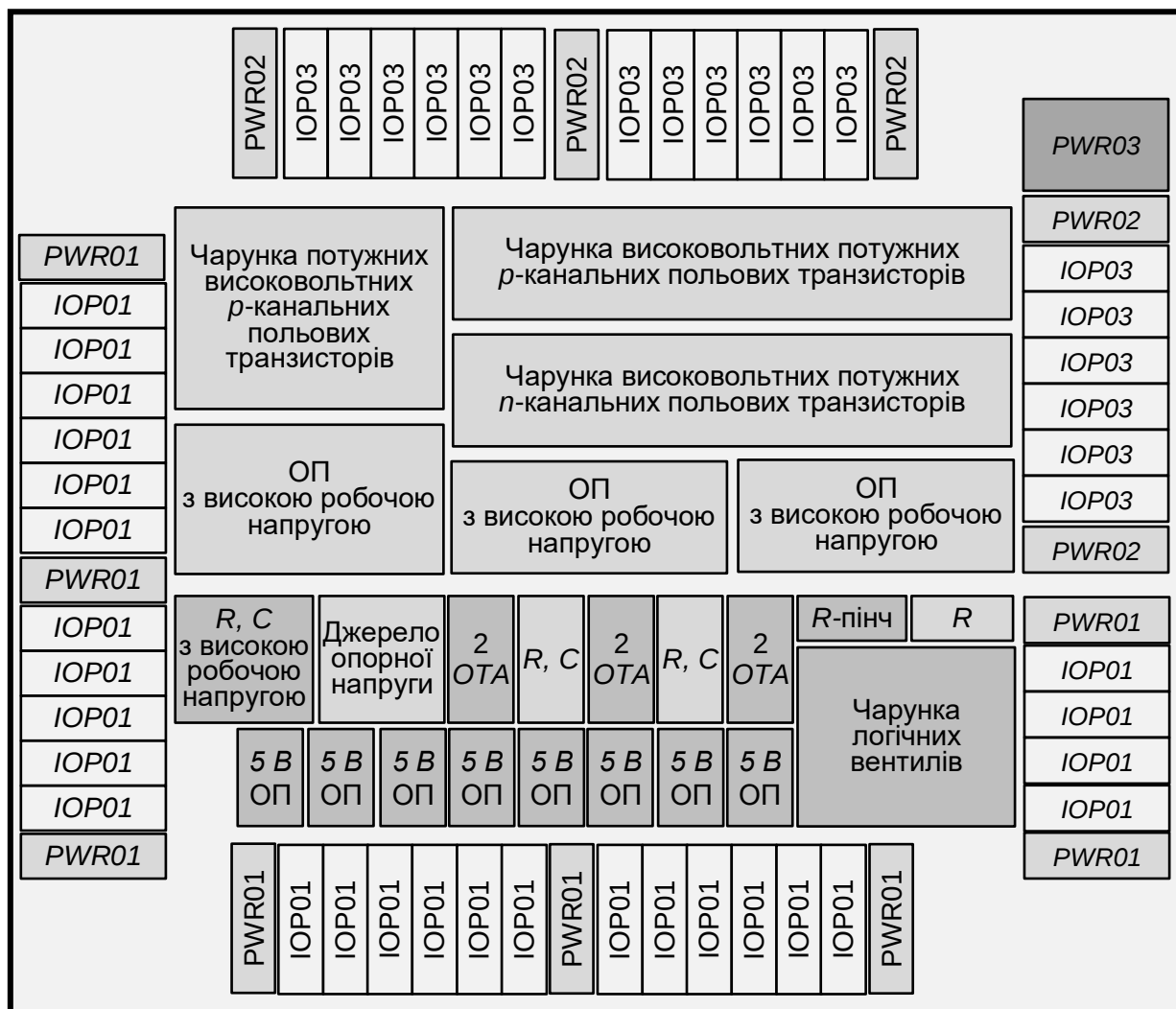


Рисунок 3.20 – Розміщення чарунок у СБМК типу VCA-12

Кристал містить:

Підсилювачі:

- 14 ОТА- підсилювачів з однофазним виходом, напругою живлення 5 В, частотою одиничного підсилення до 20 МГц і струмом вживання у неактивному режимі близько 1 нА (входять до чарунок «5 В ОП» і «2 ОТА» ;
- 8 вихідних каскадів з напругою живлення 5 В (у чарунці «5 В ОП»), які можливо з'єднати з ОТА-підсилювачами для реалізації операційного підсилювача з підвищеною навантажувальною здібністю;
- 5 ОТА- підсилювачів з однофазним виходом, напругою живлення 12 В, частотою одиничного підсилення до 10 МГц;

Конденсатори:

- 600 конденсаторів з низькою робочою напругою (5 В) і ємністю кожного 0,1 пФ;1
- 138 конденсаторів з високою робочою напругою (12 В) і ємністю 0,1, 0,2, 0,4 пФ, збірною ємністю 25,2 пФ;

Резистори:

- 520 резисторів по 5 кОм, 400 резисторів по 50 кОм;

Транзистори:

- 2116 нез'єднаних МОН-транзисторів з відмінним значенням відношення ширини каналу до його довжини, у тому числі 48 *n* -МОН з робочою напругою 12 В і 136 – 5 В; 63 *p* -МОН з робочою напругою 12 В і 136 – 5 В;

Комутатори:

- 160 комутаторів з робочою напругою 5 В і опором у замкнутому стані 1 кОм; 48 комутаторів з робочою напругою 5 В і опором 0,4 кОм. Комутатори можна запрограмувати для виконання функцій логічних вентилів, однополюсних перемикачів на два напрямки і тригерів Шмідта;

Елементи входу/виходу:

- програмовані елементи входу/виходу: 88 аналогових елементів з можливістю підключення резисторів 50 Ом і 1500 Ом; 25 цифрових елементів;

Логічні елементи:

- 5000 логічних вентилів.

Істотним недоліком СБМК типу VCA-12 є відсутність транзисторів з малим коефіцієнтом шуму.

Аналого-цифрові структуровані БМК. Аналого-цифрові структуровані масиви фірми Triad Semiconductor ((mixed signal structured arrays, MSSAs) полегшують розробку спеціалізованих ІС, знижують витрати на розробку і термін розробки.

Ідея структурованих БМК існує принаймні з кінця 1980-х років. Істотною перешкодою для цих пристроїв у процесі підготовки до великомасштабного виробництва є відсутність комерційного програмного забезпечення і маршрутизації. Для структурованих БМК не можна застосовувати програми для трасування, які застосовуються для спеціалізації БМК на логічних чарунках. Компанія ViASIC розробила програмне забезпечення ViaPathTM, яке повністю забезпечує трасування та оптимізоване конкурентно для замовних пристроїв.

Запатентована архітектура MSSA на основі архітектури фірми Triad Semiconductor базується на основі технології ViaMask, яку розроблено для цифрових структурованих масивів ViASIC. Кристал для типової платформи MSSA (рис. 3.21) містить 12 аналогових модулів (A TILE), 4 аналогових підсилювачів введення/виведення (I/O OAs), 27 логічних чарунк (40 000 вентилів і 6,9 кілобайт оперативної пам'яті) і 18 кілобайт постійної пам'яті, що налаштовуються.

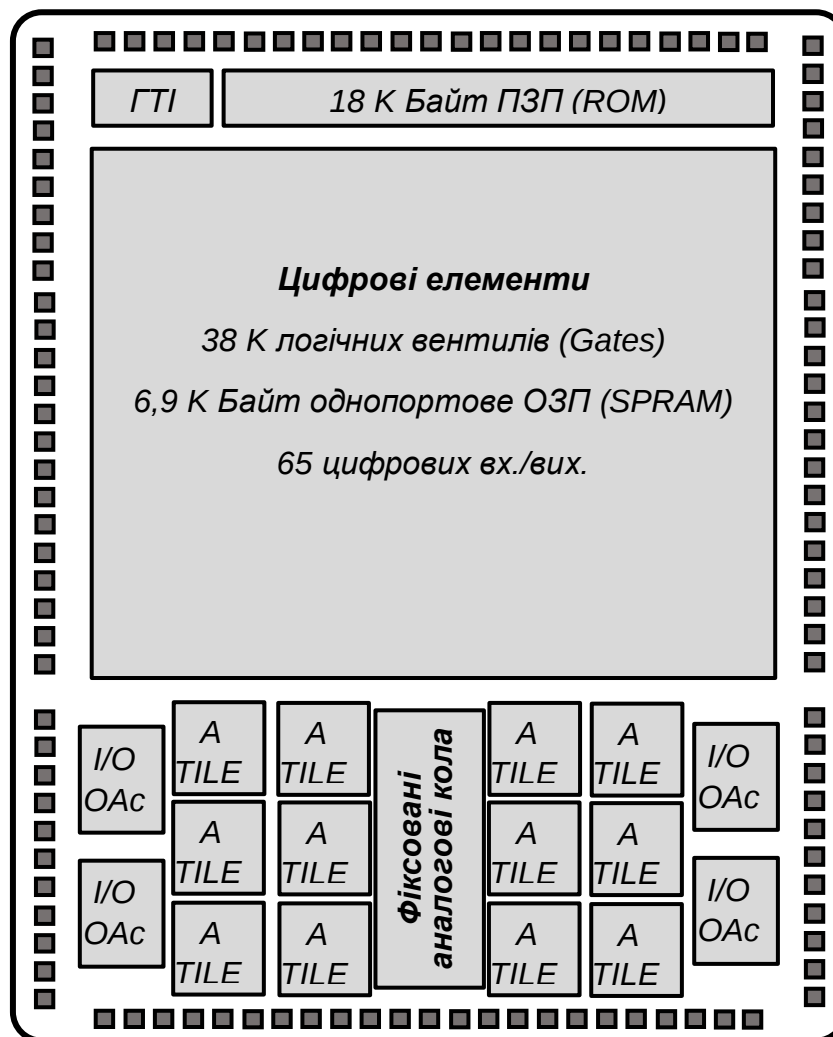


Рисунок 3.21 – Архітектура кристалу, який виконано за технологією MSSA

Основні переваги технології MSSA:

- скорочення терміну розробки;
- зниження вартості;
- реалізація аналого-цифрового БМК, що функціонує з точністю аналогових схем;
- налаштування цифрової частини подібно до мікросхем FPGA.

Аналоговий модуль призначений для побудови функціонального елемента в аналоговій частині мікросхеми за технологією MSSA. Рисунок 3.22 показує приклад аналогової чарунки, що містить два операційних трансімпедансних підсилювачі (OTA), буферний підсилювач (OS), джерела зміщення напруги або струму, транзистори, резистори, конденсатори, перемикачі і логічні схеми, пов'язані з колами синхронізації.

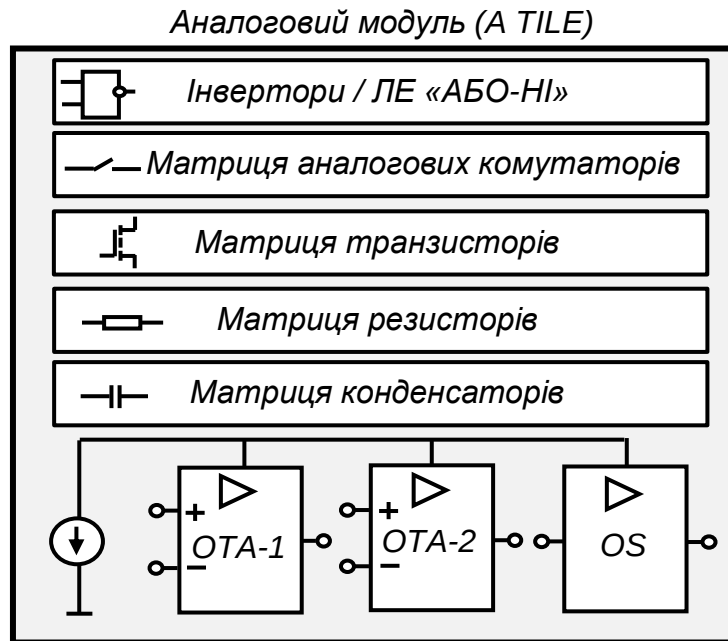


Рисунок 3.22 – Склад аналогового модуля типу *A TILE*

Аналоговий модуль типу *A TILE* (рис. 3.22) не містить операційних підсилювачів. Підсилювачі ОТА ідеально підходять для створення схем на комутованих конденсаторах або схем, де немає резистивних кіл. Операційний підсилювач можливо сформувати шляхом послідовного з'єднання підсилювачів ОТА з вихідним каскадом (OUTPUT STAGE, OS).

Аналогові макромоделі. Для полегшення повномасштабного моделювання за допомогою ADMS для ОТА і OS використовуються макромоделі. Основні параметри макромоделі ОТА включають коефіцієнт підсилення, відгук, отриманий у смузі частот у режимі малого сигналу, вхідний та вихідний імпеданс, обмеження рівня напруги коливання вихідної напруги.

Логічний блок. Цифрова частина типової платформи MSSA складається з логічних блоків. Логічний блок складається з логічних чарунок. Типова логічна чарунка містить чотири вентиля NAND, два мультиплексори, один тригер D-типу і десять інверторів (рис. 3.23).

Одна логічна чарунка еквівалентна приблизно 11 вентилям. Логічний блок містить 128 логічних чарунок і 256 байт статичного ОЗП (SRAM) з одним портом. Типова платформа MSSA, що показана раніше на рис. 3.21, розміщує 27 логічних блоків, які містять у сумі близько 38 тисяч вентилів.

БМК типу VCA замінює декілька дискретних аналогових і дискретних мікросхем. Систему, що містить програмовану систему на кристалі типу FPGA і декілька аналогових IC, можливо інтегрувати в один СБМК типу VCA. Це знижує вартість, споживану потужність і зменшує габарити електронного пристрою.

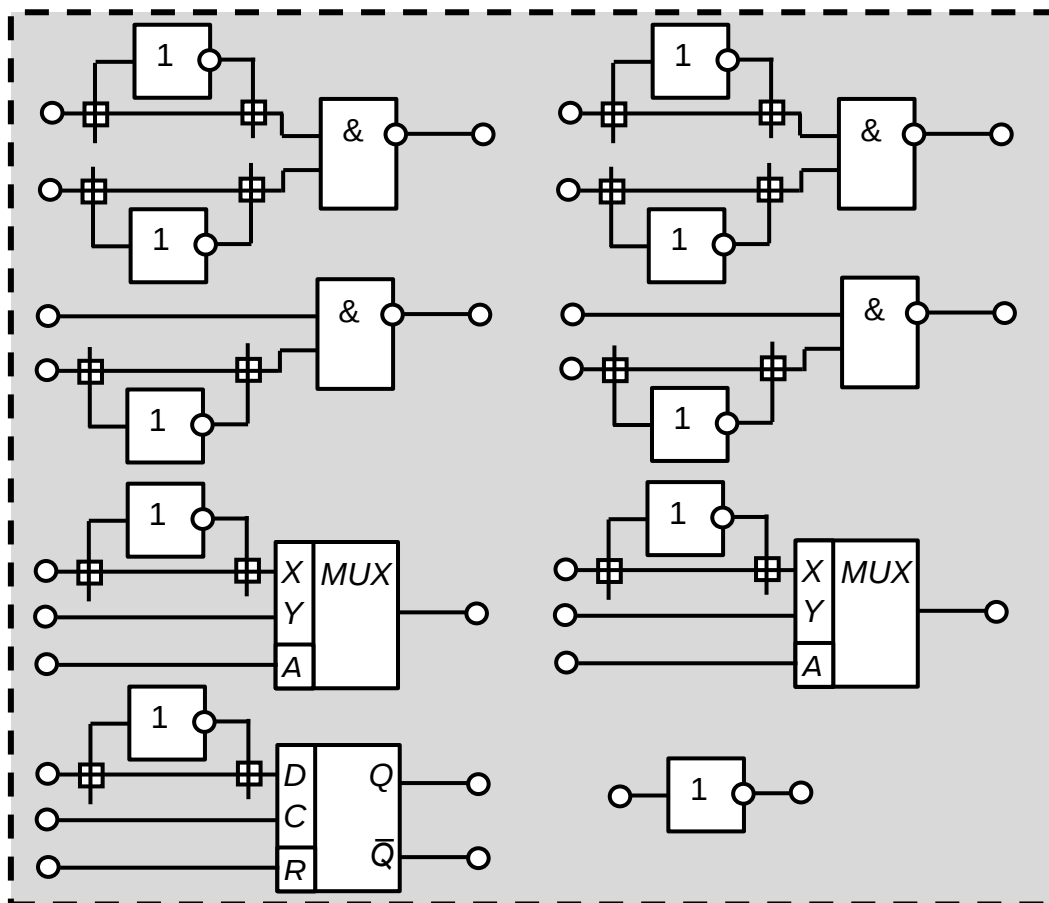


Рисунок 3.23 – Склад логічної чарунки

Мікросхема платформи на кристалі типу МОСНА. Фірма Triad Semiconductor випускає також СБМК типу «платформа» на кристалі МОСНА (рис. 3.24) з вбудованим процесором ARM Cortex MO.

Процесор ARM Cortex MO – це 32-розрядний процесор з фіксованою крапкою. Процесор оптимізовано для роботи з малою споживаною потужністю і малою площею, яку він займає на кристалі.

Процесор ARM Cortex MO містить:

- апаратний перемножувач;
- флеш-пам'ять ємністю 32 кбайти;
- оперативну пам'ять ємністю 24 кбайти;
- таймери;
- периферійні шини;
- інтерфейс налаштування.

На відміну від інших СБМК, в аналого-цифровому СБМК типу МОСНА процесор Cortex MO реалізовано апаратно (hard-ядро). Інша частина мікросхеми налаштовується, що дозволяє використовувати широкий спектр аналогових та цифрових функцій.

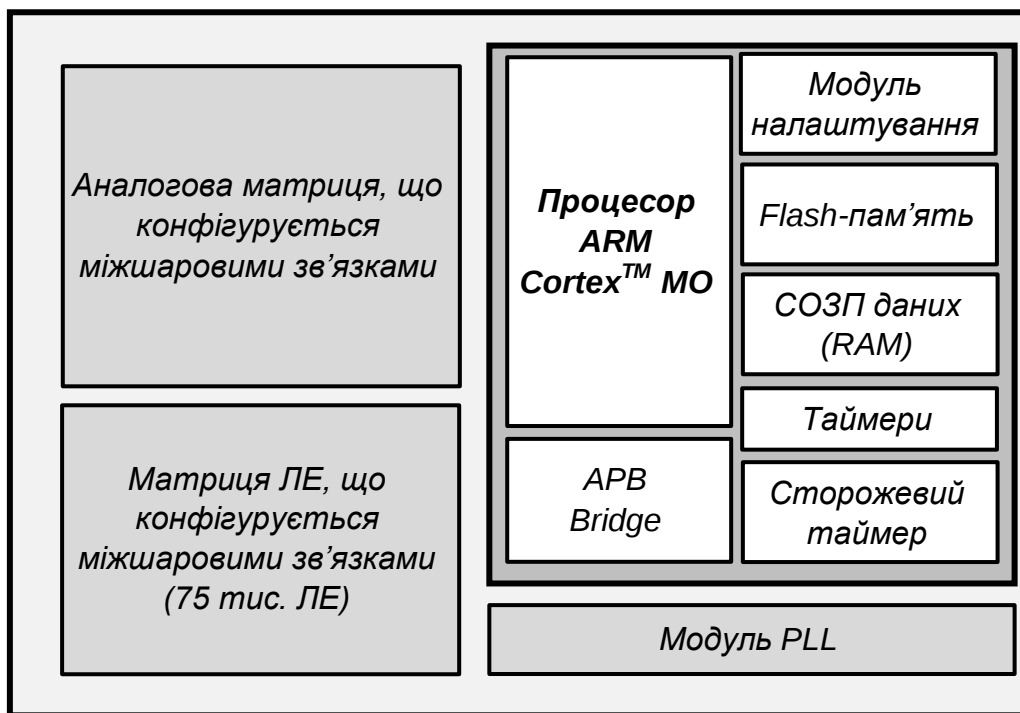


Рисунок 3.24 – Аналого-цифровий СБМК типу МОСНА
з процесором ARM Cortex M0

Для розробки спеціалізованих аналого-цифрових мікросхем застосовується середовище проектування ViaDesigner.

Бібліотека цифрових пристроїв на основі СБМК VCA вже адаптована для виготовлення функціональних елементів відповідно новому технологічному маршруту. Для аналогових пристроїв були розроблені такі елементи бібліотеки:

- чарунки широкосмугових операційних підсилювачів;
- чарунки малошумлячих операційних підсилювачів;
- чарунки компараторів;
- чарунки аналогових ключів і мультиплексорів;
- програмовані міжшаровим контактним з'єднанням матриці конденсаторів;
- програмовані міжшаровим контактним з'єднанням матриці резисторів;
- макрочарунки інструментальних підсилювачів з програмованим коефіцієнтом підсилення;
- підсилювачі з цифровим керуванням;
- пікові детектори;
- пристрої вибирання-збереження;
- дельта-сигма АЦП на 12 – 16 розрядів;
- АЦП конвеєрні 12-розрядні;
- ЦАП 10-розрядні;

- цифрові потенціометри;
- фільтри на комутованих конденсаторах;
- функціональні блоки інтерфейсів ємнісних давачів;
- системи обробки даних.

3.4 Контрольні запитання і завдання

1. Охарактеризуйте причини появи структурованих БМК.
2. На основі яких чарунок формуються структуровані БМК?
3. Поясніть принцип функціонування таблиці відповідності LUT.
4. Які характеристики мали СБМК першого покоління?
5. Охарактеризуйте чарунку eCell сімейств СБМК Nextreme фірми eASIC.
6. У який засіб реалізується спеціалізація СБМК Nextreme?
7. Наведіть структуру і схему міжшарових переходів СБМК Nextreme SL та Nextreme VL. Яка між ними існує різниця?
8. Які можливості для замовників спеціалізованих мікросхем забезпечують СБМК Nextreme?
9. Охарактеризуйте СБМК сімейства eASIC Nextreme-3.
10. Наведіть структуру і характеристики цифрового блокового СБМК типу платформи на кристалі NC Express фірми Faraday.
11. З якими труднощами пов'язана розробка аналогових і аналого-цифрових БМК та реалізація спеціалізованих мікросхем на їх основі?
12. Які архітектури застосовують в аналогових та аналого-цифрових БМК?
13. Охарактеризуйте особливості здійснення спеціалізації мікросхем за допомогою металевих зв'язків і контактів між шарами.
14. Наведіть структуру і топологію лазерного програмування міжшарового з'єднання MakeLink.
15. Які переваги програмованих лазерних з'єднань?
16. Наведіть схему і охарактеризуйте склад конфігурованого аналогового блоку, з'єднання у якому програмуються лазером.
17. Яким чином реалізується спеціалізація СБМК за допомогою з'єднань між шарами металізації у мікросхемах серії VCA фірми Triad Semiconductor?
18. Відобразіть топологію з'єднань в аналоговому СБМК типу VCA.
19. Яка архітектура СБМК типу VCA?

20. Охарактеризуйте склад і розміщення елементів в аналоговій чарунці СБМК VCA.

21. Дайте характеристику аналогового СБМК VCA-12.

22. Наведіть архітектуру кристалу, який виконано за технологією MSSA фірми Triad Semiconductor. Охарактеризуйте склад його аналогових та цифрових чарунок.

23. Дайте характеристику аналого-цифрового СБМК типу МОСНА з процесорним ядром.

4 ПРОСТІ Й СКЛАДНІ ПРОГРАМОВАНІ ЛОГІЧНІ ІНТЕГРАЛЬНІ СХЕМИ

4.1 Загальні відомості про програмовані інтегральні схеми

Першими програмованими ІС були програмовані постійні запам'ятовувальні пристрої (ППЗП) і програмовані логічні матриці (ПЛМ). Логічні функції, виконувані ПЛМ, задаються у вигляді логічної суми добутків, тобто в диз'юнктивно нормальній формі. ППЗП реалізують таблицю істинності, а ПЛМ виконує мінімізовані логічні функції. До мікросхем з програмованою структурою належать також мікросхеми програмованої матричної логіки (ПМЛ). Мікросхеми ПЛМ та ПМЛ мають просту архітектуру і невелику кількість елементів і тому об'єднуються найменуванням прості програмовані логічні пристрої (Simple Programmable Logic Devices, SPLD). ПЛМ та ПМЛ є одними з різновидів великого сімейства програмованих логічних інтегральних мікросхем (ПЛІС).

У світі створено біля ста типів ПЛІС, які мають різні найменування, структури й особливості. Більшість з них можна подати узагальненою структурною схемою, що наведена на рис. 4.1. Ці мікросхеми містили невелику кількість елементів і мали просту архітектуру.

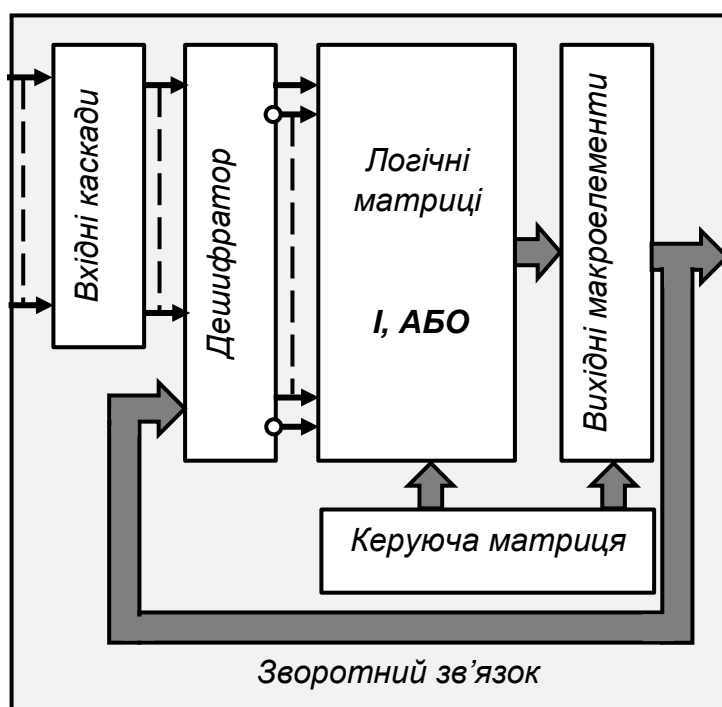


Рисунок 4.1 – Узагальнена структурна схема ПЛІС

Вхідні каскади, що узгоджують параметри сигналів зовнішніх кіл із внутрішніми сигналами ПЛІС, можуть мати елементи пам'яті (тригери, регістри). Дешифратор формує прямий та інверсний сигнали, які використовуються в логічній матриці. Логічна матриця може бути повною матрицею І-АБО, матрицею з однотипними вентилями, наприклад, матрицею І чи матрицею АБО. На виході логічної матриці розташовані макроеlementи, які можуть містити різні тригери, тристабільні буферні каскади, елементи керування полярністю сигналу тощо. Введення у вихідні макроеlementи елементів пам'яті і зворотних зв'язків із виходу на вхід ПЛІС дозволяє реалізувати не тільки схеми комбінаційної логіки, але й схеми з пам'яттю. Функції макроеlementа задаються керуючою матрицею.

4.2 Засоби програмування ПЛІС

Програмування, тобто комутація елементів ПЛІС для реалізації заданих функцій, виконується у різний спосіб:

- розробкою відповідної топології металевих з'єднань (масковим методом подібно з'єднанням у БМК);
- руйнуванням металевих з'єднань (перепалюванням перемичок) або діелектричних шарів;
- утворенням електричних з'єднань;
- зміною стану (провідний чи непровідний) транзисторів, через які з'єднані елементи різних каскадів ПЛІС.

Перший спосіб програмування реалізується виробником ІС і широко застосовується під час створення ПЛІС, що входять до складу серійних ВІС, наприклад, мікропроцесорів, контролерів периферійних пристроїв тощо.

Другий і третій способи програмування здійснюються споживачем. ПЛІС із перемичками, що перепалюються, й діелектричними шарами, що пробиваються, дозволяють робити однократне програмування.

Програмування за допомогою перемичок. Фрагмент схеми ПЛІС, яка програмується руйнуванням металевих з'єднань (перепалюванням перемичок) наведено на рис. 4.2, а. Це так звані перемички типу fuse. Перемички виготовляють з полікремнію або ніхрому. Перемички мають опір приблизно 10 Ом. Крізь них пропускають імпульси струму, амплітуда яких значно більша, ніж струм зчитування. Перемички розплавляються і електричне коло руйнується. Для руйнування ніхромових і полікремнієвих перемичок застосовується струм 20...50 мА, час розплавлення становить 10...200 мс.

У деяких випадках застосовується пробій зворотно зміщеного діоду імпульсом напруги від джерела живлення з низьким вихідним опором. У результаті замість переходу виникає провідна область – перемичка (рис. 4.2, б).

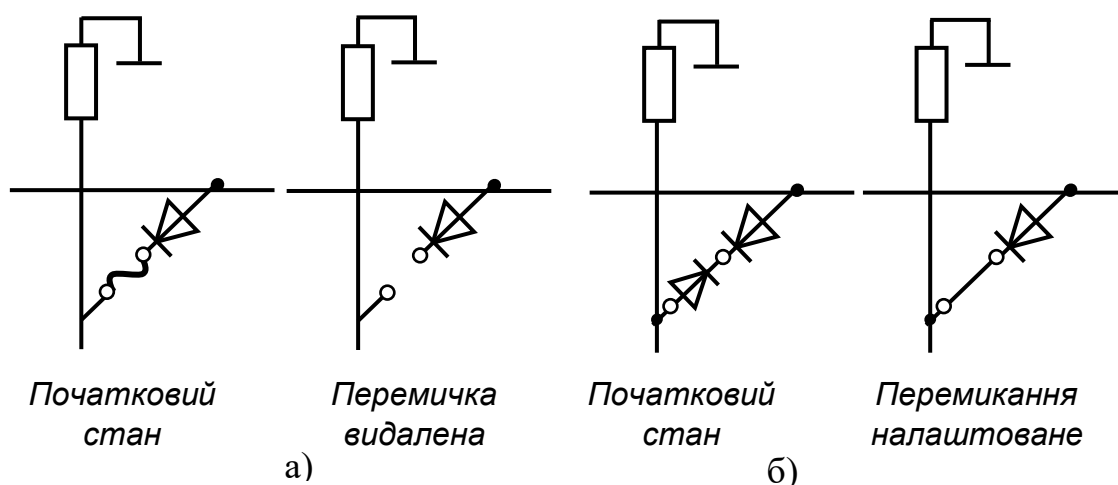


Рисунок 4.2 – Засоби одноразового програмування:

а) перепалювання перемичок; б) пробій зворотно зміщеного діоду

Програмування за допомогою перемичок типу antifuse є також одноразовим. Перемичка (рис. 4.3) утворена тришаровим діелектриком з чергуванням шарів «оксид-нітрид-оксид» (Oxid – Nitrid – Oxid, ONO).

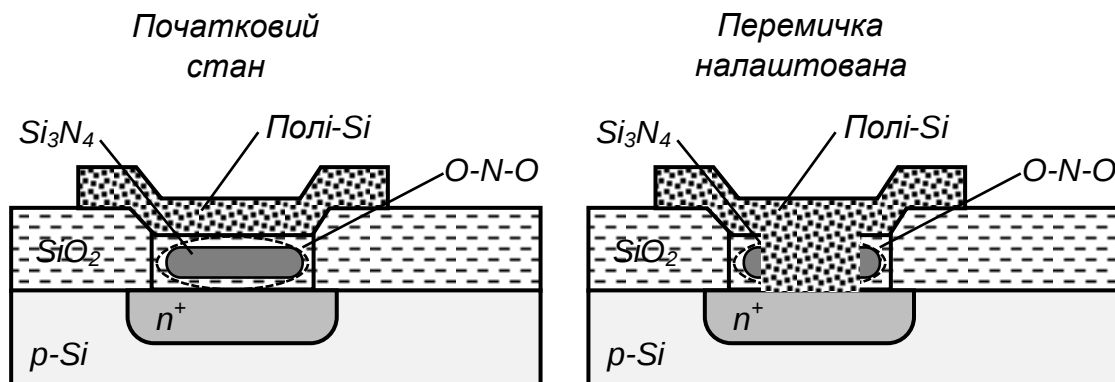


Рисунок 4.3 – Структура перемички типу antifuse до програмування і після програмування

Програмуючий імпульс напруги пробиває перемичку і створює провідний канал з полікремнію між електродами «полікремній – дифузійна область n^+ ».

Діаметр провідного каналу та його опір визначаються імпульсом струму програмування. Величина опору знаходиться у межах 100...600 Ом. У непровідному стані струми витoku становлять приблизно один фемптоампер

($1\text{ фА} = 10^{-15}\text{ А}$). Параметри обох станів перемички мають зберігатися близько 400 років.

Перемички типу antifuse розроблені фірмою Actel, яка з 2010 року увійшла як підрозділ «Системи на кристалі» корпорації Microsemi (Microsemi SoC Products Group). Фірмою Actel перемички типу antifuse використовуються і для програмування з'єднань між металевими шарами (рис. 4.4).

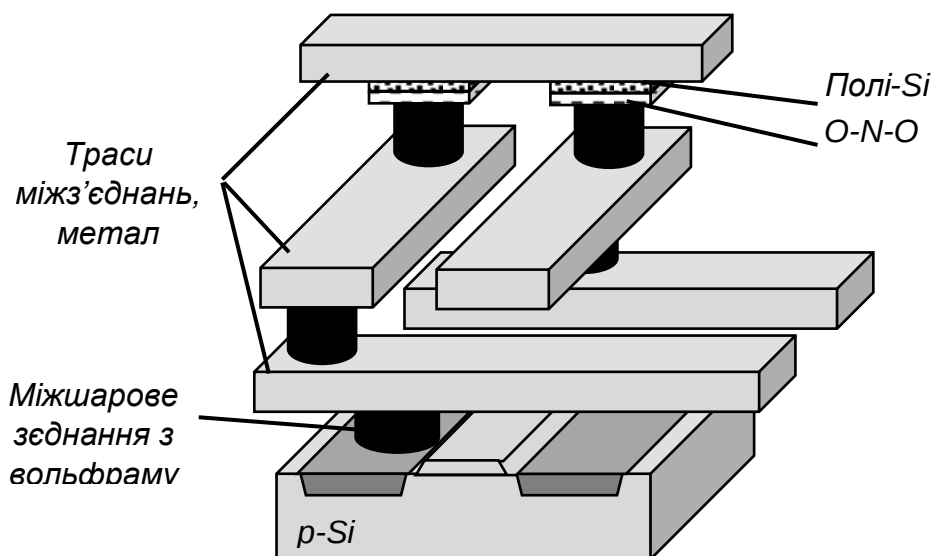


Рисунок 4.4 – Програмування міжшарових з'єднань за допомогою перемичок типу antifuse

Використання МОН-транзистора з плаваючим затвором. Багаторазово програмовані (репрограмовані) енергонезалежні ПЛІС використовують для комутації МДН транзисторні структури із плаваючим затвором. Останнім часом більш поширені ПЛІС з електричним (ЕСПЛІС) стиранням записаних логічних функцій. На рис. 4.5 наведено умовне позначення МОН-транзистора з плаваючим затвором.

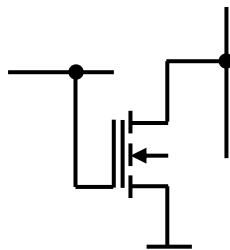


Рисунок 4.5 – Умовне позначення МОН-транзистора з плаваючим затвором

Транзистори з плаваючим затвором мають у підзатворному діелектрику замкнуту провідну область, яка має назву «плаваючий» затвор. У цю область можливо увести електричний заряд, де він зберігатиметься. Застосовують

різноманітні механізми уведення та стирання заряду, наприклад, лавинну інжекцію, тунелювання. Структура і схема елемента пам'яті на МОН-транзисторі з плаваючим затвором, у якій використовуються тунельний пробій, наведено на рис. 4.6.

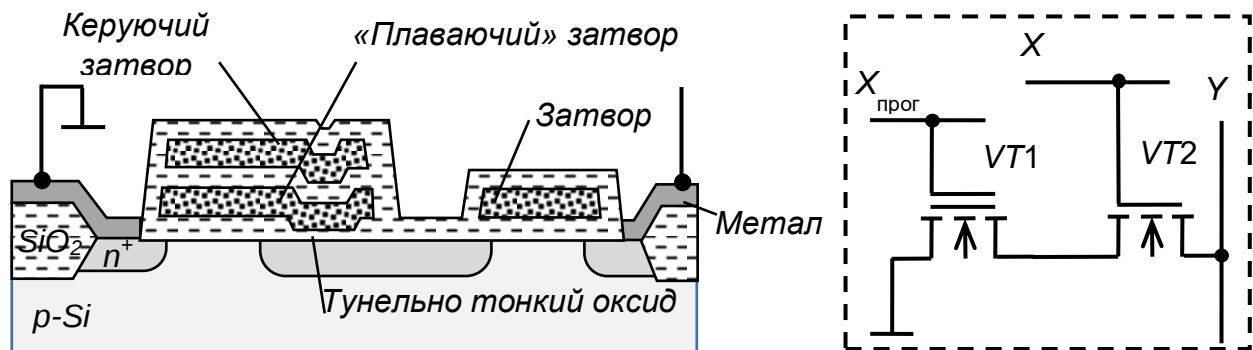


Рисунок 4.6 – Структура і схема елемента пам'яті на МОН-транзисторі з плаваючим затвором

Ліва частина структури утворює бістабільний транзистор VT1, порогова напруга якого визначається присутністю або відсутністю негативного заряду електронів на «плаваючому» затворі.

Шар діоксида під «плаваючим» затвором (стік – затвор) має дуже малу товщину – 10 нм (тунельно-тонкий діоксид). У режим програмування на шину $X_{\text{прог}}$ вибраного рядка подають високу напругу (20 В). На стоці встановлюють напругу, що дорівнює нулю. Електрони тунелюють із стока в шар тунельно – тонкого діелектрика й дрейфують на плаваючий затвор, де накопичуються. Зняття програмуючої напруги встановлює непровідний стан діелектричних областей і електрони, замкнені у плаваючому затворі, де вони зможуть знаходитися тривалий час (десятки років).

Заряджений електронами плаваючий затвор підвищує порогову напругу настільки, що у діапазоні робочої напруги провідний канал у транзисторі не утворюється. За відсутності заряду на плаваючому затворі транзистор працює у звичайному ключовому режимі.

У сучасних ПЛІС застосовується електричне стирання записаної інформації. Для цього на управляючий затвор необхідно подати нульову напругу, на стік – високу. Тоді електрони перейдуть з плаваючого затвора на стік, де нейтралізуються.

Програмування й стирання йдуть з однаковою швидкістю.

Стирання старої інформації та запис нової можливі у режимі програмування у системі (ISP, In System Programming), тобто без вилучення IC із плати. Число циклів репрограмування становить до $10^5 \dots 10^6$.

Застосування елемента пам'яті статичного оперативного запам'ятовувального пристрою (СОЗП). В інших випадках для встановлення необхідних зв'язків застосовуються МДН-транзистори, закритий або відкритий стан яких визначається тригером (рис. 4.7). Ключовий транзистор VT2 знаходиться у відкритому або закритому стані і відповідно з'єднує або роз'єднує ділянку електричного кола аb. Стан ключового транзистора задається тригером, вихід якого підключено до затвора транзистора VT2.

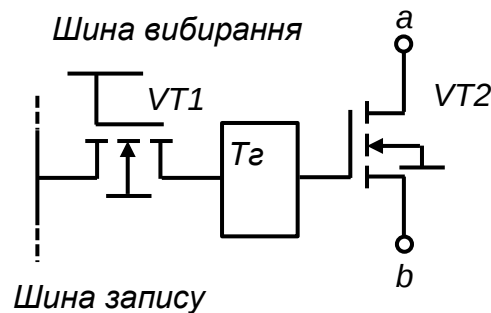


Рисунок 4.7 – Схема елемента пам'яті конфігурації на базі статичного ОЗП

У режимі програмування на шину вибирання подається високий потенціал, транзистор VT1 вмикається. З шини запису подається сигнал, який встановлює тригер у стан логічної 1 або 0. У робочому режимі транзистор VT1 закритий, тригер зберігає незмінний стан. Від тригера пам'яті конфігурації не потрібна висока швидкодія, і він проектується з точки зору мінімальних розмірів і максимальної стійкості стабільних станів. Завади у декілька вольт не впливають на його стан. Схеми з тригерною пам'яттю конфігурації (SRAM-based) вперше були розроблені фірмою Xilinx.

Елемент пам'яті типу «тригер плюс ключ» порівняно з елементами antifuse і транзисторами з плаваючим затвором має більшу схемну складність. Проте ці елементи пам'яті конфігурації переважно застосовуються у програмованих ІС. Це пов'язано з їх технологічною однорідністю з іншими схемами ВІС (логікою, регістрами), чого не мають елементи пам'яті інших типів. Процес програмування відбувається швидко і може здійснюватися необмежену кількість разів.

Після кожного вимикання джерела живлення конфігурація руйнується. Після вмикання джерела живлення мікросхеми потрібен процес програмування (ініціалізації, конфігурування) схеми – завантаження даних конфігурації з будь-якої енергонезалежної пам'яті, що потребує певного часу. Тригери пам'яті конфігурації розкидані по усьому кристалу разом з елементами схеми, яку вони конфігурують. Вони складають статичний оперативний запам'ятовувальний пристрій (СОЗП). Алгоритм роботи таких ПЛІС задається програмуванням СОЗП.

4.3 Програмовані логічні матриці

За логічною структурою й способом комутації можна виділити кілька основних типів ПЛІС.

Програмовані логічні матриці (ПЛМ, PLA, Programmable Logic Array) – це найбільш традиційний тип ПЛІС, що має програмовані матриці І та АБО. Традиційна структура ПЛМ складається з трьох основних частин (рис. 4.8): входніх повторювачів інверторів, що формують прямі й інверсні сигнали; елементів І, так званих термів добутків, що разом з комутаційним полем утворюють матрицю І (матрицю добутків); елементів АБО, що реалізують матрицю АБО (матрицю сум), з'єднаних за допомогою комутаційного поля безпосередньо з виходами елементів І.

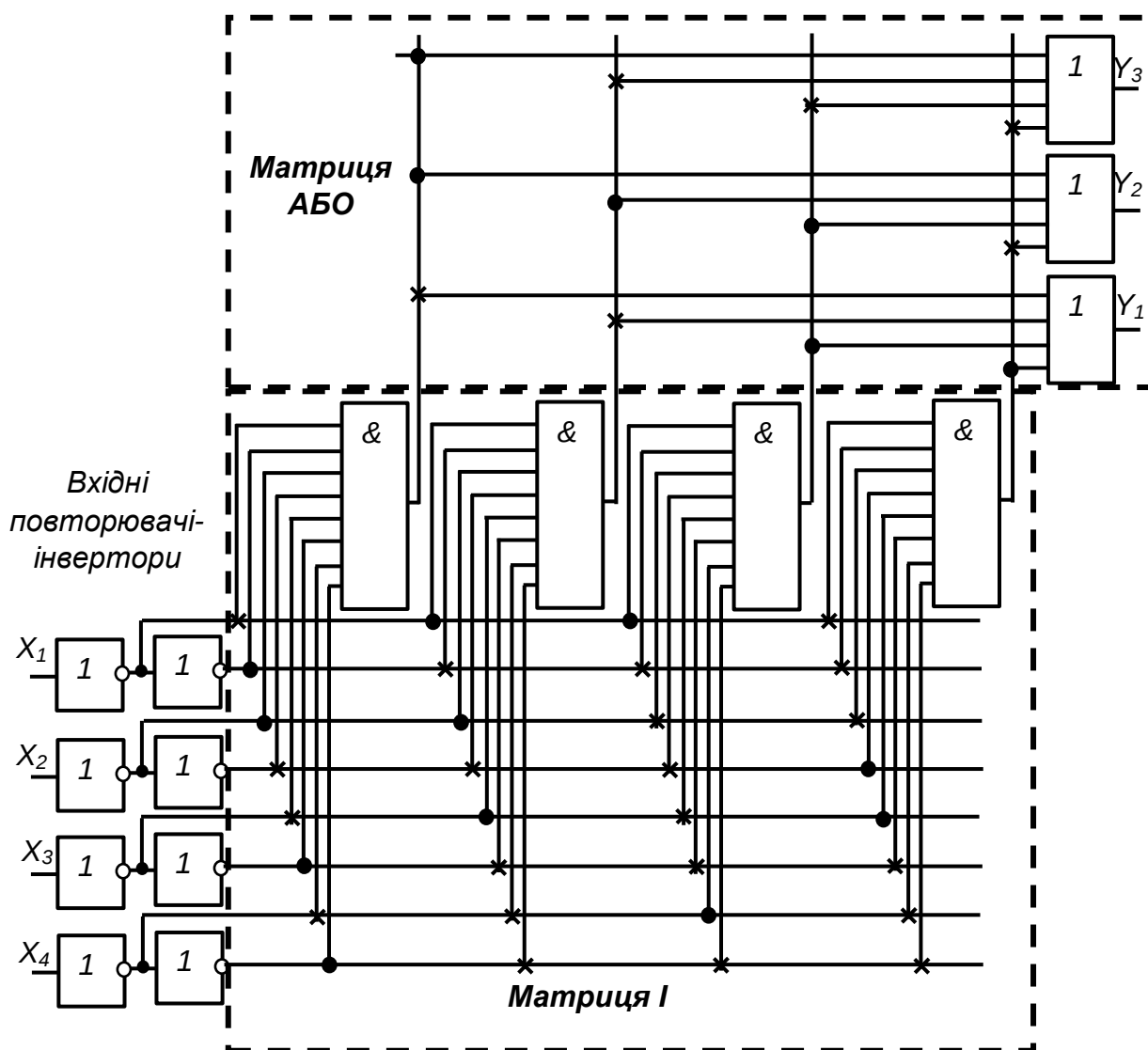


Рисунок 4.8 – Схема ПЛМ на рівні логічних елементів

Функціональна схема ПЛМ, що наведена на рис. 4.8, реалізує такі логічні функції:

$$Y_1 = X_2 \bar{X}_3 + \bar{X}_1 \bar{X}_4;$$

$$Y_2 = \bar{X}_1 \bar{X}_2 \bar{X}_3 + X_1 \bar{X}_2 X_3 X_4 + \bar{X}_1 \bar{X}_4;$$

$$Y_3 = X_1 \bar{X}_2 X_3 X_4 .$$

Розрив кола комутації позначено хрестиком.

Основними параметрами ПЛМ є число входів (число логічних змінних), число реалізованих добутків, число виходів (число реалізованих функцій).

Випускаються ПЛМ, виготовлені за біполярною або МОН-технологією. Їх матриці містять системи горизонтальних та вертикальних ліній, у вузлах перетинання яких під час програмування утворюються або руйнуються елементи зв'язку.

На рис. 4.9 наведено схемотехніку одноразово програмованих ПЛМ з ніхромовими плавкими перемичками, виконаними за ТТЛШ-технологією. До цього виду ПЛІС належать ІС типу КР556РТ1, РТ2. Елементи «виняткове АБО» на виходах дозволяють одержати інверсне або неінверсне значення вихідної функції ПЛІС.

Елементами зв'язку у матриці І є діоди, що з'єднують горизонтальні та вертикальні шини. Спільно з резистором і джерелом живлення схеми І утворюються діодними схемами. До програмування усі перемички цілі, і діоди розміщені в усіх вузлах перетинання рядків і стовпців. За будь-якої комбінації аргументів на виході буде нуль, оскільки на вхід схеми І подаються водночас прямі та інверсні значення аргументів, а $x\bar{x} = 0$. Під час програмування у схемі залишають тільки потрібні елементи зв'язку, а неналежні руйнують перепаленням перемичок.

На вхід кон'юктора, що зображений на рис. 4.10, подані X_1 , $\bar{X}_2$ і X_3 . Високий рівень вихідної напруги (логічна одиниця) з'явиться тільки за присутності високої напруги на всіх входах (усі діоди зміщені у зворотному напрямку і закриті), низька напруга на будь-якому вході фіксує вихідну напругу на низькому рівні (формується логічний нуль), оскільки відмикається діод цього входу. У даному випадку реалізується терм $Y = X_1 \cdot \bar{X}_2 \cdot X_3$.

Елементами зв'язку у матриці АБО слугують транзистори (рис. 4.11), які увімкнені за схемою емітерного повторювача відносно ліній термів і утворюючих схему АБО відносно виходу (горизонтальної лінії).

Елементи «виняткове АБО» на виходах дозволяють отримати пряме або інверсне значення вихідної функції.

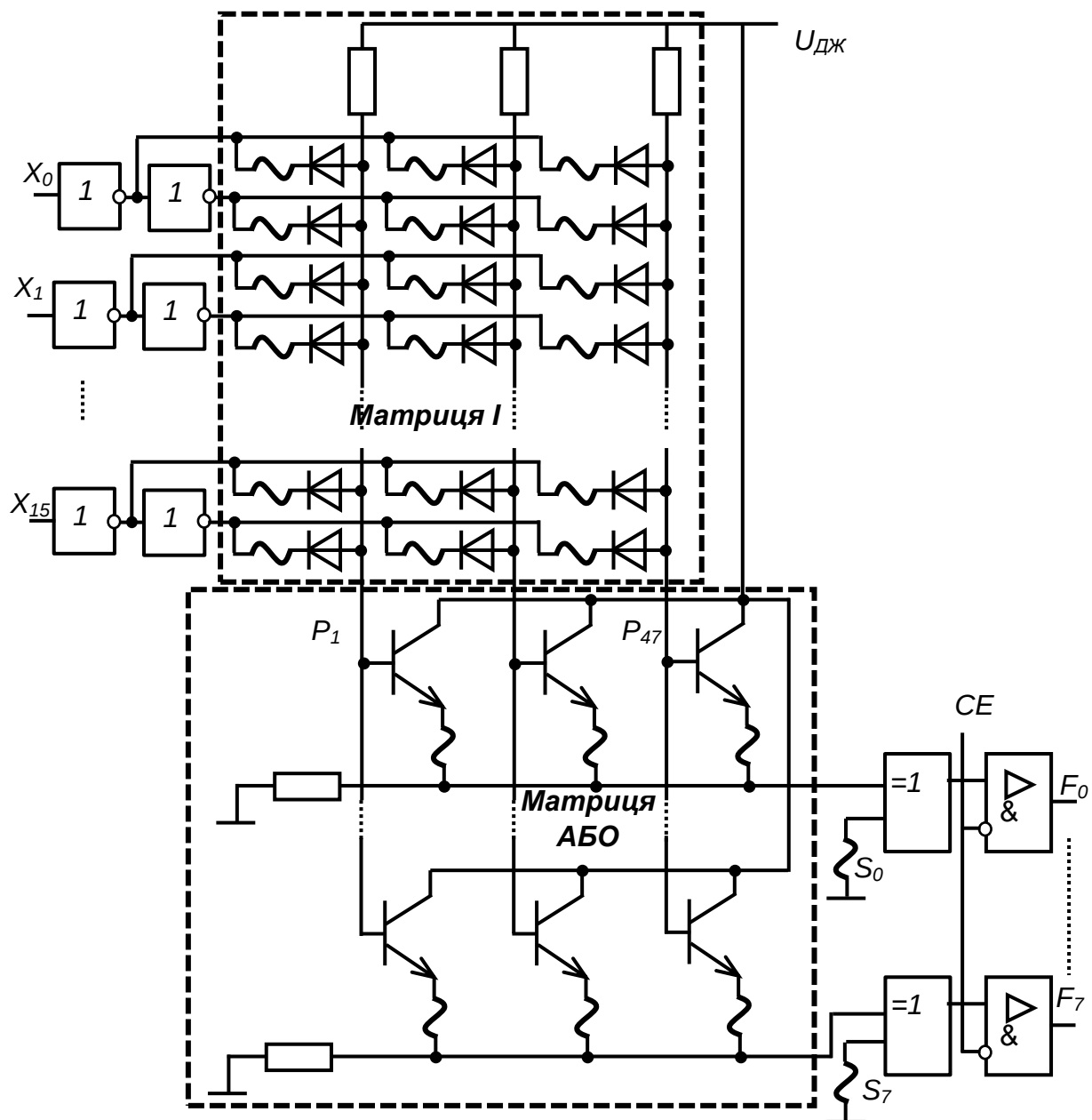


Рисунок 4.9 – Логічна структура ПЛМ серії KP556

Для спрощення зображення логічних матриць багатовходові логічні елементи І, АБО умовно заміщують одновхідними. Поодинокі лінії входу перетинаються з декількома лініями вхідних змінних (рис. 4.10). Якщо у місці перетинання стоїть точка, то ця змінна подається на вхід елемента. Якщо точка відсутня – змінна на елемент не подається. Кон'юктор, що зображений на рис. 4.12, реалізує функцію $Y = X_1 \cdot \bar{X}_2 \cdot X_3$.

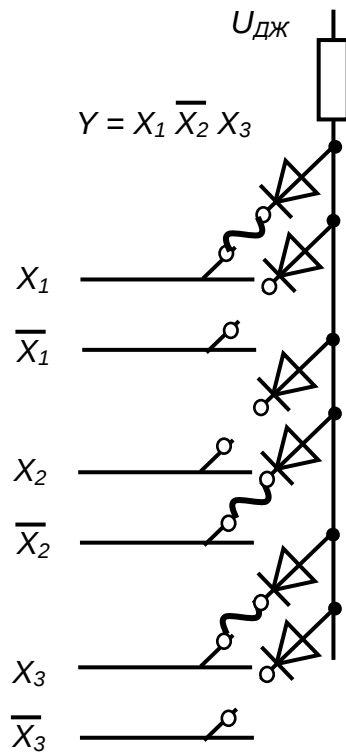


Рисунок 4.10 – Фрагмент матриці І

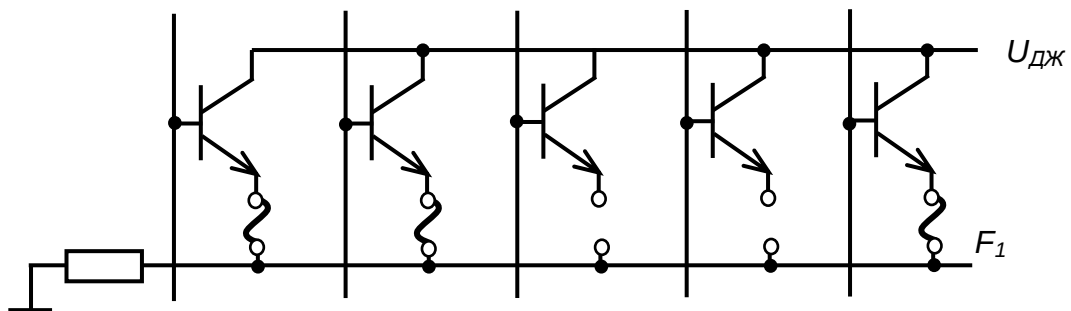


Рисунок 4.11 – Елементи зв'язку у матриці АБО

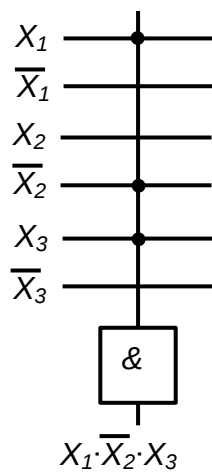


Рисунок 4.12 – Спрощене зображення кон'юктора,
що реалізує функцію $Y = X_1 \cdot \overline{X_2} \cdot X_3$

На рис. 4.13 наведено спрощене зображення схеми ПЛМ і схеми її комутації для реалізації функцій:

$$Y_1 = X_2 \bar{X}_3 + \bar{X}_1 \bar{X}_4;$$

$$Y_2 = \bar{X}_1 \bar{X}_2 \bar{X}_3 + X_1 \bar{X}_2 X_3 \bar{X}_4 + \bar{X}_1 \bar{X}_4;$$

$$Y_3 = X_1 \bar{X}_2 X_3 \bar{X}_4.$$

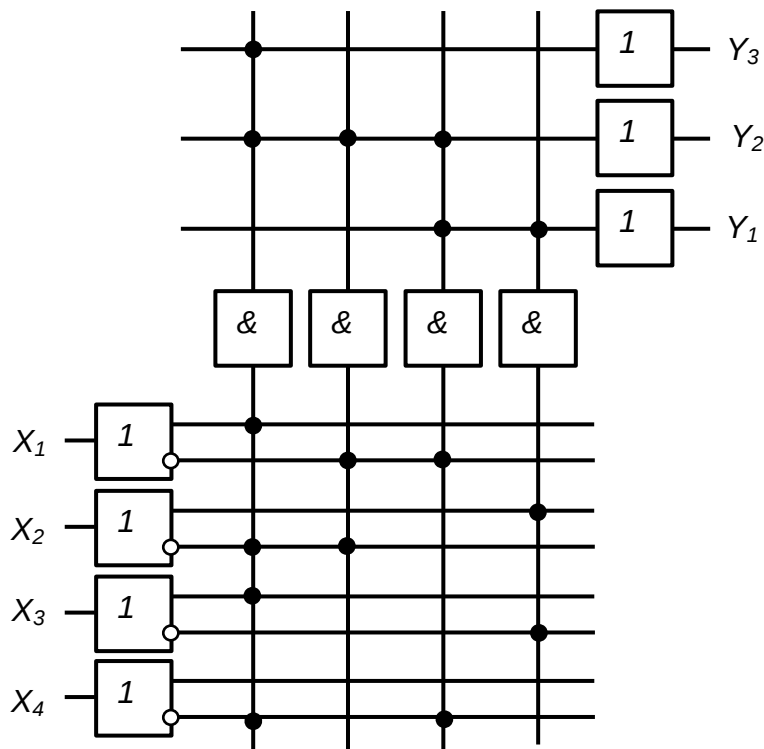


Рисунок 4.13 – Спрощене зображення схеми ПЛМ

Реалізація у ПЛМ логічних функцій у дужках

Логічні структури ПЛМ дозволяють реалізувати логічні функції з дужками (рис. 4.14). Наприклад, потрібно сформувати функцію

$$F = X_1 X_2 + (\bar{X}_1 \bar{X}_2) X_3.$$

Спочатку отримують вираз у дужках $(\bar{X}_1 \bar{X}_2)$, потім він розглядається як аргумент для отримання підсумкового результату. У схемі з'являються зворотні зв'язки – проміжні результати з виходу заново подаються на входи. Це підвищує логічну глибину схеми і водночас збільшує затримку отримання результату.

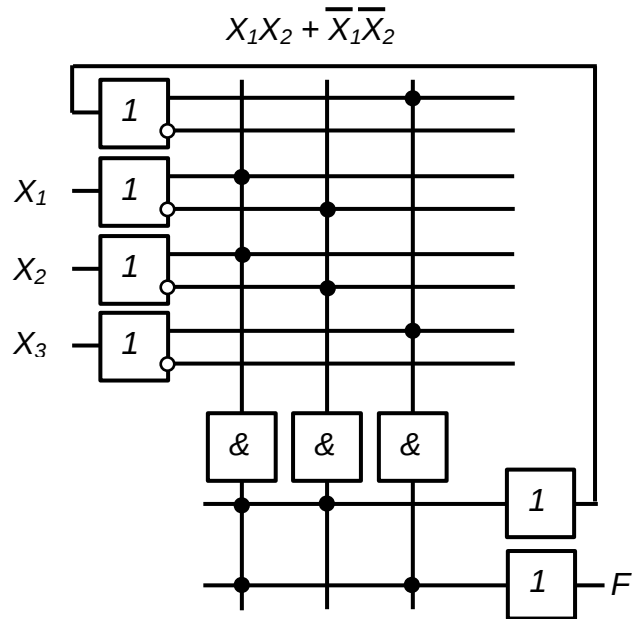


Рисунок 4.14 – Схема ПЛМ, що реалізує логічні функції у дужках

4.4 Програмована матрична логіка

Програмована матрична логіка (ПМЛ, PAL – Programmable Array Logic, GAL – Gate Array Logic) – це ПЛІС, що мають програмовану матрицю І та фіксовану матрицю АБО (рис. 4.15).

У ПМЛ виходи елементів І (виходи першої матриці) жорстко зв'язані з елементами АБО (входами матриці АБО). ПМЛ, що зображена на рис. 4.15, має m входів, n виходів і $4n$ елементів І. Кожному елементу АБО припадає по 4 кон'юнктори.

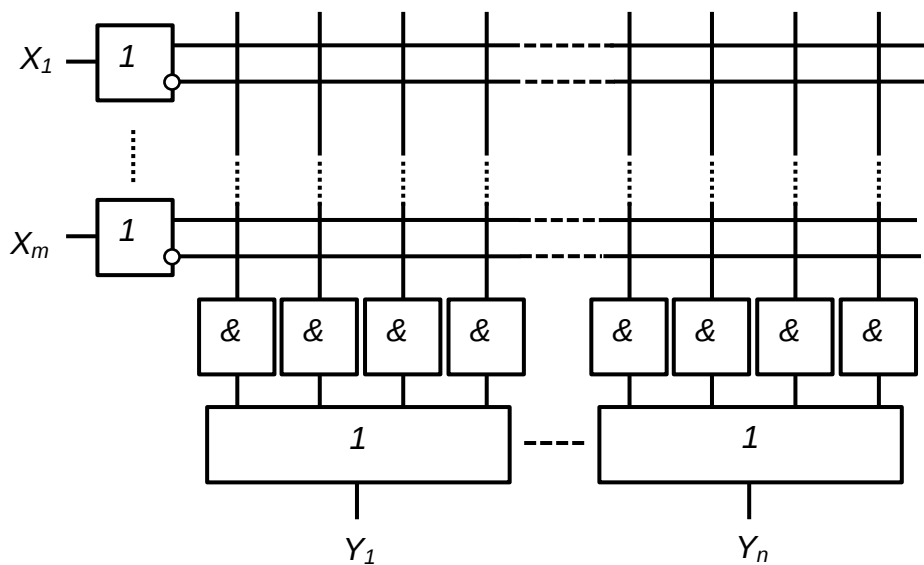


Рисунок 4.15 – Схема програмованої матричної логіки

Така логічна структура сприяє зменшенню геометричних розмірів кристалу ПЛІС і часу поширення сигналу через кристал. Виготовлення і використання ПМЛ простіше, ніж ІС ПЛМ. Порівняно з ПЛМ, схеми ПМЛ мають меншу функціональну гнучкість, тому що матриця АБО у них фіксована. Для ПМЛ важливо зменшувати кількість елементів І для кожного виходу. Переваги ПМЛ особливо виявляються під час розробки нескладних пристроїв.

Програмування може здійснюватися стандартними програматорами ППЗП. Під час програмування одна половина виводів використовується для програмування, а інша для адреси. Потім виходи перемикаються для програмування інших елементів. До цього виду ПЛІС належить більшість сучасних ПЛІС (зокрема, ІС серії КМ1556). Для розширення функціональних можливостей ПЛМ і ПМЛ вихідні макроелементи містять тригери й кола зворотного зв'язку із входами логічних матриць.

4.5 Розширення можливостей ПЛМ і ПМЛ

Структури ПЛМ і ПМЛ, що були розглянуті раніше, є базовими. З часом відбувалося удосконалення ІС та ускладнювання їх функціональних можливостей. Розглянемо деякі з них.

Схема з програмованим буфером.

У цих схемах (рис. 4.16) можливо отримувати вихідні функції у прямому або інверсному вигляді.

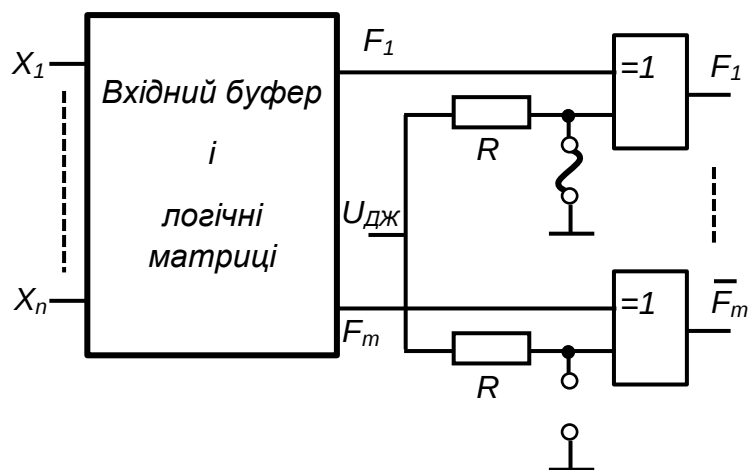


Рисунок 4.16 – Схема з програмованим буфером

Вихідні функції $F_1 \dots F_n$, що утворені логічною матрицею, проходять через схеми «виняткове АБО» (суматор за модулем 2). На другий вхід схем

«виняткове АБО» підключена плавка перемика. Якщо перемика ціла на другий вхід подається нульовий потенціал, і вхідні функції з матриць проходять без змін. Якщо перемика перепалено, то на нижній вхід схеми «виняткове АБО» подається напруга логічної одиниці від джерела живлення через резистор R. Функція F_i складається за модулем 2 з одиницею та інвертується.

Програмований буфер дає додаткові можливості для мінімізації числа термів.

Схема з двоспрямованими виводами

Вживши елементи з трьома станами на виході, можливо побудувати схему, у якій деякі виводи припустимо використовувати як вхідні або вихідні залежно від програмування перемика. У такій схемі один з кон'юкторів призначений для керування елементом з трьома станами на виході (рис. 4.17). Вихід елемента водночас пов'язаний з матрицею I як вхід.

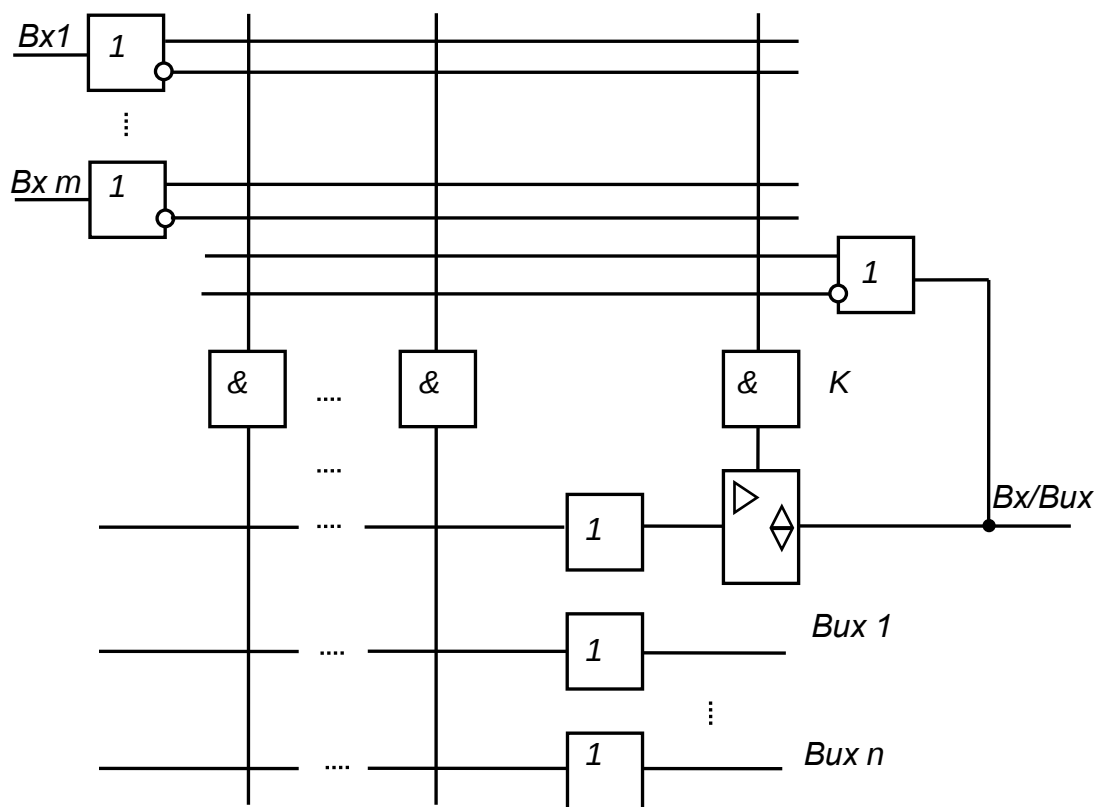


Рисунок 4.17 – Схема з двоспрямованими виводами

Можливі чотири режиму виводу Vx/Vyx залежно від того, як запрограмовані входи кон'юктора K:

1. Усі перемики нерушені. В цьому режимі на виході кон'юктора K буде нуль, буфер знаходиться у третьому високоімпедансному Z-стані і вивід функціонує як вхід.

2. Усі перемички перепалені, на виході кон'юктора К буде одинця, буфер є активним, вивід працює як вихід (його сигнали не використовуються у матриці І).

3. Вихід зі зворотним зв'язком. На відміну від попереднього режиму, сигнали виводу застосовуються у матриці І.

4. Керований вихід. Входи кон'юктора К програмуються. За відповідною комбінацією вхідних сигналів на виході кон'юктора К встановлюється одиниця, і вивід спрацьовує як вихід.

Застосування цієї схеми дає можливість змінювати співвідношення числа входів/виходів.

Схеми з пам'яттю

Для збільшення функціональних можливостей ПЛМ і ПМЛ містять тригери (регістри) зазвичай D-типу і зворотні зв'язки зі входами логічних матриць (рис. 4.18). До цього типу належить більшість простих ПЛІС.

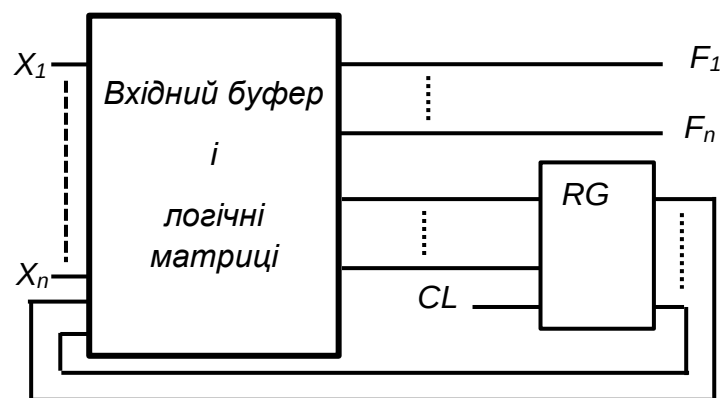


Рисунок 4.18 – Структура ПЛМ з пам'яттю

Схеми з пам'яттю характеризують додатковим параметром r – число елементів пам'яті (розрядів регістру). Структура ПЛМ співпадає з класичною схемою автомата. Результат даного кроку обробки інформації залежить у ній від результатів наступних кроків, що забезпечується зворотним зв'язком з регістру на вхід ПЛМ.

4.6 Складні програмовані логічні інтегральні схеми (CPLD)

Складні програмовані логічні ІС є подальшим розвитком простих структур ПМЛ. Програмовані комутаційні матричні блоки є варіантом складних програмованих логічних ІС, особливістю яких є наявність енергонезалежної пам'яті конфігурації.

Структура CPLD

Програмовані комутаційні матричні блоки (ПКМБ) – це складні ПЛІС (Complex Programmable Logic Devices, CPLD), що містять декілька, зазвичай, 4...8 матричних логічних блоків, МЛБ (Logic Array Block, LAB), об'єднаних програмованою матрицею між'єднань, ПІММ (Programmable Interconnect Array, PIA) (рис. 4.19).

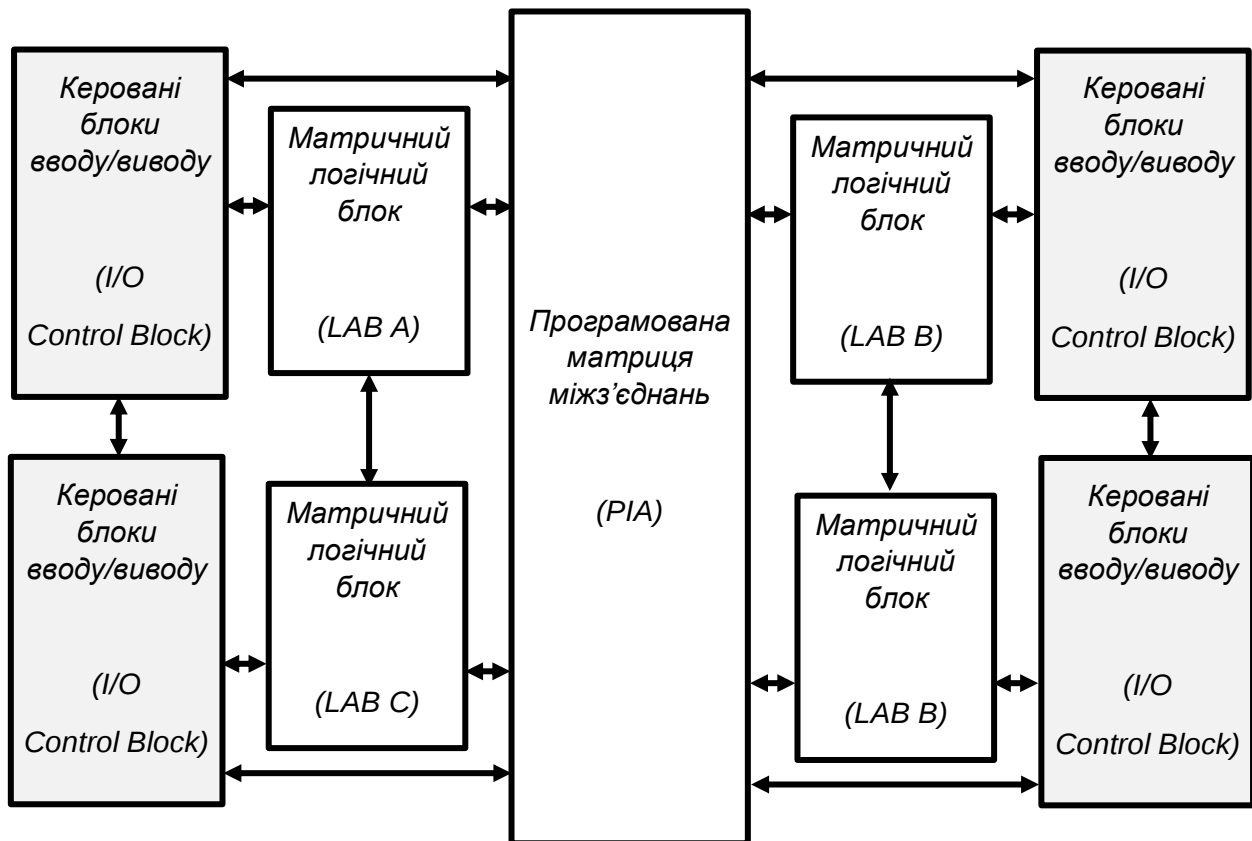


Рисунок 4.19 – Структурна схема ПЛІС типу ПКМБ

CPLD – це об'єднання декількох ПМЛ (PAL) у єдиний пристрій за допомогою програмованої матриці між'єднань. Окрім основних блоків, ПКМБ часто містять контролери інтерфейсу JTAG і ISP, що використовуються для конфігурування і тестування структур, що реалізуються. Зв'язок з зовнішнім середовищем виконують блоки введення/виведення (БВВ). Кількість МЛБ, які містять ПКМБ, змінюється залежно від складності даної мікросхеми.

Фірма Altera Corporation розробила архітектуру багатосекційних або багатоблокових матриць (multiple array matrix, MAX). Основою архітектури є матричний логічний блок. МЛБ складається з трьох елементів: матриці макроелементів, логічного розширювача і блоку введення-виведення (рис. 4.20).

У свою чергу, макроелемент складається з трьох основних частин:

- локальної програмованої матриці;
- матриці розподілення термів;
- програмованого регістра (тригера).

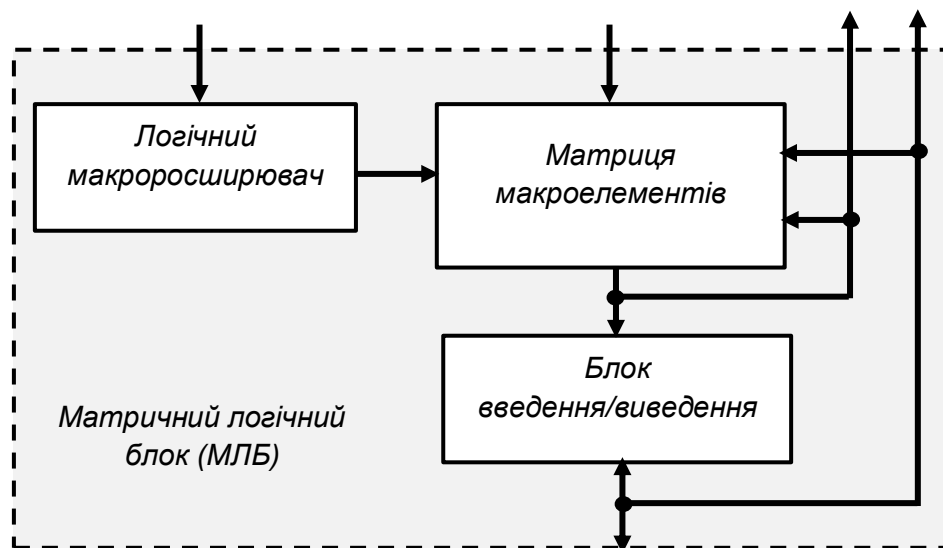


Рисунок 4.20 – Структурна схема матричного логічного блока

Схема макроелемента, що наведена на рис. 4.21, є певною мірою узагальненою. Комбінаційні логічні функції реалізуються за допомогою локальної програмованої матриці і матриці розподілення термів.

Локальна програмована матриця спільно з матрицею розподілення термів дозволяють формувати комбінаційні функції, а також керувати тригером за входами скидання CLR та установа PR. Відповідно до програмування мультиплексорів MS1 і MS3, попередній стан тригера можливо встановити глобальними сигналами скидання/встановлення GCLR і GPR. Тригер припустимо тактувати глобальним сигналом синхронізації GCLK з мінімальною затримкою отримання сигналу синхронізації від загального входу мікросхеми, що типово для реалізації синхронних автоматів. Програмуванням мультиплексора MS2 можливо забезпечити тактування локальним сигналом синхронізації від терма, що дозволяє реалізувати асинхронні схеми. Для кожного тригера можна задавати конфігурацію D-, T-, JK- чи RS-тригера, або його обходити.

Асинхронні входи попереднього установа та скидання тригера дозволяє влаштувати асинхронне завантаження лічильників або зсувних регістрів. Будь-який тригер можливо застосувати для роботи у регістрі або як прохідний, що спрацьовує за фронтом сигналу. Мультиплексор MS4 за відповідним програмуванням дозволяє подавати на вихід ME (до БВВ) безпосередньо сигнал комбінаційної функції або сигнал з тригера.

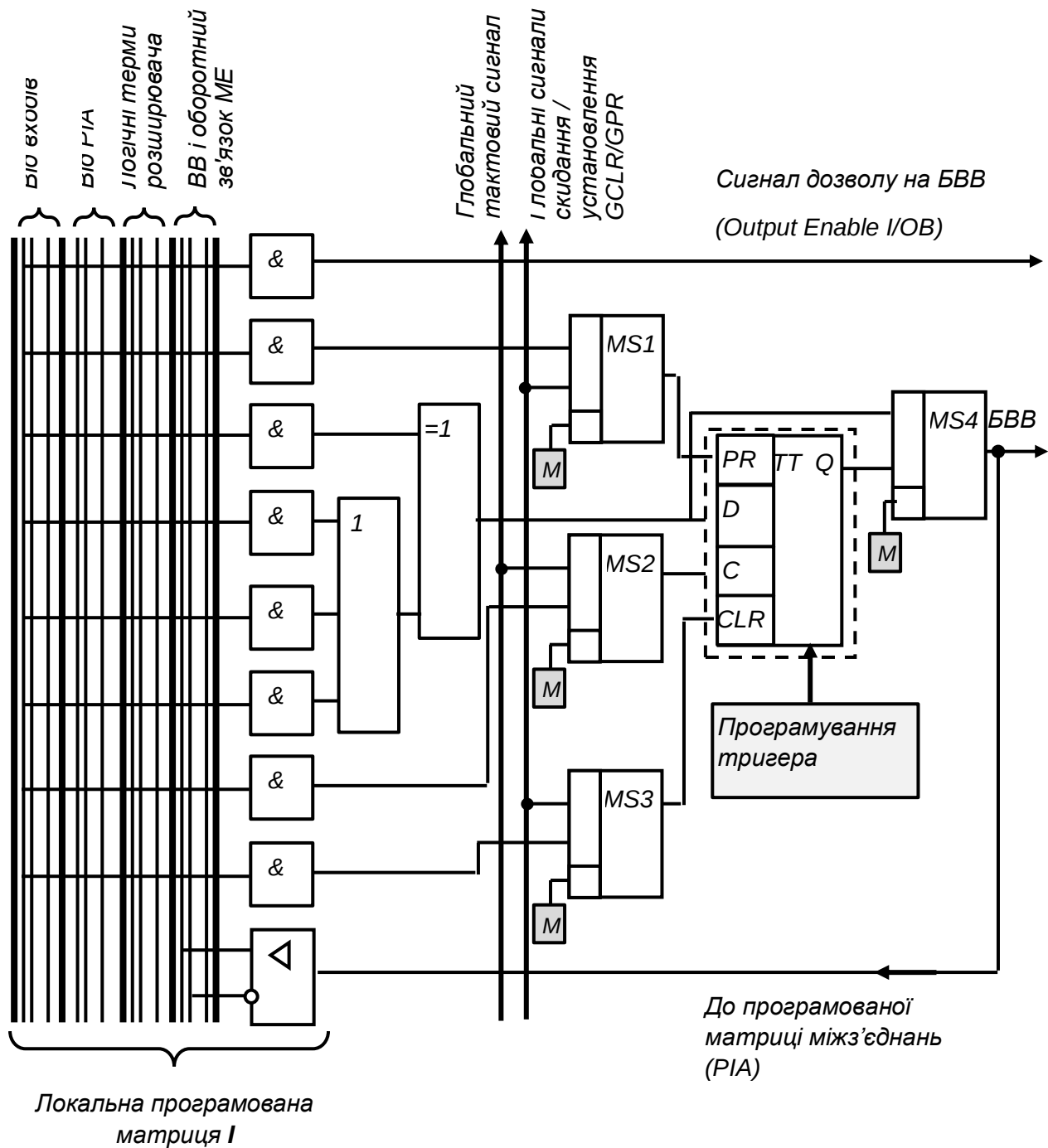


Рисунок 4.21 – Структурна схема макроелемента

Система зв'язків ПКМБ. У ПКМБ використовується безперервна або одновимірна система зв'язків. Усі зв'язки ідентичні, що дозволяє заздалегідь визначити затримку сигналів. Типова програмована матриця з'єднань зв'язує кожен матричний логічний блок з будь-яким іншим (рис. 4.22).

Будь-який вхід можливо підключити до будь-якого виходу програмуванням точок зв'язку між вертикальними та горизонтальними лініями. Програмована матриця з'єднань забезпечує повну комутуваність блоків і можливість забезпечити однакову затримку сигналів між будь-якими

внутрішніми точками на кристалі ПЛІС. Це усуває часові зсуви між логічними сигналами, що можуть викликати появу викидів сигналів у внутрішніх чи зовнішніх електричних колах і зменшує час затримки поширення сигналу від входу до виходу.

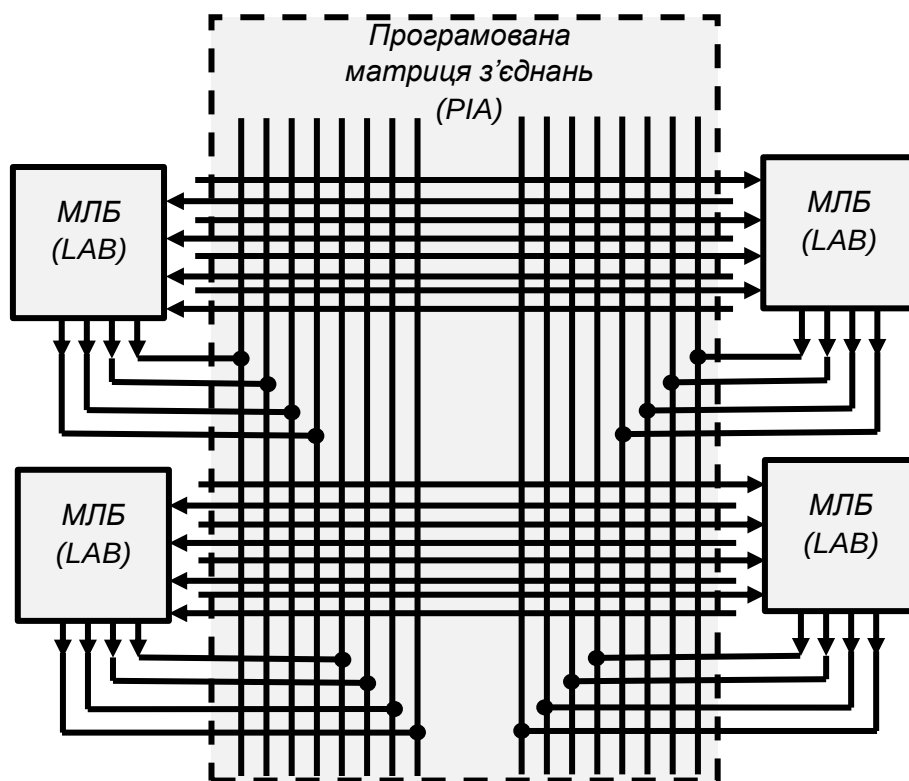


Рисунок 4.22 – Схема комутації матричних логічних блоків ПКМБ за допомогою програмованої матриці з'єднань

Блоки введення/виведення. Зовнішні сигнали надходять на кристал і знімаються з нього крізь програмовані користувачем блоки введення/виведення, БВВ, (I/O Control Block) (рис. 4.23).

Кожен БВВ містить буферні каскади для введення та виведення інформаційних сигналів, а також мультиплексор сигналів дозволу виходу і схему програмування користувачем загального виводу (контактної площадки). Вхідний буфер може працювати із сигналами, що мають стандартні КМОН-або ТТЛ-рівні від зовнішніх компонентів з напругою живлення 5 або 3,3 В. Вхідні буфери використовують окреме внутрішнє живлення $U_{ДЖ}$ в напругою 5 В для забезпечення стабільності порогових рівнів і незалежності від рівнів зовнішніх сигналів.

Сигнал дозвіл виходу OE можливо формувати у макрочарунці або застосовувати один з глобальних сигналів дозвіл виходу GOE (Global Output Enable).

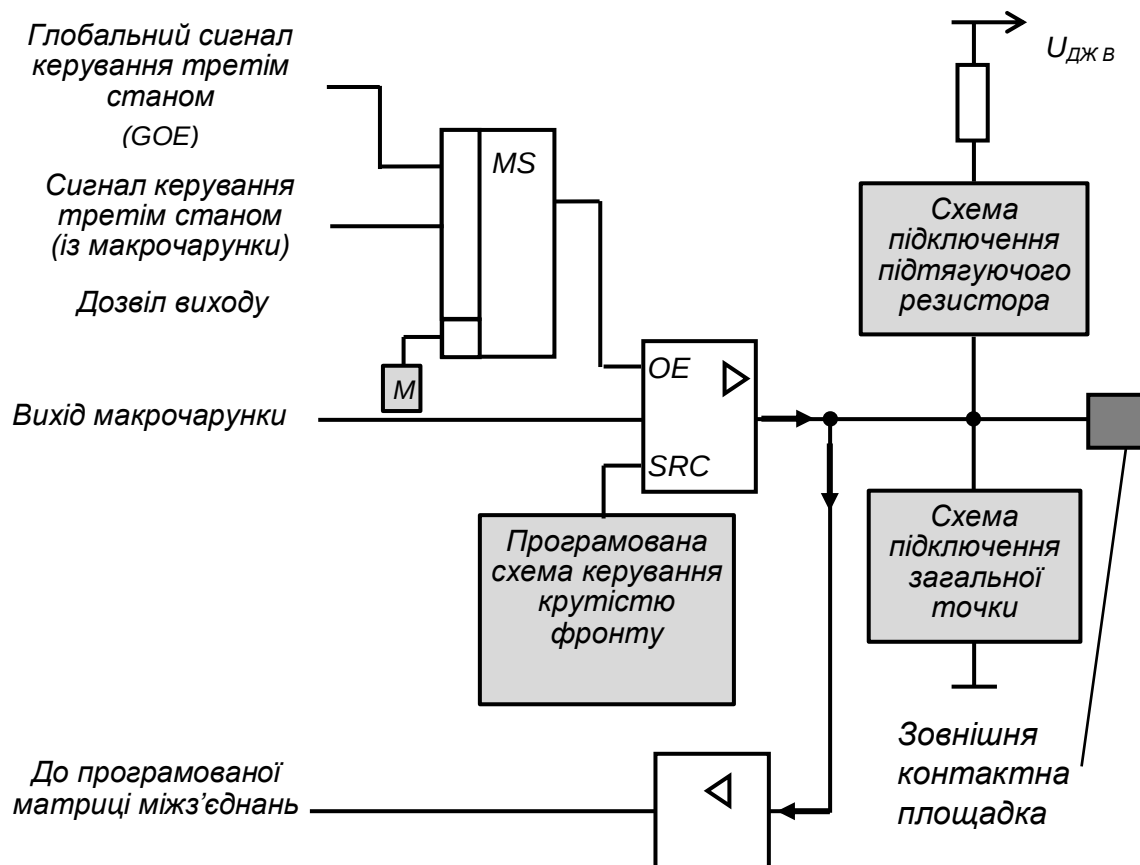


Рисунок 4.23 – Схема блоку введення/виведення ПКМБ

На час запису/стирання, а також вмикання джерела живлення кожен вивід підключається до напруги живлення $U_{ДЖВ}$ через внутрішній «підтягувальний» резистор (опором приблизно 10 кОм) для виключення дрейфу потенціалу вхідних/вихідних сигналів на час перехідного періоду. У робочому режимі внутрішні резистори відключено.

До ПЛІС класу CPLD належать, наприклад, ІС серій MAX 7000, MAX 9000 фірми Altera і серій FLEXlogic фірми Intel, мікросхеми XC9500 та Cool Runner фірми «Xilinx».

Мікросхеми сімейства MAX виготовляють за технологією КМДН з електричним стиранням інформації (ЕСПЛІС) і забезпечують такі характеристики: мінімальну затримку поширення сигналу від входу до виходу – 5 нс; максимальну тактову частоту – 190 МГц; число циклів програмування – до 100. ІС цих серій випускаються з різним ступенем інтеграції. Залежно від типу ІС кількість еквівалентних логічних вентилів змінюється від 1200 до 24000, а число тригерів від 32 до 772. ПЛІС серій MAX 7000 і MAX 9000 можна програмувати й стирати безпосередньо на робочій платі, через інтерфейс, підключений до порту ПЕОМ. Важливою особливістю ПЛІС серії MAX 7000 є можливість виготовлення на їхній основі спеціалізованих ВІС також за технологією БМК. Це зменшує вартість ВІС під час масового виробництва.

У мікросхемах CPLD перших поколінь більшість внутрішніх логічних блоків не мали прямих контактів з зовнішніми виводами, що значно обмежувало їх застосування в процесі проектування систем з багаторівневою логікою.

Слід зазначити, що більшість вищевказаних серій мікросхем було знято з виробництва після того, як фірма Altera увійшла до складу фірми Intel як підрозділ Intel Programming Solutions Group (Intel PSG). Це мікросхеми типу CPLD та FPGA серій:

- ACEX 1K, APEX 20K, APEX 20KC, APEX 20KE, APEX II;
- FLEX 10K, FLEX 10KA, FLEX 10KE, FLEX 6000, FLEX 8000;
- MAX 7000, MAX 7000B, MAX 7000S, MAX 9000;
- MERCURY, MPLD.

4.7 Контрольні запитання і завдання

1. Чим різняться ПЗП від ПЛМ?
2. Охарактеризуйте узагальнену схему ПЛІС.
3. Як програмуються одноразово програмовані ПЛІС?
4. Наведіть структуру перемички antifuse і поясніть принцип її утворення.
5. Як програмуються ПЛІС з використанням МОН-транзисторів з плаваючим затвором?
6. Як програмуються ПЛІС з використанням тригерної пам'яті конфігурації?
7. Охарактеризуйте логічну структуру ІС ПЛМ.
8. Наведіть схеми і поясніть принципи роботи логічних матриць у ПЛМ.
9. Які параметри характеризують ПЛМ?
10. Наведіть схему ПЛМ для реалізації логічних функцій у дужках і поясніть принцип її дії.
11. Охарактеризуйте логічну структуру ІС ПМЛ.
12. Поясніть принцип дії схеми з програмованим буфером.
13. Як працює схема з двоспрямованими виводами?
14. Наведіть схему і поясніть, як функціонує схема з пам'яттю?
15. Охарактеризуйте особливості ПЛІС типу CPLD
16. Яке призначення виконує та як функціонує програмована матриця з'єднань?
17. Наведіть структурну схему макроелемента та поясніть призначення його складових частин.
18. Наведіть структурну схему блоку введення/виведення та поясніть призначення його складових частин.

5 ПРОГРАМОВАНІ КОРИСТУВАЧЕМ ВЕНТИЛЬНІ МАТРИЦІ

Програмовані користувачем вентильні матриці (ПКВМ) мають архітектуру, подібну до БМК. ПКВМ містять багато ідентичних конфігурованих логічних блоків (КЛБ), між якими проходять канали для трасування, а на периферії розміщені блоки введення/виведення (БВВ). ПКВМ – це ПЛІС, що взагалі можуть не містити логічних матриць і належать до ПЛІС внаслідок можливості програмування користувачем. У зарубіжній літературі такі ПЛІС мають назву Field Programmable Gate Array (FPGA).

5.1 Логічні блоки FPGA

Як КЛБ використовують:

- пари транзисторів з каналами *p*-типу і каналами *n*-типу, прості логічні вентиля І-НІ, АБО-НІ тощо. Такі КЛБ мають назву прості логічні чарунки (SLC, Simple Logic Cells);
- логічні модулі на основі мультиплексорів;
- логічні модулі на основі програмованих ПЗП, які іменують таблиці відповідності або функціональні перетворювачі (LUTs – Look Up Tables).

Для характеристики КЛБ застосовують поняття «зернистість» або «гранульованість» (Granularity) і «функціональність» (Functionality). Перша властивість демонструє, наскільки дрібними є частини, з яких можливо реалізовувати потрібні схеми, друга – наскільки великі логічні можливості КЛБ.

Програмування «дрібнозернистих» кристалів здійснюється за допомогою перепалюваних перемичок (fuse) або нарощуваних перемичок – пробиваних діелектричних прошарків (antifuse).

ППВМ на основі «дрібнозернистих» логічних блоків мають топологію БМК з горизонтальними каналами трасування.

Прикладом найбільш дрібнозернистого КЛБ може бути КЛБ фірми Crosspoint Solutions (рис. 5.1). Блок містить ланцюжки транзисторів з каналами *p*- і *n*-типу. КЛБ – це пара транзисторів різного типу провідності, яка виділена прямокутником. Між рядками транзисторів розміщені канали для трасування, у яких реалізують потрібні міжз'єднання.

На рис. 5.2, а наведено схему логічного елемента 2І-НІ, а на рис. 5.2, б схему, що реалізує логічну функцію $F = x_1x_2 \vee x_3x_4$. Для реалізації цієї функції застосовано

три секції (рис. 5.1). Двійки транзисторів у прямокутниках зі штрихових ліній мають таку напругу на затворах, що є закритими. Таким чином відокремлюються ланки транзисторів одна від одної. За допомогою з'єднань у секції створено типовий для схемотехніки КМОН логічний елемент І-НІ. Ці чарунки з'єднані між собою, як показано на рис. 5.3 для отримання потрібної функції.

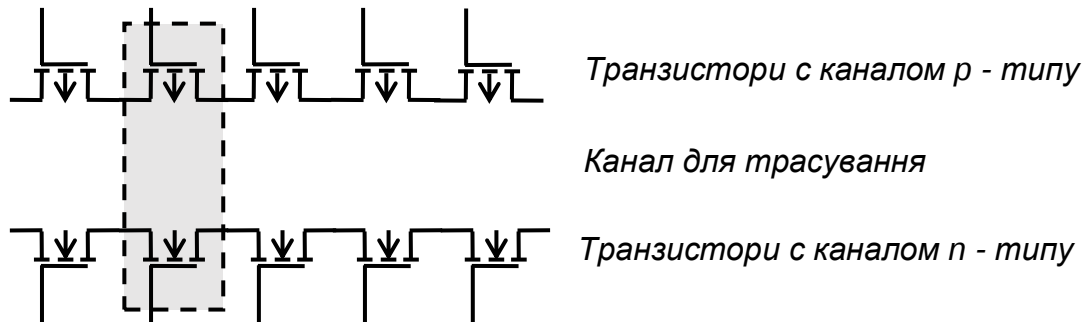
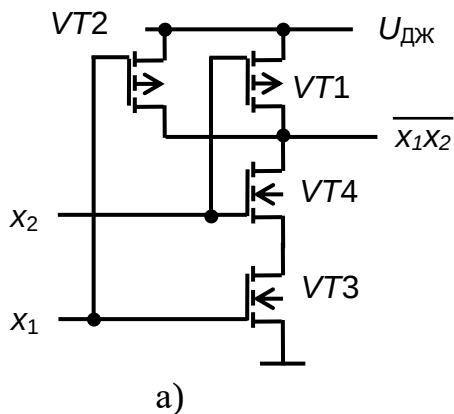
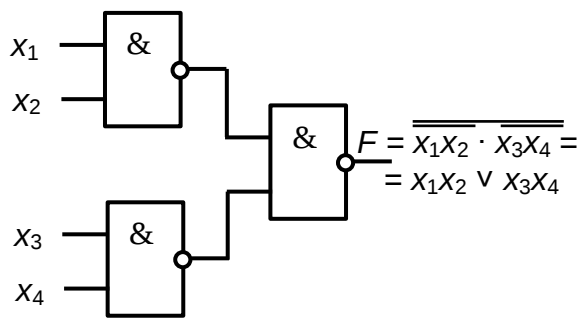


Рисунок 5.1 – Схема дрібнозернистого блоку



а)



б)

Рисунок 5.2 – Утворення потрібної логічної функції на КМОН-елементах:
а) схема логічного елемента 2І-НІ; б) схема, що реалізує функцію $F = x_1x_2 \vee x_3x_4$

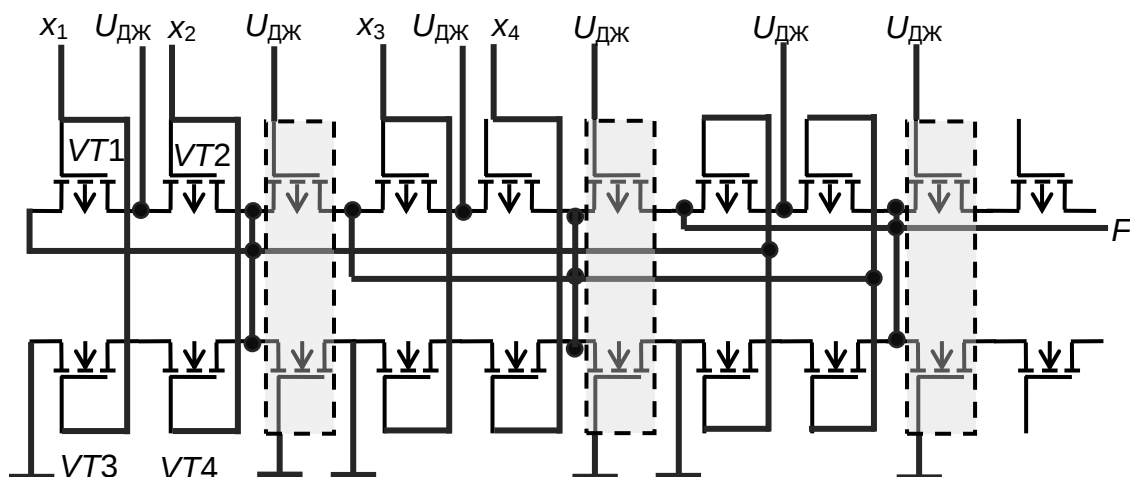


Рисунок 5.3 – З'єднання дрібнозернистих блоків для реалізації логічної функції $F = x_1x_2 \vee x_3x_4$

Мікросхеми на базі дрібнозернистих КЛБ мають більшу гнучкість використання, можливість реалізувати потрібні функції різними способами, отримати різноманітні варіанти у координатах «площа кристалу – швидкодія». Водночас вони мають складну систему міжз'єднань FPGA з великою кількістю програмованих точок зв'язку. Програмування «дрібнозернистих» кристалів здійснюється за допомогою перемичок, що перепалюються (fuse).

Плавкі перемички дуже компактні і на кристалі можна розмістити велику їх кількість, що забезпечує високу функціональну гнучкість цих пристроїв і значний коефіцієнт використання вентилів. Проте за однакових мінімальних технологічних розмірів ППВМ має менший ступінь інтеграції і більш низьку швидкодію, ніж БМК. Наприклад, ППВМ, виготовлені з мінімальним технологічним розміром 1 мкм, можуть містити до 10 тис. еквівалентних вентилів із частотою перемикання всередині кристалу від 80 до 100 МГц, а БМК можуть складатися з більш 100 тис. вентилів із внутрішньою частотою перемикання від 150 до 200 МГц. Метод плавких перемичок до сучасних ПЛІС не застосовують. Він наведений як елементарний приклад.

Фірма Actel у своєму сімействі мікросхем АСТ застосовує КЛБ на основі мультиплексорів (рис. 5.4). Функціональна характеристика для цього блоку має вигляд

$$F = \overline{S_0} \vee S_1 (\overline{S_A} A_0 \vee S_A A_1) \vee (S_0 \vee S_1) (\overline{S_B} B_0 \vee S_B B_1).$$

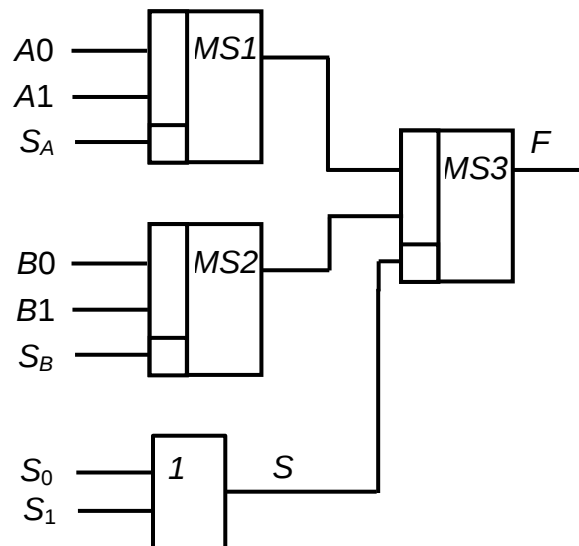


Рисунок 5.4 – Логічний блок мікросхеми FPGA фірми Actel на мультиплексорах

Залежно від значення сигналів на входах КЛБ, можливо реалізувати 702 відмінних комбінаційних функції. Для програмування фірма Actel застосовує свою фірмову технологію нарощування перемичок antifuse.

ПЛІС на основі нарощуваних перемичок мають ряд переваг:

- пристрої є енергонезалежними, тобто їх конфігураційні дані не стираються з відключенням живлення системи, вони готові до роботи відразу після підключення системи;
- не вимагають додаткової мікросхеми зовнішньої пам'яті для зберігання конфігураційних даних. Це дозволяє зменшити вартість всієї системи і зберегти вільне місце на друкованій платі;
- структура їх внутрішніх з'єднань є дійсно «наджорсткою», а також такі пристрої відносно стійкі до радіації;
- їх конфігураційні дані приховані глибоко всередині;
- навіть якщо пристрій буде розкритий, запрограмовані і незапрограмовані перемички залишаються ідентичними, до того ж той факт, що нарощувані перемички втоплені у внутрішніх шарах металізації, робить конструкцію недоступною для зворотного проектування.

Пристрої на нарощуваних перемичках є одноразово програмованими, і це їх головний недолік, оскільки, якщо ПЛІС вже була одного разу запрограмована, змінити її конфігурацію вже неможливо.

Мікросхеми FPGA на «великозернистих» КЛБ включають матрицю КЛБ, лінії зв'язку, які з'єднані між собою програмованими перемикаючими блоками (ППБ), та блоки введення/виведення (рис. 5.5).

Складні, «великозернисті», блоки містять складніші макроеlementи, які можна використовувати для побудови комбінаційних або послідовнісних логічних функцій. Наприклад, КЛБ сучасної ПЛІС фірми Xilinx складається з двох або чотирьох секцій. Кожна секція у свою чергу включає дві логічні чарунки (logic cell). Логічна чарунка містить 4-входову таблицю відповідності LUT, а також мультиплексор і тригер (рис. 5.6).

Схема, що наведена на рис. 5.6, дуже спрощена, але вона дає уяву про великозернисті КЛБ. Тригер може бути конфігурований для роботи як D-тригер або як тригер-клямка. Полярність тактового сигналу (реакція тригера на фронт або спад синхронізуючого імпульсу) може задаватися програмно, так само, як полярність сигналів «тактовий сигнал дозволено» і «встановлення/скидання» (активний високий або низький рівень). Таблиця відповідності LUT може працювати як ОЗП 16×1 біт або як 16-бітовий регістр зсуву. У межах секції можливо реалізувати синхронне ОЗП з організацією 16×2 біта або 32×1, або двопортове синхронне ОЗП розмірністю 16×1 біт.

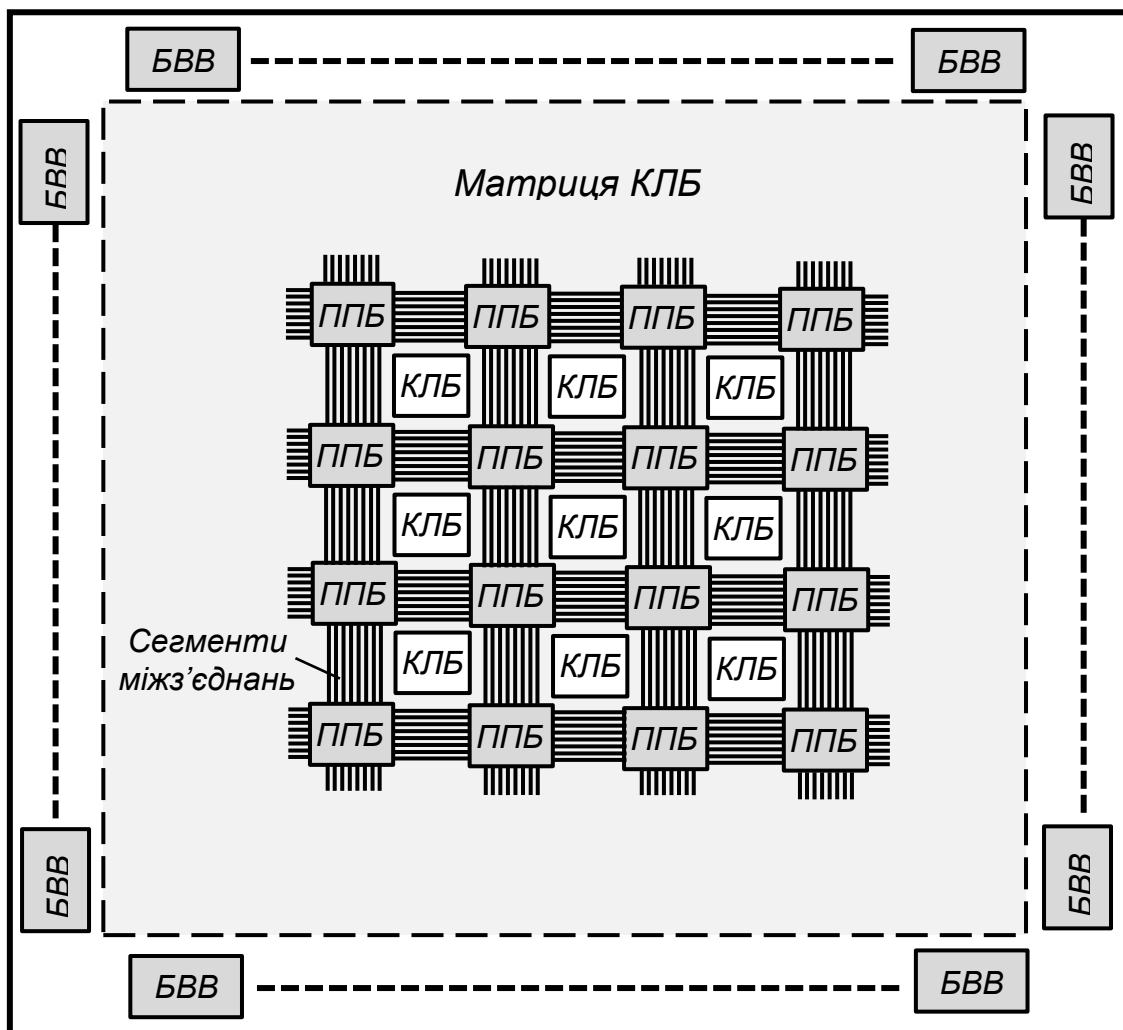


Рисунок 5.5 – Архітектура ПЛІС типу FPGA на «великозернистих» КЛБ

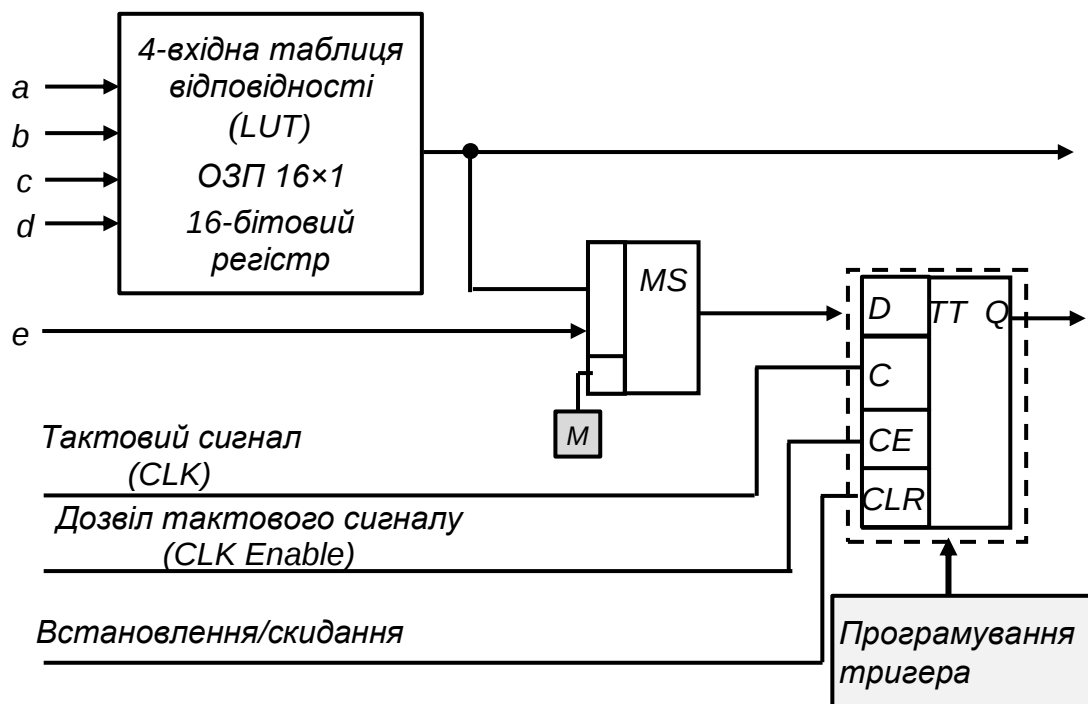


Рисунок 5.6 – Спрощена схема логічної чарунки, що входить до складу великозернистого КЛБ мікросхеми FPGA фірми Xilinx

Окрім таблиць відповідності, мультиплексорів і регістрів, логічні комірочки містять невелику кількість інших елементів, включаючи спеціальну логіку швидкого перенесення для використання в арифметичних діях. До складу кожного КЛБ входять також два буферних каскади з трьома станами, які підключені до внутрішніх шин. Необхідно відзначити, що таблиці відповідності, мультиплексори і регістри кожної логічної комірочки мають власні входи і виходи даних. Секція має загальні тактові сигнали, дозвіл тактових сигналів і встановлення/скидання для обох логічних комірок.

Таблиці відповідності, або табличні функціональні перетворювачі (ФП) (LUT, Look up Table – таблиця перекодування або таблиця відповідності), найбільш поширені у FPGA. Табличні ФП являють собою ППЗП, для яких аргументи логічної функції є адресою. Такий ЗП з організацією $2^m \times n$ має m адресних входів і n вихідних ліній. Можна зберігати таблицю для зчитування n функцій від m змінних.

Кожен 4-бітовий ФП може також використовуватися як 16-бітовий регістр зсуву. Для цього існують спеціальні з'єднання між логічними комірками всередині секції і між секціями, які дозволяють з'єднати останній біт одного регістру зсуву з першим бітом іншого регістру без залучення до цього процесу вихідних сигналів ФП. Останні також можуть використовуватися для перегляду вмісту визначеного біта в 16-бітовому регістрі. Це дозволяє за необхідності з'єднати разом таблиці відповідності усередині одного логічного блока і реалізувати регістр зсуву величиною до 128 біт.

Складність та функціональні можливості КЛБ змінюються з часом. На початку свого існування «велекозернисті» КЛБ містили дві тривходові таблиці відповідності і один регістр. Пізніше в них стали включати дві чотиривходові таблиці відповідності і два регістри. Далі кожен блок містив дві або чотири секції, кожна з яких складалася з двох чотиривходових таблиць відповідності і двох регістрів. І цей процес постійно триває.

Використовуючи конфігураційні логічні блоки, як приклад можна відзначити, що деякі ПЛІС фірми Xilinx містять по дві секції в кожному блоці, інші пристрої – по чотири секції в кожному блоці. КЛБ можна подати у вигляді чарунок програмованої логіки з програмованими з'єднаннями.

Усередині логічного блока знаходяться швидкі програмовані внутрішні з'єднання. Ці провідники використовуються для з'єднання сусідніх секцій (на рис. 5.6 для простоти викладення вони не показані).

Причина існування такої логіко-блокової ієрархії, тобто логічна комірочка – секція з двома логічними комірками – КЛБ з чотирма секціями, полягає у тому,

що вона доповнюється еквівалентною ієрархією внутрішніх з'єднань. Тобто, існують швидкі внутрішні з'єднання між логічними комірками усередині секції, потім менш швидкі з'єднання між секціями усередині логічного блока і з'єднання між блоками. Подібна ієрархія відображає покрокове досягнення оптимального компромісу між простотою з'єднання внутрішніх структур і надмірними затримками сигналу на внутрішніх з'єднаннях.

Ключовою особливістю сучасних ПЛІС є те, що вони містять спеціальну логіку і внутрішні з'єднання, необхідні для реалізації схем прискореного переносу.

Спеціальна логіка швидкого переносу і виділена маршрутизація сприяють виконанню логічних функцій, таких, як лічильники, і арифметичних функцій, таких, як суматори. Можливості схем прискореного переносу спільно з можливостями інших засобів, аналогічних регістрам зсуву на основі таблиць відповідності, вбудованим помножувачам та іншим блокам, забезпечують необхідний набір засобів для використання ПЛІС в додатках цифрової обробки сигналів (ЦОС).

Програмований БВВ включає тригери, мультиплексори, схему керування швидкістю зміни вихідних сигналів (Slew Rate Control, SRC) , вихідну схему з трьома станами (рис. 5.7).

Якщо схема налаштована на третій високоімпедансний Z-стан, вивід може працювати як вхід (запрограмований режим Input Select). Вхідний сигнал після нормуючого буферного підсилювача надходить у ПЛІС безпосередньо через мультиплексор або, якщо потрібно синхронізувати вхідний сигнал, через тригер, а потім вже через мультиплексор. Порогову напругу буферного підсилювача можливо запрограмувати на рівні TTL або КМОН. У режимі виходу (Output Select) напруга на зовнішній контактній площадці може приймати значення логічного нуля, логічної одиниці або стан високого імпедансу. Шлях проходження вихідного сигналу ПЛІС до виводу можна змінювати програмно. Залежно від програми сигнал на зовнішній вивід потрапляє різними шляхами:

- через схему керування швидкістю фронтів безпосередньо;
- через мультиплексор і схему керування швидкістю фронтів;
- через тригер, мультиплексор і схему керування швидкістю фронтів.

Можливо встановлювати початковий стан тригерів. Тригери можливо використовувати як регістри запису, зчитування або ступені зсувних регістрів.

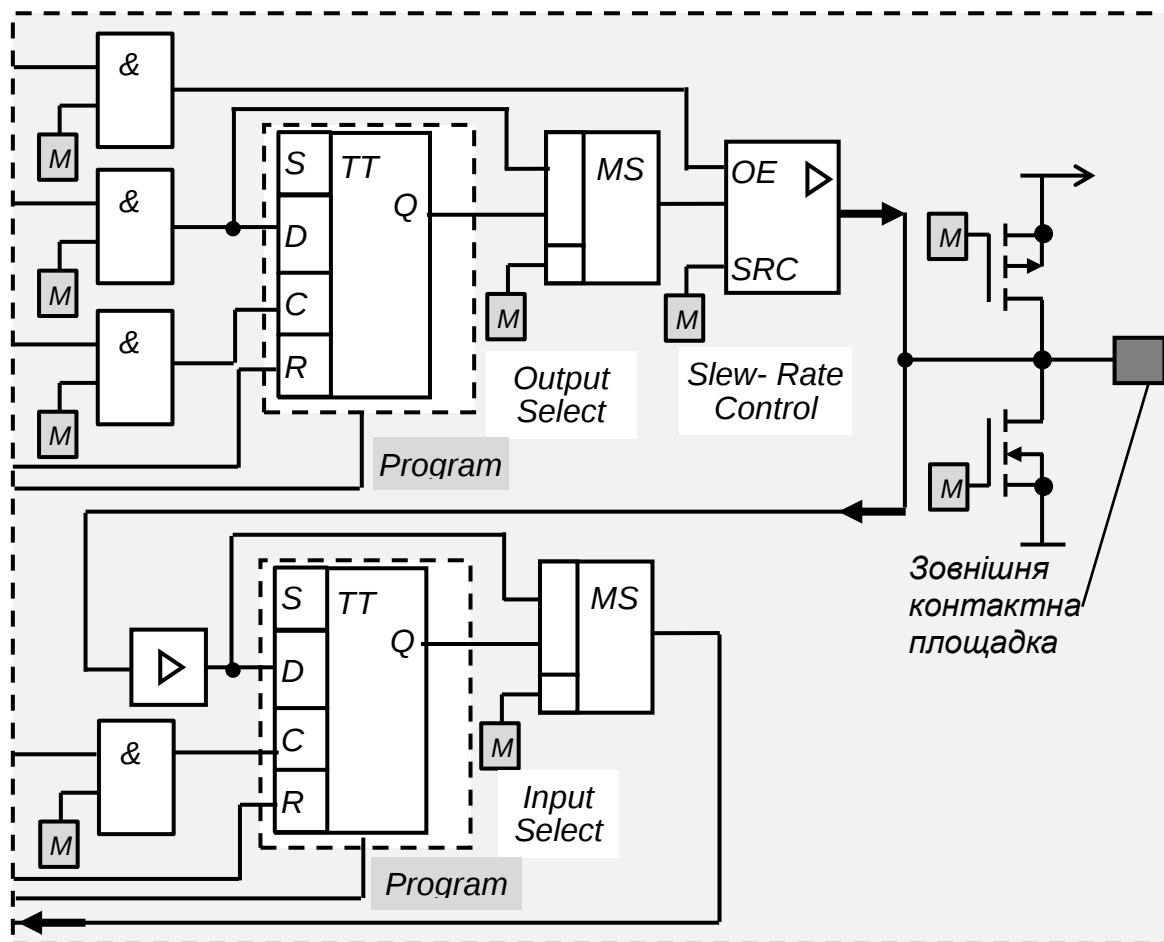


Рисунок 5.7 – Схема блоку введення/виведення

5.2 Система між'єднань FPGA

Для систем між'єднань FPGA властиві лінії зв'язку, що поділяються на сегменти. Сегмент складається з окремих провідних відрізків – це ділянка з'єднання різної довжини між програмованими перемикаючими блоками (ППБ). Сегменти з'єднуються у потрібне коло за допомогою програмованих ключів, які розташовані у ППБ. Невелика кількість сегментів веде до недостатньо ефективного використання КЛБ, надмірна велика – до появи великої кількості програмованих ключів у лініях зв'язку, що вносить додаткові затримки й витрати площі кристалу. Тому застосовують ієрархічну систему зв'язків з декількома типами між'єднань для передавання сигналів на різні відстані (основні зв'язки, зв'язки подвійної довжини, прямі зв'язки для блоків, що розташовані поряд, довгі лінії, які проходять через кристал по усій довжині та ширині).

Систему між'єднань FPGA утворюють сегменти ліній зв'язку і програмовані перемикаючі блоки, ППБ, (PSM, Programmable Switching Matrix).

Спрощену систему комутації наведено на рис. 5.8 на прикладі FPGA семейства XC4000 фірми Xilinx. Функціональні блоки мають квадратну геометричну форму, їхні виводи розміщені по усіх боках квадрату для полегшення розведення потрібних міжз'єднань.

У перетинаннях вертикальних і горизонтальних каналів розміщені ППБ (рис. 5.8). У межах ППБ перетинаються вертикальні та горизонтальні лінії зв'язку, у кожному перетинанні є коло з 6 транзисторів (рис. 5.9) для встановлення того чи іншого з'єднання. Сигнал, що надходить у ППБ якою завгодно лінією (наприклад, горизонтальною), можливо спрямувати вгору, вниз або прямо залежно від того, який транзистор буде відкрито в ході конфігурування FPGA. Можливе передавання сигналу декількома напрямками, якщо потрібно його відгалужування.

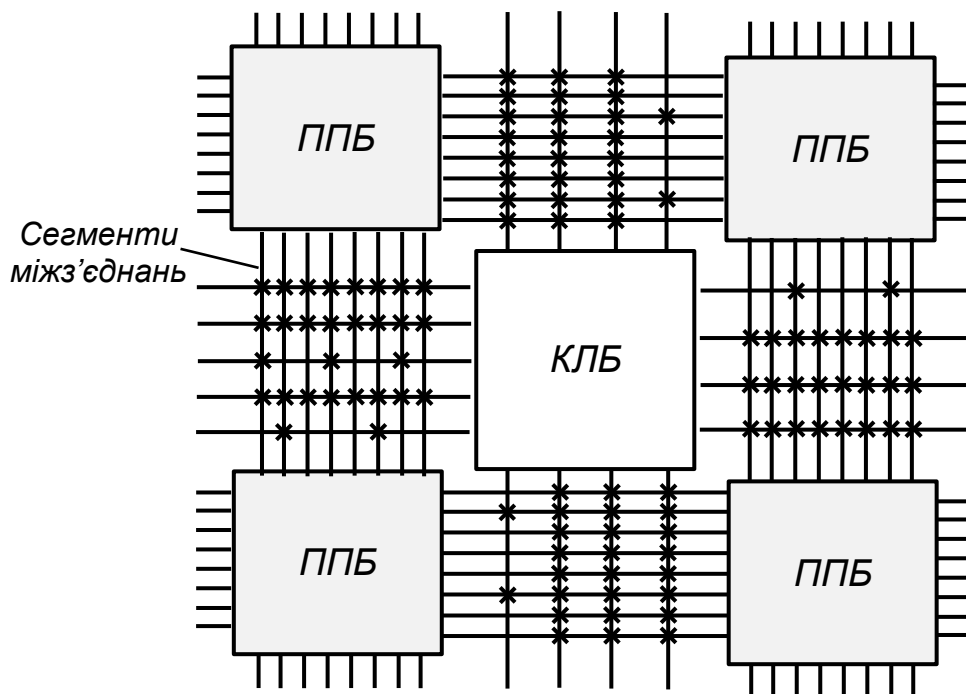


Рисунок 5.8 – Схема зв'язків загального призначення одинарної довжини FPGA фірми Xilinx

Лінії одинарної довжини здійснюють міжз'єднання сусідніх або близько розташованих функціональних блоків, лінії подвійної довжини оминають перемикаючі блоки, які є сусідніми відносно даного, і проходять до наступних, що полегшує встановлення довгих зв'язків (рис. 5.10). По три довгих лінії перетинають кристал у горизонтальному та вертикальному напрямках. Виводи КЛБ перетинають горизонтальні та вертикальні канали трасування і за допомогою програмованих точок зв'язку підключаються до ліній каналів.

Подальше спрямування сигналів у потрібні кола здійснюється програмованими перемикаючими блоками.

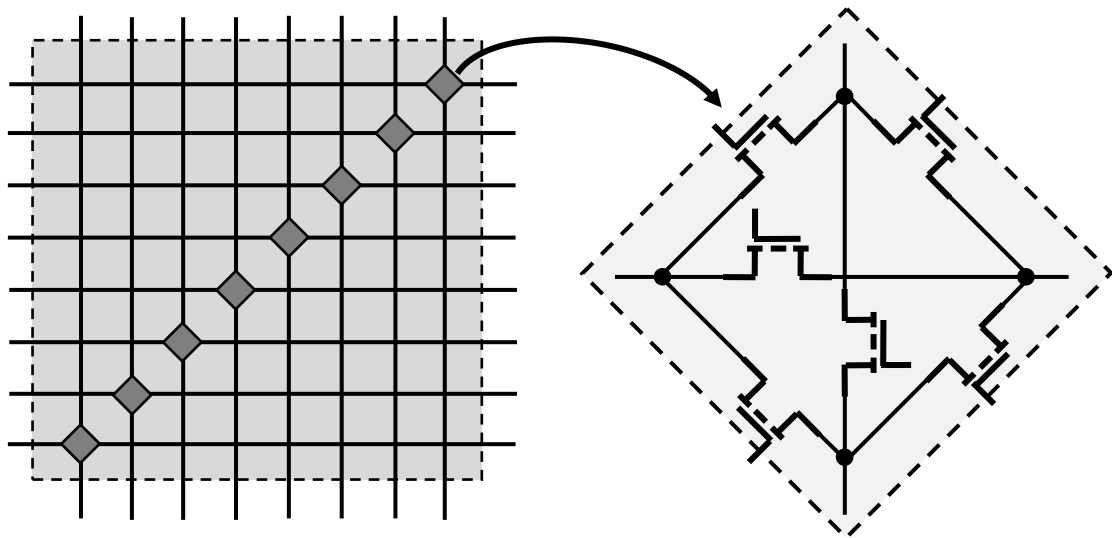


Рисунок 5.9 – Схема програмованого блока для встановлення з'єднань комутованих ліній FPGA фірми Xilinx

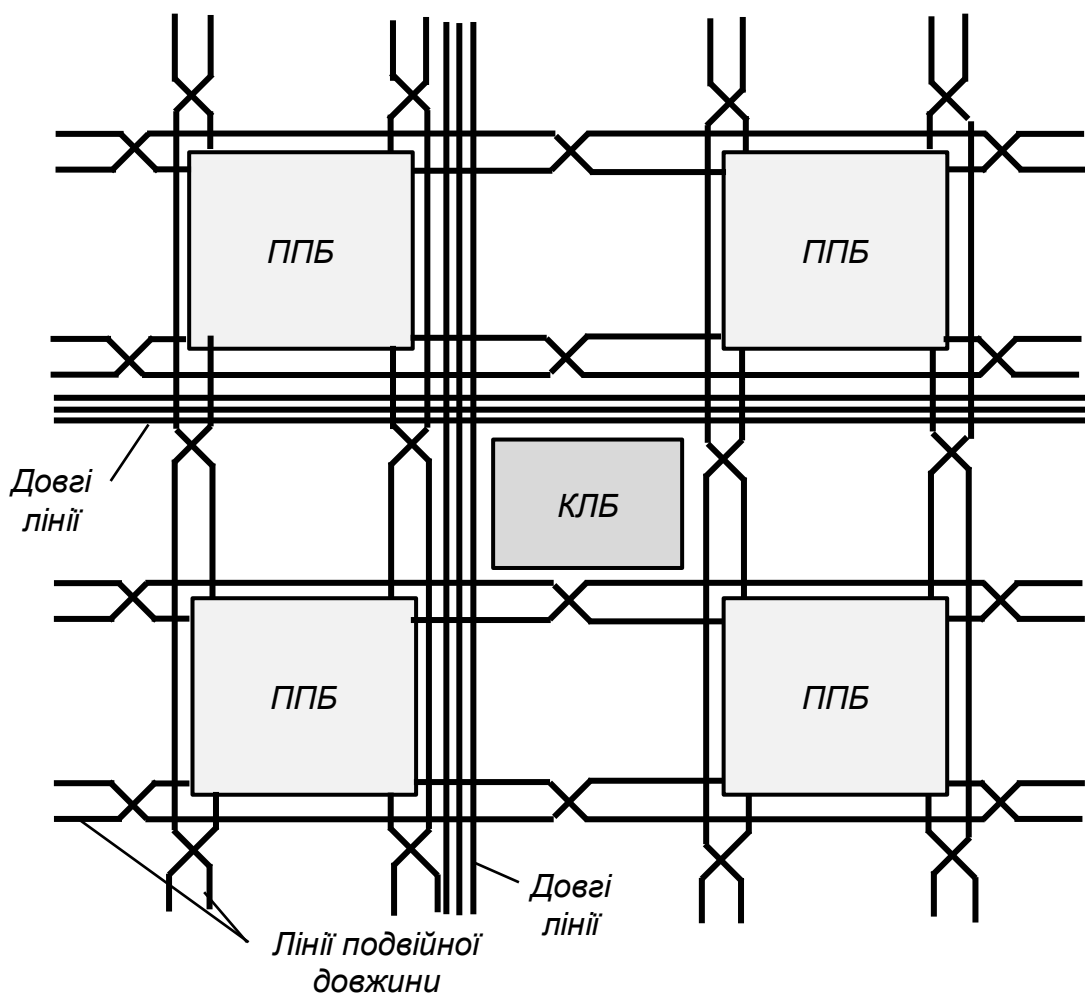


Рисунок 5.10 – Схема ліній зв'язку подвійної довжини і довгих ліній

Системи комутації КЛБ можуть мати додаткові трасувальні ресурси (наприклад, сімейство Spartan), які розміщені поза межами матриці КЛБ. Ці трасувальні ресурси дозволяють змінювати призначення виводів мікросхеми на виведення/введення і полегшують тим самим модифікацію проекту без перероблення друкованої плати.

Дворівнева архітектура і використання безперервної структури з'єднань на кожному рівні ієрархії забезпечує:

- високу швидкодію пристроїв, що реалізуються;
- можливість точного прогнозування затримки розповсюдження сигналів;
- високу швидкість автоматичного розведення НВІС;
- можливість розміщення виводів НВІС відповідно до вимог розробника.

Табличні ФП реалізують на основі статичного ОЗП.

Конфігурація ПЛІС з крупнозернистими блоками робиться елементами СОЗП-тригерною пам'яттю, розподіленою по усьому кристалу.

Цей спосіб конфігурації характерний для FPGA.

Його перевагами є багатократне використання кристала у разі експериментального налаштування та модифікації системи.

Недоліки:

- необхідність зовнішніх пристроїв, в яких зберігається програма конфігурації;
- можливість копіювання програми конфігурації під час завантаження;
- в процесі безперервної довготривалої роботи можливі часткові порушення конфігурації;
- збільшення струму живлення під час завантаження.

Лідером у виробництві однократно програмованих FPGA вважають Actel, а у виробництві FPGA з тригерною пам'яттю конфігурування – фірму Xilinx.

5.3 Приклади мікросхем FPGA середньої складності

Типовими представниками недорогих FPGA з тригерною пам'яттю конфігурації є мікросхеми Cyclon фірми Altera та Spartan фірми Xilinx.

Характеристика FPGA Cyclone компанії Altera

Прилади Cyclone пропонують дешеву альтернативу наступному поколінню обладнань, які нині використовують схеми на замовлення ASIC низької і середньої вартості. Зараз системні розробники все частіше стикаються із різноманітними труднощами, основними з яких є збільшення ціни і

складності проектування, нові стандарти і швидший цикл розробки. У процесі розробки схем на замовлення залучається безліч технічних ресурсів, проводяться складні процеси моделювання і перевірки розробки, відбуваються декілька циклів доведення. З використанням пристроїв Cyclone з можливостями інтегрування системного рівня усуваються дорогі одноразові витрати на проектування, вимоги до мінімального замовлення, ризик затримки продукції, який буває під час розробки схем на замовлення. Системні розробники з використанням Cyclone отримують певну більш дешеву альтернативу програмованій логіці, такої, як схеми на замовлення, для своїх масових проектів.

Сімейство Cyclone сьогодні – це найдешевше сімейство FPGA. Прилади Cyclone містять оптимальний набір властивостей для масового застосування чутливою до цін обладнання, такого, як автоелектроніка.

Виконані за технологією з мідними шарами, пристрої Cyclone мають логічну ємність від 2900 до 20060 логічних елементів та вбудовану пам'ять, ємністю майже 300 Кбіт. Пристрої Cyclone підтримують різні стандарти введення/виведення, такі як LVTTTL, LVCMOS, PCI, SSTL-2/3 і LVDS з підтримкою до 129 каналів, кожен з яких може працювати зі швидкостями 311Мбіт / с. Пристрої Cyclone містять в своєму складі виділене коло для підключення зовнішньої пам'яті DDR SDRAM і FCRAM. Пристрої Cyclone мають до двох кіл ФАПЧ (PLL) на кристалі та ієрархічну структуру тактових сигналів, пропонуючи широкі можливості управління тактовими сигналами на рівні кристалу або плати. Комбінація цих властивостей та ефективної архітектури роблять сімейство Cyclone найбільш гнучкою і недорогою альтернативою схем на замовлення ASIC.

Софт-процесор Nios для вбудованих застосувань і повний набір інтелектуальних продуктів Altera доступні для проектування з пристроями Cyclone. Сімейство Cyclone включене у програмне забезпечення Quartus II Web Edition – безкоштовне програмне забезпечення, яке доступне на сайті компанії Altera.

Хоча пристрої Cyclone використовують ті самі основні блоки, що й сімейство Stratix, вони не є переробленою версією напівфункціональних кристалів Stratix. Пристрої Cyclone розроблялися з нуля, використовуючи ті самі нововведення, що підвищують і знижують займану площу, які присутні у пристроях Stratix.

Архітектура Cyclone містить вертикально впорядковані логічні елементи, блоки вбудованої пам'яті і ланцюги PLL, які оточені елементами введення/виведення (рис. 5.11). Високоєфективна система міжз'єднань і

структура тактових сигналів з малим фазовим зрушенням забезпечують зв'язок між цими елементами для передачі тактових сигналів і даних.

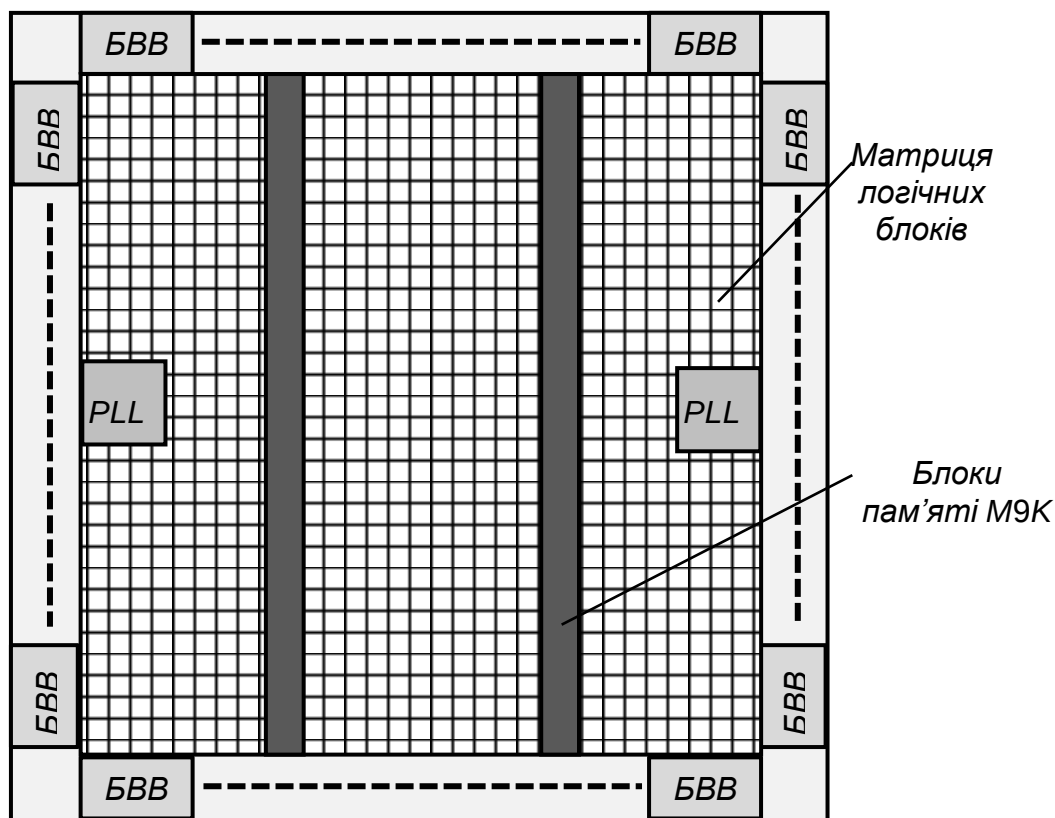


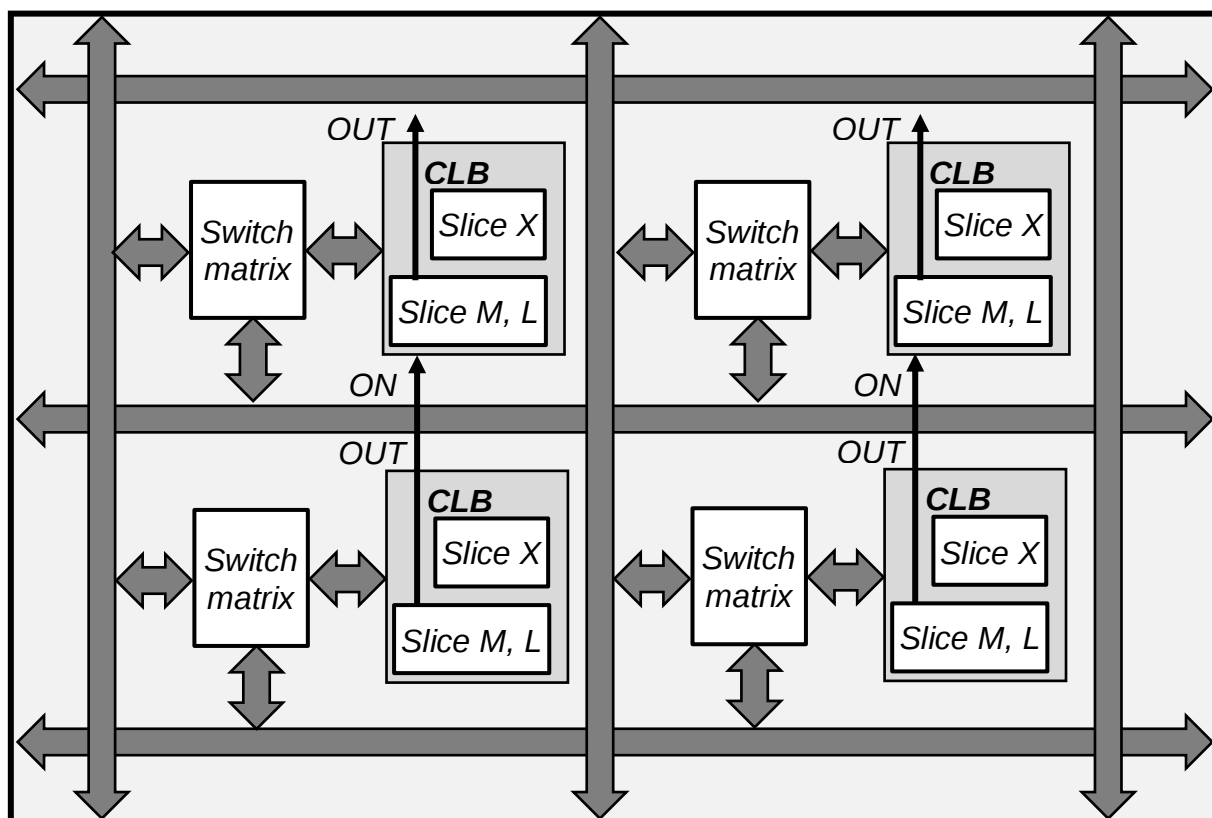
Рисунок 5.11 – Архітектура мікросхеми сімейства Cyclone

Елементи введення/виведення групуються в банки введення/виведення, які розташовуються навколо пристрою, забезпечуючи високу продуктивність за мінімального розміру розташування на кристалі. Елементи введення/виведення підтримують великий діапазон несиметричних і диференціальних стандартів введення/виведення, таких, як стандарт LVDS зі швидкостями передачі до 311 Мбіт/с. Кожен елемент вводу/виводу містить три регістри для реалізації застосувань з подвійною швидкістю передачі даних і ланцюг для таких властивостей вводу/виводу, як програмована інтенсивність сигналу, утримання шини і програмована швидкість наростання сигналу.

Пристрої Cyclone підтримують різні стандарти введення/виведення, такі як LVTTTL, LVCMOS, PCI, SSTL-2/3 і LVDS з підтримкою до 129 каналів, кожен з яких може працювати зі швидкостями 311 Мбіт/с. Деякі банки введення/виведення містять спеціальне коло для підключення зовнішньої пам'яті. Це коло полегшує передачу даних зовнішнім пристроям таким, як DDR SDRAM і FCRAM. Максимальна швидкість передачі даних досягає 266 Мбіт/с (за тактової частоти 133 МГц).

Пристрої Cyclone сумісні зі стандартом PCI 32-bit / 66 МГц і підтримують специфікацію 2.1. Кожен елемент вводу/виводу забезпечує кілька шляхів від виводу до ядра, що дозволяє задовольнити задані вимоги до часу установки і затримки.

Характеристика FPGA Spartan-6 фірмиXilinx



Сімейство Spartan-6 забезпечує провідні можливості системної інтеграції для складних проектів за досить низької собівартості. Spartan-6 має щільність упаковки у діапазоні від 3840 до 101261 логічних елементів, які швидше взаємодіють, ніж у попередніх сімействах. Сімейство ПЛІС Spartan-6 побудовано на технології 45 нм із мідною металізацією. Завдяки цьому забезпечується оптимальний баланс вартості, потужності і продуктивності. Дане сімейство містить більше ефективну дворежимну таблицю відповідності LUT, яка має шість входів, і велику кількість вбудованих системних блоків. До них належать 2 блоки ОЗП (по 9 Кбіт) другого покоління DSP48A1.

контролери пам'яті SDRAM, вдосконалені блоки управління тактовим змішаним режимом, технологія SelectIO, високошвидкісні послідовні блоки приймачів, які сумісні із PCI Express, розширені режими управління живленням на рівні системи, автоматичне визначення параметрів конфігурації, розширений захист IP за допомогою захисту AES і пристрою DNA. Ці функції забезпечують дешеву програмовану альтернативу користувацьким ASIC. FPGA Spartan-6 є достатньо оптимальним варіантом для вирішення багатьох задач, де необхідні ПЛІС із логічними схемами великого об'єму, високопродуктивними процесорами DSP тощо.

Ефективне поєднання апаратної і програмної частин сімейства ПЛІС FPGA Spartan-6 для більшої інтеграції має такі особливості:

- 1) завдяки цьому зростає продуктивність системи з ефективною дворегістровою таблицею відповідності LUT, яка має шість входів;
- 2) PCI Express із інтегрованими блоками;
- 3) підключення восьми малопотужних (по 150 мВ кожний) 3.2 Гбіт/с GTP послідовних приймачів;
- 4) підтримка швидкості доступу до 800 Мбіт/с, використовуючи вбудовані контролери пам'яті;
- 5) вбудовані DSP-блоки, які використовують малопотужні 390 МГц секції цифрової обробки сигналів DSP48A1 із блоками перемножувачів 18x18;
- 6) використання працюючих на декількох напругах мультистандартних SelectIO блоків із дешевими HSTL та SSTL інтерфейсами пам'яті;
- 7) блоки керування синхронізацією, які складаються з двох DCMs і одного PLL;
- 8) тактова частота 1000МГц.

Диференціація продуктів за рахунок ефективного керування живленням:

- 1) використання перевіреної технології 45 нм із низьким енергоспоживанням;
- 2) керування енергоспоживанням за допомогою напруги живлення ядра 1.2 В (висока продуктивність) або 1.0 В (енергоефективність);
- 3) підтримка стану і конфігурації з багатовивідною покращеною системою контролю виходу з режиму очікування;
- 4) досягнення нульового енергоспоживання завдяки інтелектуальному режиму сну.

Легко задовольняє вимогам системного рівня:

- 1) використання локального схову даних із двопортовими блоками пам'яті RAM (18 Кбіт кожен);

- 2) проектування системи із підтримкою близько 40 стандартів і протоколів введення/виведення;
- 3) покращена безпека IP із AES і Device DNA Security;
- 4) створення вбудованих систем з використанням софт-процесора MicroBlaze 7.0 з MMU і FPU для кращої функціональності й підтримки ОС;
- 5) використання корпусів для поверхневого монтажу (RoHS) та несвинцевого лудіння (Pb-free);
- 6) прискорений доступ до пам'яті за допомогою апаратного контролера пам'яті DRAM із полосною пропускання 12.8 Гбіт/с.

Платформи і рішення:

- 1) LX – оптимізовані для виконання логічних функцій;
- 2) LXT – оптимізовані для високошвидкісних послідовних інтерфейсів.

Кожен конфігурований логічний блок CLB сімейства підключений до трасувальної матриці, має коло перенесення від сусіднього CLB та має дві секції Slice: один SLICEX і один SLICEM або SLICEL (рис. 5.13).

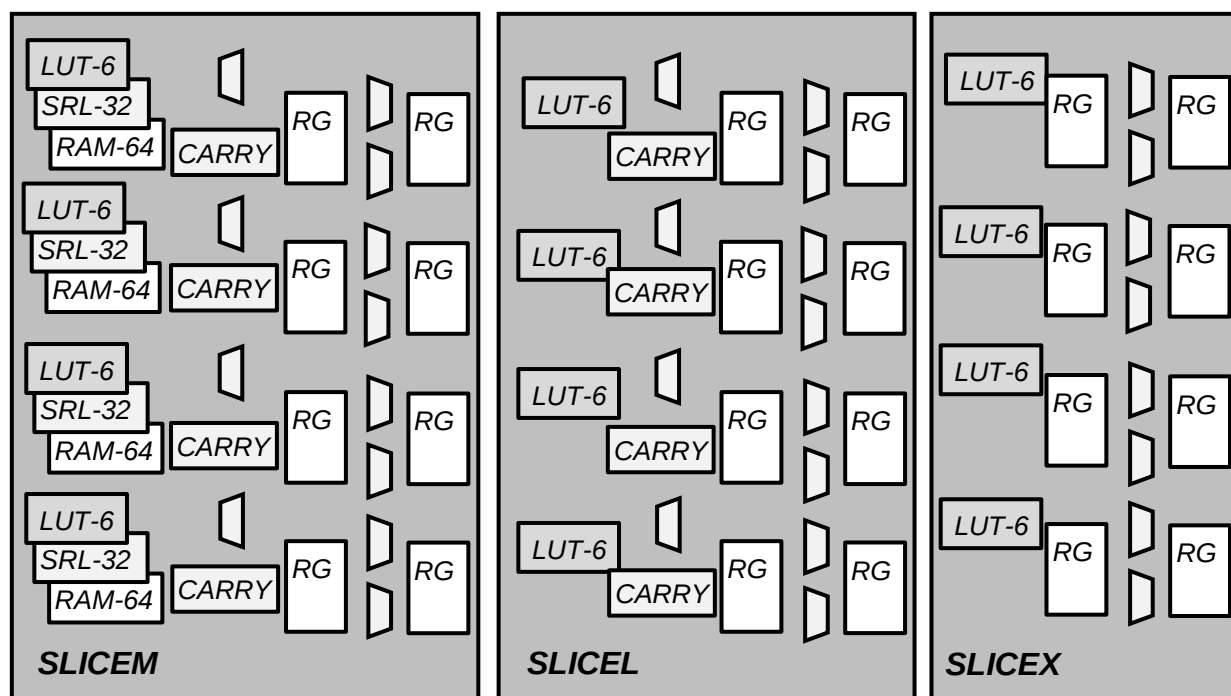


Рисунок 5.13 – Спрощене графічне зображення компонентів секцій сімейства Spartan-6

Найбільш складна секція SLICEM містить такі компоненти:

- 1) 4 таблиці перетворення LUT-6, кожна з яких має шість входів і може конфігуруватися як 4 регістри по 32 розряди, що можуть використовуватися як регістри зсуву;

- 2) 4 блоки розподіленої пам'яті RAM по 64 біти кожен (загалом 256 біт);
- 3) кола швидкого переносу CARRY, які потрібні для побудови суматорів;
- 4) розширювані мультиплексори MUX;
- 5) 8 регістрів для зберігання результату.

Таблиці відповідності LUT у блоках CLB можуть реалізовувати будь-яку булеву функцію шести змінних. Мультиплексори-розширювачі MUX дозволяють об'єднувати виходи таблиць LUT для отримання функцій 7 і 8 змінних. Крім того 8 тригерів, 4 з яких конфігуруються як D-тригер для зберігання результату таблиці LUT або як тригер-клямка, який перемикається за рівнем тактового сигналу. На відміну від сімейства Spartan-3 є 4 додаткових тригери, для зберігання проміжних результатів. Регістри зсуву SRL-32 є 32-розрядними. Розподілена пам'ять RAM реалізована у вигляді блоків по 64 біт, тому з однієї секції SLICE можна отримувати до 256 біт пам'яті. Така пам'ять корисна для маленьких буферів або регістрових файлів, якщо необхідний великий об'єм – необхідно використовувати блочну пам'ять (Block RAM) об'єм якої збільшено у сімействі Spartan-6.

У Spartan-6, як і у Spartan-3, мають два апаратних перемножувачі 18 на 18 біт і 48-бітовий акумулятор, але їх максимальна тактова частота збільшена до 390 МГц. Spartan-6 містить апаратні контролери, які дозволяють підключати зовнішню пам'ять DDR, DDR-2, DDR-3, LPDDR (Low power DDR). Внаслідок цього з'явилася можливість за допомогою вбудованого САПР інструменту «MIG Generator» реалізувати в ПЛІС SDRAM контролер. Крім того, всі ПЛІС Spartan-6 LXT містять апаратне ядро PCI Express v 1.1, яке дозволяє організувати з'єднання не тільки з комп'ютером, але і між двома ПЛІС.

Одна із відмінних характеристик ПЛІС – це можливість організації швидкісного обміну даними. Мікросхеми серії Spartan-6 LXT містять від 2 до 8 високошвидкісних приймачів-передавачів, кожен з яких дозволяє організувати передачу даних послідовним диференціальним інтерфейсом зі швидкістю до 3.125 Гбіт/с.

Суттєвою перевагою ПЛІС цього сімейства є можливість програмної реалізації процесора MicroBlaze. Відповідно, у даному сімействі оновлені версії IP-ядер і модернізований пакет проектування XPS-EDK. Зокрема, Xilinx почали активно впроваджувати у свої пакети із MicroBlaze шину AXI із архітектурою ARM [21].

5.4 Програмовані логічні схеми з комбінованою архітектурою

У мікросхемах CPLD перших поколінь більшість внутрішніх логічних блоків не мали прямих контактів з зовнішніми виводами, що значно обмежувало їх застосування під час проектування систем з багаторівневою логікою.

Новим досягненням в архітектурі ПЛІС CPLD і FPGA стало сімейство Spartan – 3AN, де пам'ять конфігурації було розміщено на кристалі ПЛІС. Конфігуровані блоки, блоки вбудованої пам'яті, перемножувачі та інші програмовані ресурси відповідають попередньому сімейству Spartan 3, а відмінністю є розміщення конфігураційної флеш-пам'яті безпосередньо на кристалі. Безпосередня комутація програмованих елементів налаштування ПЛІС відбувається елементами статичного ОЗП (SRAM), які розміщені по усьому кристалу. Об'єм флеш-пам'яті дозволяє розмістити декілька конфігураційних послідовностей та частину пам'яті виділити для потреб користувача. З частиною флеш-пам'яті споживача можливий зв'язок інтерфейсом SPI. З'являється можливість збереження таблиць, налагоджень, коефіцієнтів і навіть програм конфігурованого процесора. В останньому випадку ПЛІС перетворюється у контролер.

Переваги розміщення конфігураційної пам'яті на кристалі:

- зменшення кількості мікросхем за рахунок відмови від зовнішньої мікросхеми ПЗП;
- підвищення швидкодії передачі даних і надійності, наскільки з'єднання, які розміщені на кристалі, меншою мірою підпадають впливу завад, ніж провідники на друкованій платі;
- підвищення надійності та повноти процесу моделювання, оскільки характеристики вбудованого ПЗП відомі програмному забезпеченню;
- спрощується топологія друкованої плати внаслідок відсутності з'єднань конфігураційного зовнішнього ПЗП з ПЛІС;
- спрощення завантаження даних користувача у флеш-пам'ять (дані користувача можливо скомпонувати з конфігураційною послідовністю і завантажити через інтерфейс JTAG);
- значне підвищення захищеності проекту, неможливість завантаження конфігураційної послідовності однієї ПЛІС в іншу мікросхему, що має інший заводський індексаційний номер; саму конфігураційну послідовність не можливо зчитувати безпосередньо з друкованих провідників.

Подальший розвиток програмовані IC типу CPLD отримали у сімействах MAX II та MAX V. Для реалізації логічної схеми, що потрібна споживачу,

застосовується двовимірна архітектура на основі рядків та стовпців. Рядки та стовпці забезпечують безперервне з'єднання сигналів між матричними логічними блоками(5.1).

Мікросхеми сімейства MAX II, MAX V і MAX 10

Подальший розвиток програмовані IC типу CPLD отримали у сімействах MAX II та MAX V. Мікросхеми сімейства MAX II і MAX V займають проміжну ланку між класичними CPLD та FPGA-мікросхемами. Як і всі CPLD мікросхеми сімейств MAX, конфігураційну інформацію зберігають у внутрішній Flash-пам'яті і для цих мікросхем зовнішній ПЗП для зберігання конфігурації не потрібен. Логічний елемент мікросхем MAX подібний до логічних елементів мікросхем FPGA. Також у мікросхемах сімейств MAX використовується архітектура програмованої матриці зв'язків, подібна до FPGA (рис. 5.14).

Для реалізації логічної схеми, що потрібна споживачу, застосовується двовимірна архітектура на основі рядків і стовпців. Рядки та стовпці забезпечують безперервне з'єднання сигналів між матричними логічними блоками замість однієї загальної матриці (рис. 5.15). Це дозволяє значно зменшити розмір кристалу зі збільшенням кількості логічних блоків порівняно з класичними CPLD.

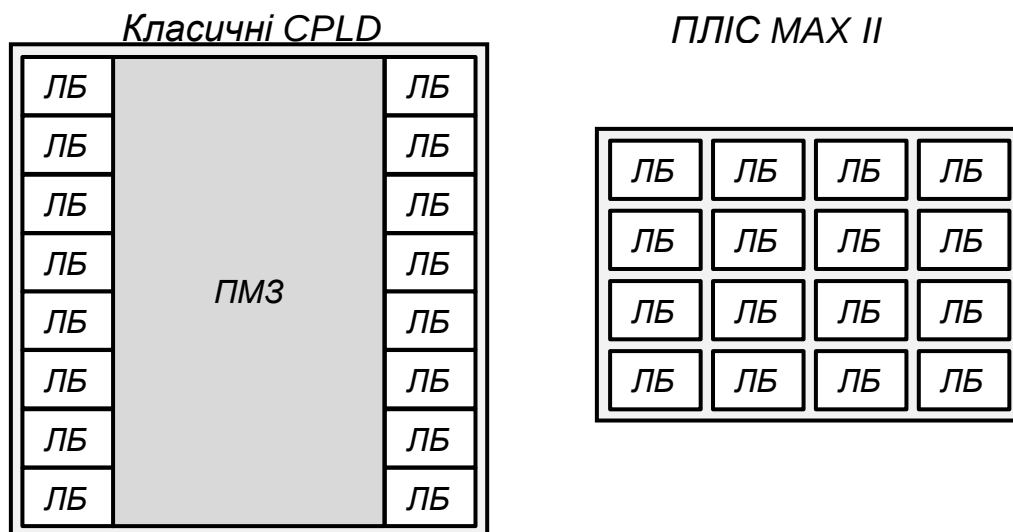


Рисунок 5.14 – Порівняння площі кристалу для класичних CPLD та MAXII

Кожен матричний логічний блок, МЛБ, (Logic Array Block, LAB) містить 10 логічних елементів, ЛЕ, (Logic Element, LE). ЛЕ є невеликим логічним пристроєм, який забезпечує ефективне виконання логічних функцій

користувача. ЛЕ згруповані у рядки та стовпці на усьому кристалі (рис. 5.16). Міжз'єднання MultiTrack забезпечує час затримки між МЛБ, який швидко визначається під час проектування. Швидка маршрутизація між ЛЕ забезпечує мінімальний час затримки під час виходу на більш високий логічний рівень трасування структур.

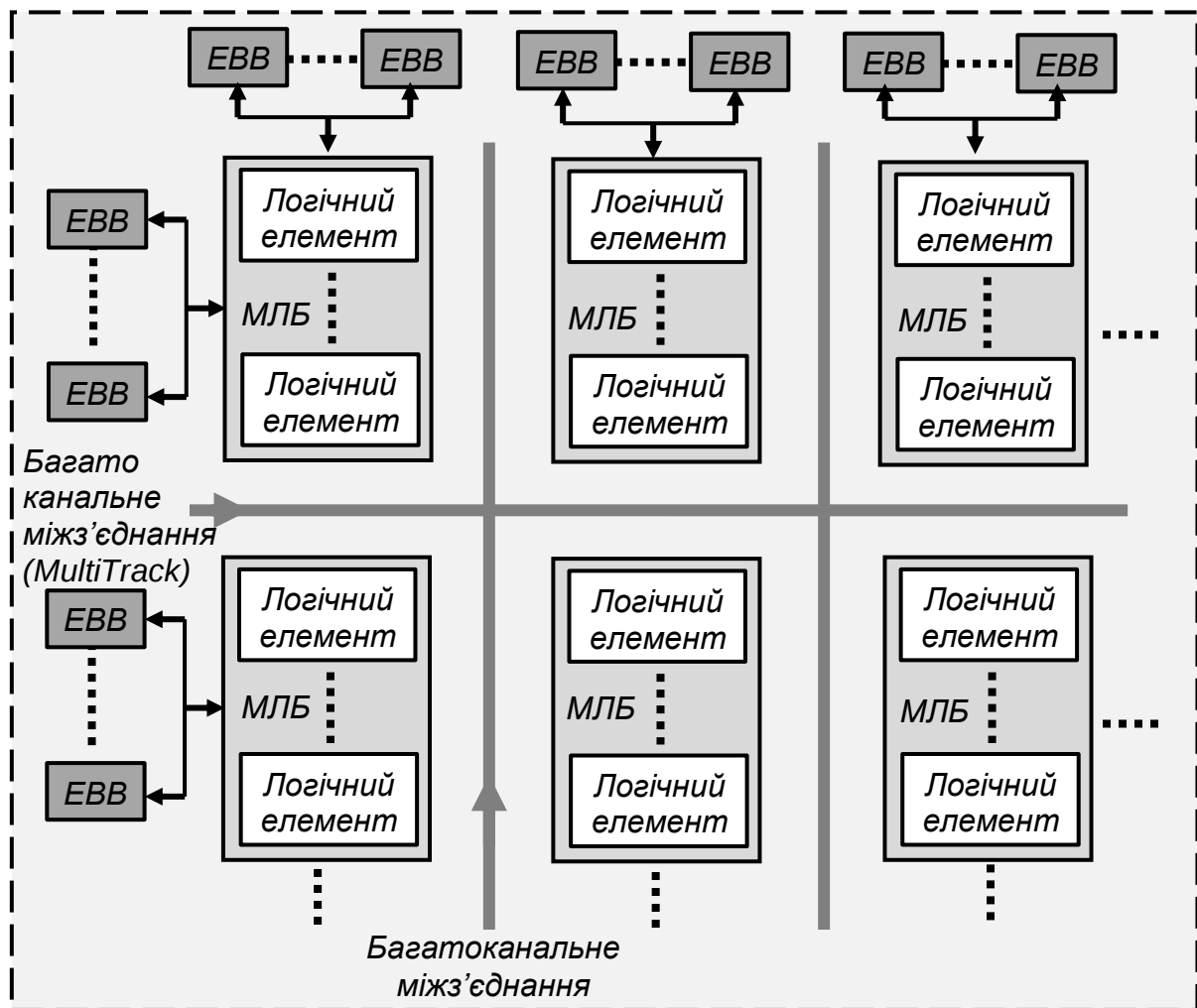


Рисунок 5.15 – Архітектура ПЛІС сімейства MAX

Елементи вводу/виводу, ЕВВ, (I/O elements, IOE) розміщені по периферії наприкінці каналів рядків та стовпців і з'єднані з контактами входів/виходів. Кожен ЕВВ містить двоспрямований буфер введення/виведення, що має додаткові можливості. Можливо налаштувати за входом як тригер Шмітта, забезпечити рівні напруги відповідно до стандартів 32-бітний PCI™ і LVTTTL.

ПЛІС MAX має мережу глобальної синхронізації. Глобальна мережа синхронізації складається з чотирьох ліній, що проходять через увесь кристал і забезпечують синхронізацію усіх ресурсів. Можливо застосувати мережу

глобальної синхронізації для сигналів керування таких, як очищення, передне становлення або дозвіл виходу.

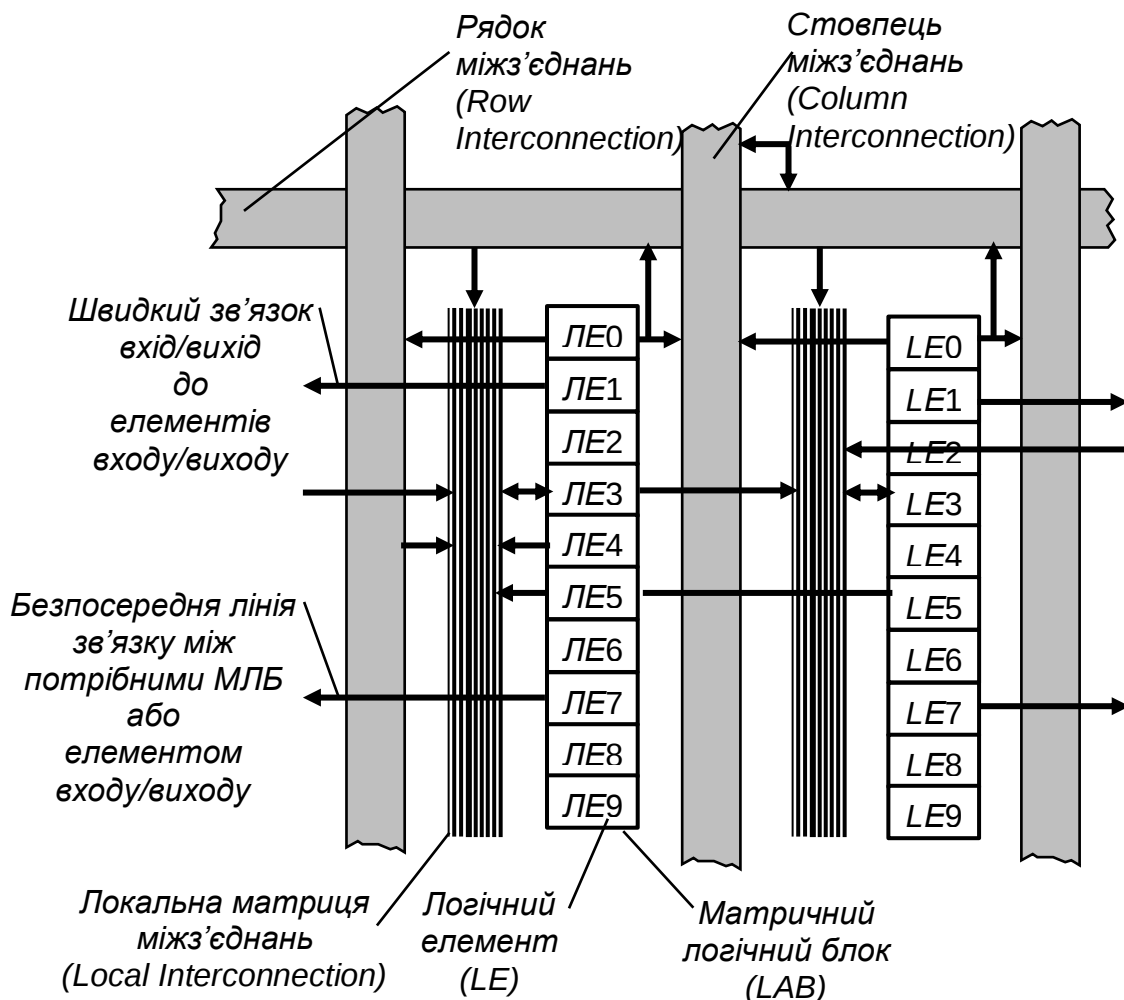


Рисунок 5.16 – Структура МЛБ у ПЛІС МАХ

ПЛІС МАХ містить блок флеш-пам'яті, що займає окрему область на кристалі (рис. 5.17).

Більшу частину площі флеш-пам'яті займає флеш-пам'ять конфігурації, ФПК, (Configuration Flash Memory, CFM). Блок ФПК забезпечує енергонезалежне збереження інформації усіх тригерів конфігурування (SRAM). ФПК після увімкнення джерела живлення автоматично завантажує і налаштовує логічні схеми, тим самим забезпечує миттєву готовність до функціонування. Частину флеш-пам'яті виокремлено під невеликий блок для даних споживача, ФПС, (User Flash Memory, UFM). ФПС забезпечує програмування порту зв'язку з логічним масивом для зчитування і запису.

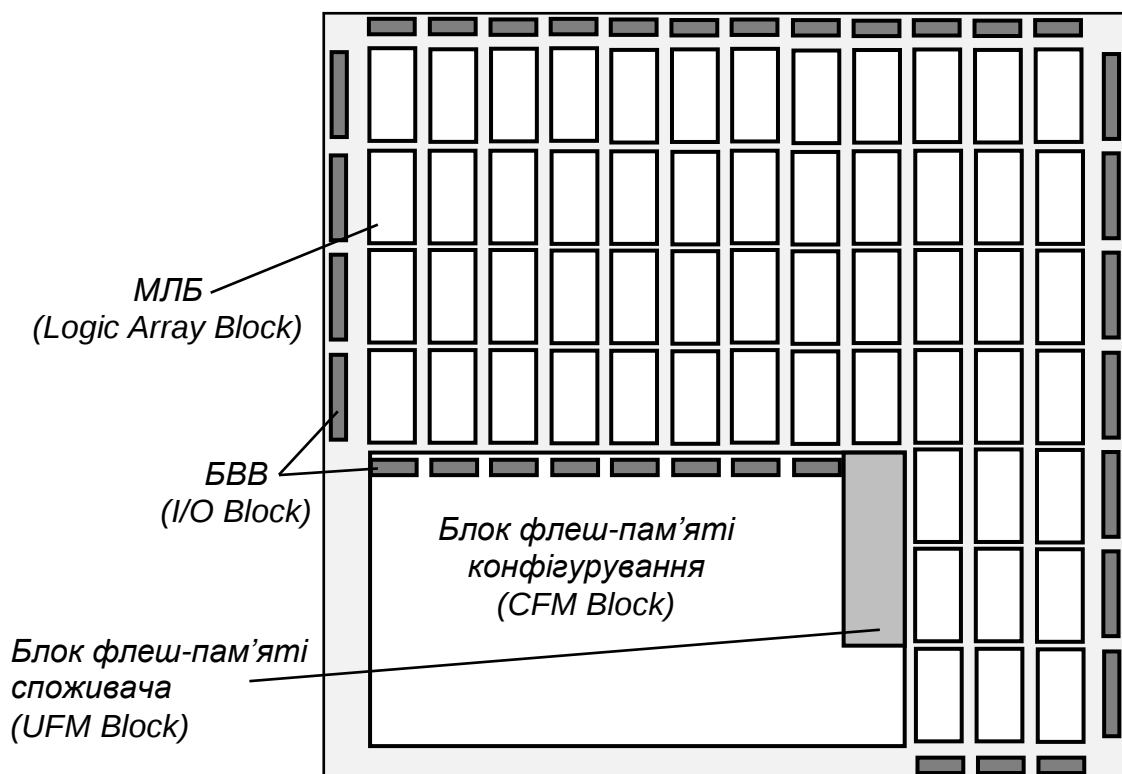


Рисунок 5.17 – Розміщення функціональних блоків на кристалі ПЛІС типу MAX

Матричний логічний блок (LAB)

Кожен МЛБ включає 10 ЛЕ, які зв'язані між собою керуючими сигналами МЛБ, локальною матрицею між'єднань, таблицею відповідності (look-up table, LUT), тригером у колі ліній зв'язку. Існує 26 можливостей для окремого доступу у МЛБ та 10 локальних кіл місцевого зворотного зв'язку у цьому МЛБ. Локальна матриця між'єднань перетворює сигнали між ЛЕ у відповідному МЛБ. Таблиця відповідності LUT також використовується для швидкої послідовної передачі сигналів від одного ЛЕ до іншого ЛЕ у межах МЛБ. Тригери у ЛЕ можливо об'єднати у регістр відповідно до потреб у межах МЛБ.

Програмне забезпечення Quartus® II забезпечує вибір відповідної логіки у межах МЛБ або потрібних МЛБ, які розташовані впритул, із використанням локальної матриці між'єднань, таблиці відповідності, тригерів для формування з'єднань, що забезпечують високу продуктивність та ефективне використання площі кристала.

Логічний елемент

Найдрібнішим елементом є ЛЕ (рис. 5.18). До складу ЛЕ входять таблиця відповідності LUT на 4 входи, яка може реалізувати будь-яку функцію чотирьох змінних, програмований тригер і кола керування з налаштування його

типу. Поодинокий ЛЕ підтримує арифметичні дії (додавання або віднімання) з однорозрядними змінними. Кожен ЛЕ забезпечено міжз'єднаннями усіх типів: локальними, з рядками, зі стовпцями, з тригером, таблицею відмінності, прямими зв'язками з потрібним ЛМБ або БВВ.

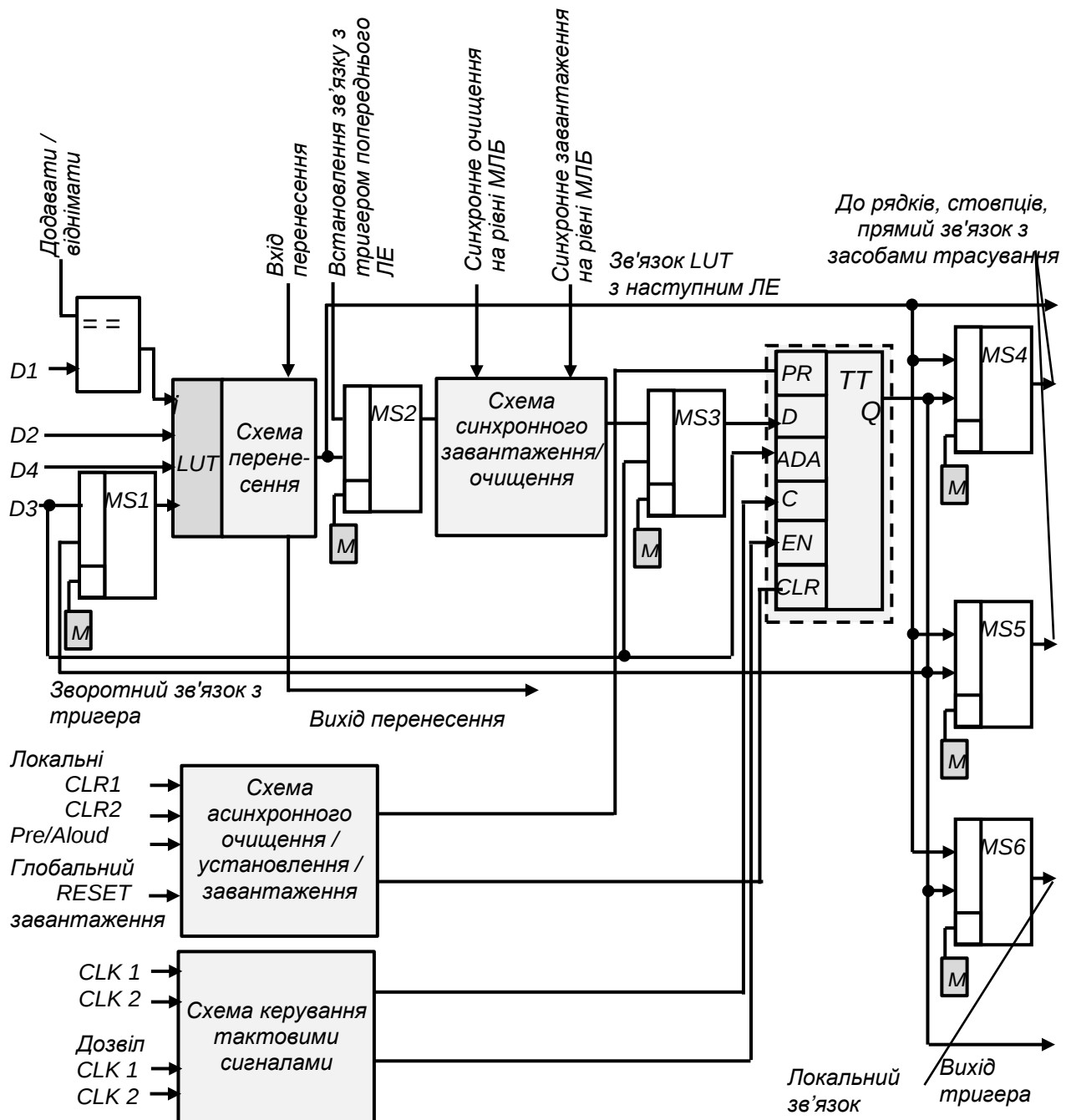


Рисунок 5.18 – Схема логічного елемента ПЛІС типу MAX

Тригер можливо конфігурувати на виконання функцій D-, T-, JK- або SR-тригера. Тригер працює у режимах зберігання даних, асинхронного завантаження даних, синхронізації тактовими сигналами, дозволу синхронізації,

очищення (скидання), асинхронного попереднього завантаження за входом. Сигнали синхронізації або керуванням очищення можуть бути глобальними, надходити з контактів введення/виведення загального призначення (GPIO) або з будь-якого іншого ЛЕ.

Сигнали на дозвіл синхронізації, попереднього встановлення, асинхронного завантаження типу тригера, даних можливо подавати також з контактів GPIO або з будь-якого іншого ЛЕ. Асинхронне введення даних відбувається через вхід D3. Сигнал з функціонального перетворювача LUT подається на вихід ЛЕ безпосередньо або через мультиплексор MS4. Кожний ЛЕ має два виходи – до рядка, стовпця і лінії безпосереднього зв'язку між ЛЕ і один вихід локальний для об'єднання внутрішніх ресурсів ЛЕ. Ця конфігурація дозволяє незалежно направляти вихід LUT через один мультиплексор, а вихід тригера через інший, що дозволяє водночас використовувати тригер і LUT для непов'язаних функцій. В іншому режимі вихідний сигнал тригера через коло зворотного зв'язку надходить у LUT. На результат на виході LUT впливає вхідна комбінація і стан тригера.

Логічний елемент може функціонувати у двох режимах:

«Нормальний режим»;

«Динамічний арифметичний режим».

У кожному режимі ресурси ЛЕ використовуються по-різному. В арифметичному режимі застосовуються сигнали «додавання/віднімання». САПР Quartus II спільно з параметризованими функціями з функціональної бібліотеки параметризованих модулів автоматично обирає відповідний режим для реалізації загальних функцій (лічильники, суматори, арифметичні функції).

Нормальний режим застосовується для реалізації загальної логіки та комбінаційних логічних функцій. Вхідні сигнали надходять на чотири входи LUT від локальної матриці міжз'єднань. Асинхронне завантаження даних тригера відбувається за входом D3. Підтримується конфігурування типу тригера. Вихідний сигнал LUT можливо передати безпосередньо у наступний ЛЕ цього МЛБ. Компілятор САПР Quartus II автоматично обирає використовувати сигнал зі входу D3 або сигнал зворотного зв'язку з тригера.

Динамічний арифметичний режим ідеально годиться для реалізації суматорів, лічильників, акумуляторів, великого кола функцій та компараторів. У цьому режимі LUT за допомогою сигналів «додавання/віднімання» налаштовується на виконання арифметичних дій з логічними сигналами.

ЛЕ у динамічному арифметичному режимі використовує 4 схеми LUT з двома входами, які налаштовані для підсумовування/віднімання. Перші два

двоходові LUT обчислюють суму і за результатом можливо встановити тригер у відповідний стан зберігати результат скільки потрібно, або вивести його з ЛЕ; інші два LUT генерують вихідні сигнали перенесення і формують кола для перенесення: окремо коло для перенесення «1» і окремо коло для перенесення «0». Це значно прискорює проходження сигналів.

Внутрішні між'єднання МЛБ дозволяють керувати режимом функціонування тригера: вмиканням тактових імпульсів, сигналом дозволу синхронізації, перемиканням тригера переднім або заднім фронтами тактових імпульсів. Глобальними сигналами можливо синхронно завантажувати і очищати усі тригери, що входять до складу МЛБ.

САПР Quartus II автоматично визначає тригери, що не використовуються у лічильниках у інших МЛБ. На основі вільних ЛЕ можливо конфігурувати різні типи схем пам'яті:

- FIFO з синхронними режимами запису/зчитування;
- FIFO з асинхронними режимами запису/зчитування;
- статичні оперативні запам'ятовувальні пристрої, СОЗП, (SRAM);
- зсувні регістри.

Елемент введення/виведення

Структури введення/виведення підтримують багато функцій, до яких належать:

- підтримка вхідних/вихідних сигналів стандартів LVTTTL, LVCMOS, LVDS і RSDS;
- інтерфейс JTAG і підтримує периферійне тестування (BST);
- програмовану потужність сигналів керування;
- підтягуючі резистори, що вмикаються на час підключення та програмування;
- керування швидкістю змінювання сигналу;
- буфер з виходом на три стани з окремим входом для керування;
- схему утримання останнього стану шини;
- програмований резистор, що з'єднується з шиною джерела живлення у відповідному режимі;
- сигнал дозволу виходу окремого виводу;
- вихід з відкритим стоком;
- тригер Шмідта на вході;
- з'єднання для швидкого введення/виведення;

– програмування затримки введення.

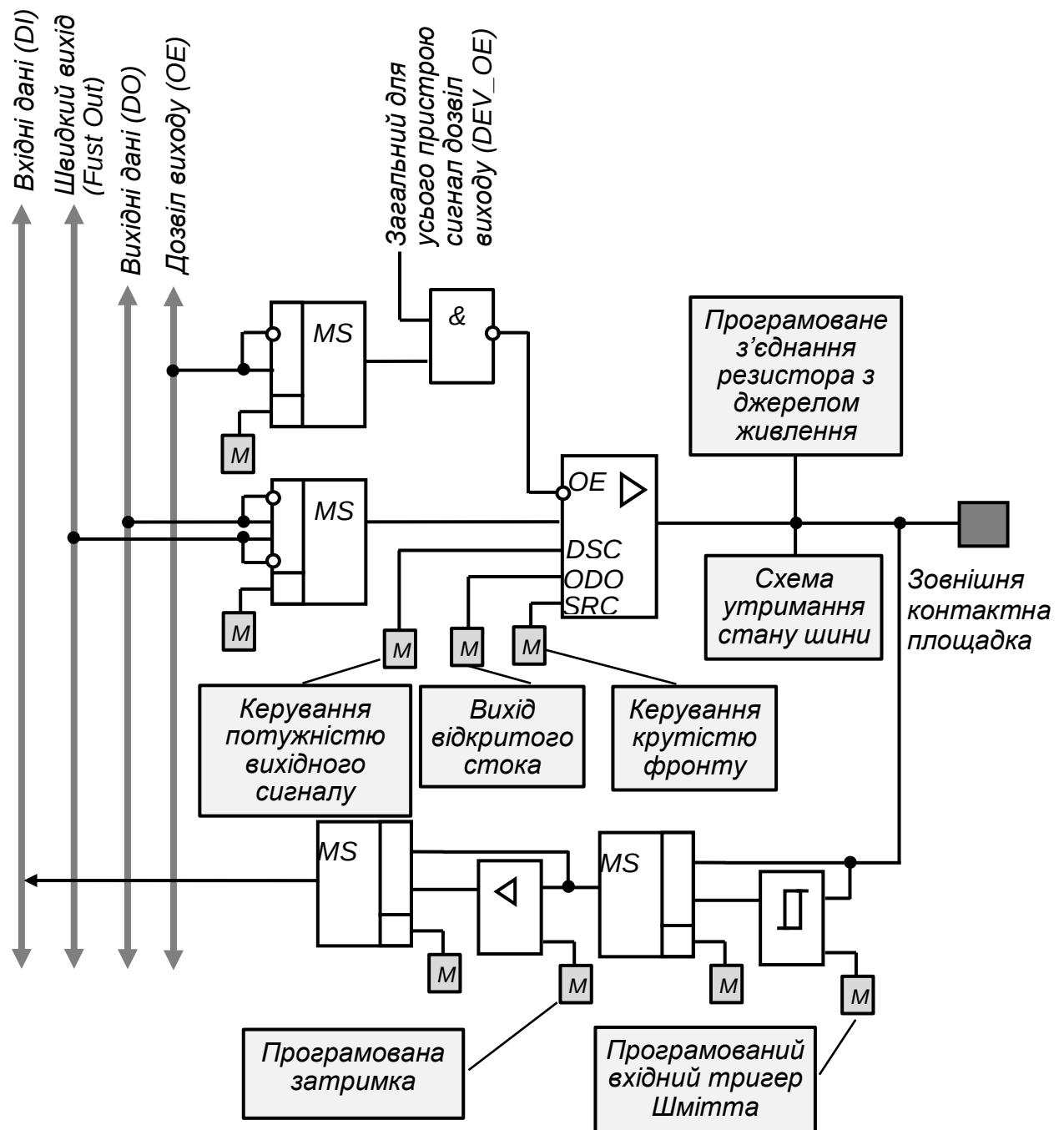


Рисунок 5.19 – Схема елемента введення/виведення ПЛІС типу MAX

Елементи введення/виведення (ЕВВ) містять двоспрямований буфер. Тригери потрібних МЛБ можна підключити до двоспрямованих буферів БВВ або їх обійти. Програмне забезпечення Quartus II автоматично обирає для відповідних МЛБ швидке підключення вихідних синхросигналів і сигналів дозволу виходу. За умови увімкнення швидкого встановлення стану тригерів Quartus II автоматично з'єднує їх так, щоб отримати нульовий час затримки між

сигналами. Програмне забезпечення Quartus II дозволяє встановлювати потрібний час фронтів вхідних/вихідних сигналів, що зменшує рівень завад у зовнішніх і внутрішніх колах.

Обрані з'єднання швидкого Введення/Виведення у ЕВВ забезпечують меншу затримку сигналів синхронізації і менший час затримки поширення сигналу. Цей зв'язок існує тільки для вихідного сигналу даних і не існує для вхідних сигналів.

Тригер Шмідта може працювати з сигналами стандартів 3,3 В КМОН і 2,5 В КМОН. Тригер Шмідта дозволяє зменшити крутість переднього фронту сигналу і підвищити крутість заднього фронту. Найголовніше тригери Шмідта мають гістерезис для ліквідації шумів та завад у вхідному сигналі, що змінюється поволі, та знищення дзвону та осциляцій, які можуть виникнути від вхідного сигналу у внутрішніх колах.

Станом вихідного буфера кожного ЕВВ можливо керувати. Сигнал дозволу виходу (OE) може бути глобальним або надходити по шині MultiTrack. Сигнал, що надходить по шині MultiTrack, дозволяє увімкнути окремий вихідний або двоспрямований вивід. Мікросхема також забезпечує загальний сигнал дозволу виходу (DEV OE) для кожного виводу у процесі проектування. У цьому випадку застосовуються внутрішні ресурси трасування без використання будь якого із глобальних ресурсів. Коли сигнал DEV_OE включено усі виходи кристалу функціонують нормально. Коли сигнал DEV_OE виключено усі виходи можуть приймати три стани. І режим роботи буфера є доступним для користувача і задається користувачем.

У ПЛІС типу MAX ЕВВ об'єднуються у банки (рис. 5.20). Залежно від типу мікросхеми кількість банків два або чотири.

У кожному банку ЕВВ підтримують різні типи інтерфейсів:

- однопровідні: 1,2-В, 1,5-В, 1,8-В, 2,5-В і 3,3-В;
- диференціальні інтерфейси (LVTTTL, LVCMOS, LVDS, RSDS).

Проте інтерфейси повинні мати однакову напругу живлення. Наприклад, якщо банк підключено до напруги живлення 3,3 В, то він підтримує інтерфейси LVTTTL, LVCMOS і PCIз напругою живлення 3,3 В на вході та виході буфера.

Для інтерфейсу PCI виділені окремі контакти, які не можна застосовувати як постійні контакти введення/виведення. Контакти TMS, TDI, TDO і TCK підтримують усі стандарти, що наведені у табл. 5.1 окрім PCI і 1,2-В LVCMOS. Ці контакти знаходяться у банку 1 усіх мікросхем.

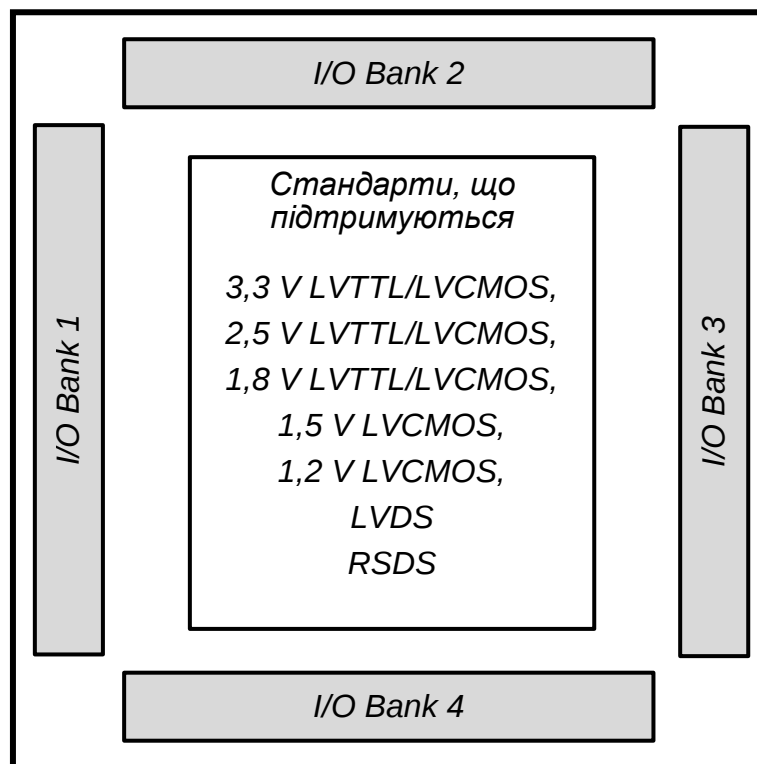


Рисунок 5.20 – Розміщення банків входу/виходу на кристалі ПЛІС типу MAX

Таблиця 5.1 – Стандарти інтерфейсів, які підтримують EBВ

Стандарт інтерфейсу	Тип	Напруга джерела живлення, В
3,3 V LVTTL/LVCMOS	Однопровідний	3,3
2,5 V LVTTL/LVCMOS	Однопровідний	2,5
1,8 V LVTTL/LVCMOS	Однопровідний	1,8
1,5 V LVCMOS	Однопровідний	1,5
1,2 V LVCMOS,	Однопровідний	1,2
3,3 V PCI	Однопровідний	3,3
LVDS	Діференціальний	2,5
RSDS	Діференціальний	2,5

Сімейство MAX V включає сім типів мікросхем, що містять від 40 до 2210 ЛЕ і до 271 EBВ, які забезпечують програмовані рішення з розширення можливостей введення/виведення, шин і протоколів обміну, моніторинг і керування потужністю, керування конфігуруванням ІС типу FPGA та аналоговими ІС.

Час затримки поширення сигналу від контакту до контакту через пристрій по діагоналі і комбінаційну логіку LUT та МЛБ, що примикає до цього виводу, залежно від типу мікросхеми становить 6,5 – 9 нс. Максимальна

глобальна тактова частота обмежується стандартом тактової частоти на виводі – 152 МГц або 304 МГц.

Мікросхеми мають інтерфейс JTAG і дозволяють гаряче увімкнення.

Особливості архітектури відносно інших мікросхем CPLD:

- можливість застосування ЛЕ як пам'яті (ОЗП);
- цифрове фазове автопідстроювання частоти (DPLL);
- інтегрований тактовий генератор;
- підтримка рівнів сигналу на лініях вводу/виводу 1,2 В (LVCMOS);
- емуляція LVDS виходу.

Переваги мікросхем сімейства MAX V:

- низька вартість системи, у якій застосовано мікросхеми внаслідок того, що можливо реалізувати у мікросхемі більшість функцій, для яких раніше були потрібні зовнішні компоненти дискретної логіки;
- у більшості випадків знадобиться один компонент – джерело живлення;
- довготривалий час роботи від автономного джерела живлення (потужність споживання у статичному режимі 45 мкВт);
- невеликі розміри корпусу (не більше 20×20 мм).

Енергонезалежне сімейство ПЛІС MAX 10

Продовженням сімейств MAX є серія Intel® MAX® 10 FPGA. Фірма Altera випустила це сімейство вже як підрозділ фірми Intel. НВІС програмованої логіки MAX 10 має високий ступінь інтеграції, підтримує ряд розширених функціональних можливостей, включаючи блоки цифрової обробки сигналів (DSP-блоки), аналогові схеми, 32-бітний софт-процесор Nios® II та інтерфейс зовнішньої пам'яті. Мікросхеми сімейства MAX 10 можна віднести до програмованих систем на кристалі.

Сімейство ПЛІС MAX 10 складають мікросхеми і програмовані системи на кристалі (ПСК) PSoC FPGA. Мікросхеми виконані за технологією 55 нм з вбудованою FLASH-пам'яттю конфігурації типу NOR компанії TSMC. Розміщення функціональних елементів на кристалі ПЛІС типу MAX 10 наведено на рис. 5.21.

Основні особливості сімейства MAX 10:

- кількість еквівалентних логічних елементів від 2000 до 50000;
- блок флеш-пам'яті користувача (UFM);
- блок флеш-пам'яті конфігурування (CFM);
- аналоговий блок, що містить до двох АЦП та давач температури;
- блоки ЦОС і блоки вбудованої статичної пам'яті (M9K);

- інтерфейс зовнішньої пам'яті (SRAM, DDR2, DDR3, LPDDR2);
- процесор Nios® II, який реалізується програмно за потреби;
- генератор тактових сигналів і система фазового автопідстроювання частоти (PLL);
- вбудований перетворювач напруги;
- присутність Вх/Вих загального призначення;
- присутність Вх/Вих швидкісних LVDS;
- до 500 виводів користувача.

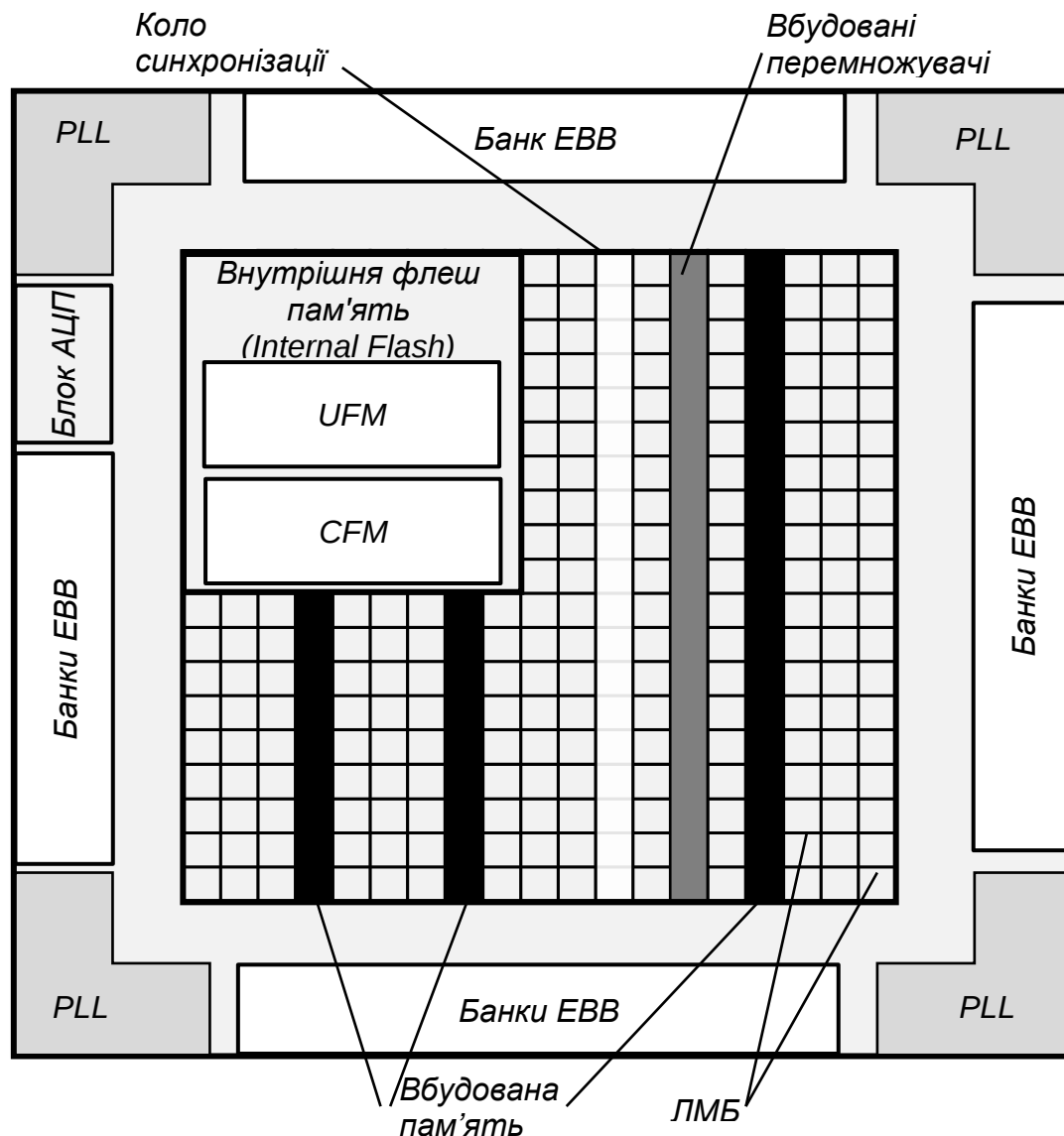


Рисунок 5.21 – Архітектура кристалу ПЛІС типу MAX 10

Як і у попередніх сімействах MAX II та MAX V програма конфігурації зберігається у флеш-пам'яті і після вмикання джерела живлення переноситься у статичний ОЗП. Невеликий час конфігурування (менше 10 мс) дозволяє використовувати ці пристрої для вирішення завдань швидкої ініціалізації

та конфігурації системи, безпечного оновлення, моніторингу і керування послідовністю подання живлення. За увімкненням живлення мікросхеми MAX 10 самостійно конфігуруються із вбудованої пам'яті. Два блоки флеш-пам'яті для збереження конфігурації забезпечують динамічне перемикання між двох програм конфігурації та безпеку оновлення системи.

Вбудовані у ПЛІС MAX 10 АЦП з регістром послідовного наближення (SAR) мають розрядність 12 біт, частота відліків становить 1 Мвід/с. Зокрема, аналоговий блок мікросхем MAX 10 містить до 18-ти аналогових каналів (рис. 5.22). Для формування сигналів синхронізації розміщені кола ФПЧ (PLL), а для контролю температури давач температури.

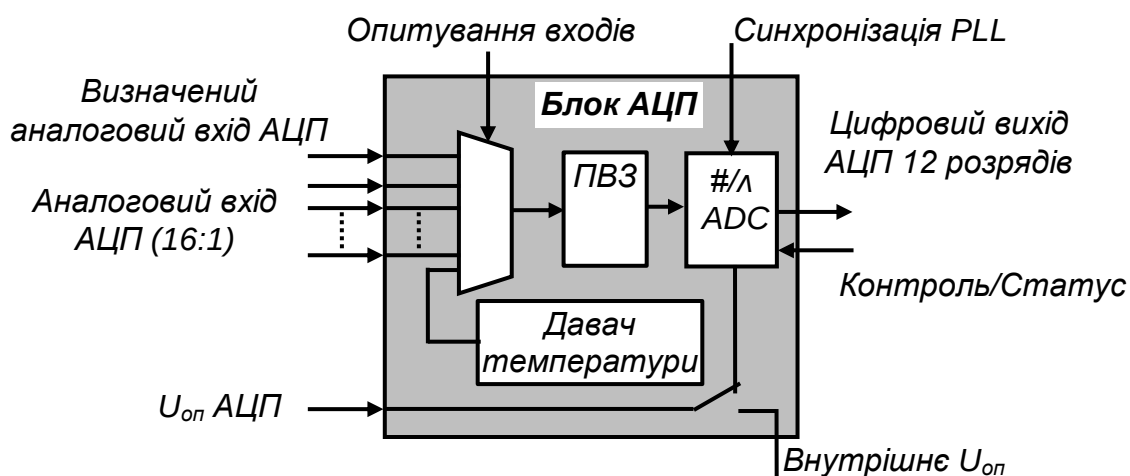


Рисунок 5.22 – Схема вбудованого блоку АЦП ПЛІС типу MAX 10

Розміщений на кристалі лінійний стабілізатор напруги (LDO) формує із вхідної напруги 3 В / 3,3В формує потрібні рівні напруги для живлення ядра та блоків введення/виведення, що спрощує проектування схеми та розробку друкованої плати. Також є варіанти мікросхем без вбудованого стабілізатора напруги, на які потрібно подавати окремо напругу живлення ядра (1,2 В) і напругу живлення ФАПЧ, АЦП, блоків введення-виведення. У режимі очікування споживання мікросхеми можливо знизити на 95%.

Логічний елемент включає чотиривхідну таблицю відповідності (LUT) і тригер. Логічні елементи об'єднані у матричний логічний блок (LAB).

Існує глобальна мережа синхронізації. Висока швидкість зміни частоти внутрішнього генератора у мережах вбудованого кільця ФАПЧ. Високоточний синтез тактових імпульсів забезпечує низький джитер сигналів, компенсацію затримок тактових імпульсів, нульову затримку у буферних блоках.

Блок помножувача працює у режимах одного перемножувача 18×18 або двох перемножувачів 9×9 . Каскадне з'єднання блоків дозволяє створювати фільтри, арифметичні функції та конвеєрну обробку результатів АЦП.

Порти введення/виведення мають декілька різновидів: загального призначення (GPIOs), багатостандартні блоки введення /виведення, приймачі LVDS зі швидкістю до 830 Мбіт/с, передавачі інтерфейсу LVDS зовнішньої пам'яті (EMIF) з швидкістю 800 Мбіт/с.

Сфери застосування ПЛІС MAX 10

Промислова електроніка – для моніторингу навколишнього середовища у режимі реального часу; підвищення ефективності систем управління електродвигунами та модулями введення/виведення, обробка сигналів з Інтернет-додатків та інтерфейсів між обчислювальними пристроями.

Автомобільна електроніка – мікросхеми відповідають жорстким вимогам використання в автомобільних системах за якістю, надійністю та високим ступенем інтеграції. Немає потреби у використанні зовнішніх мікросхем конфігурації і завжди забезпечується режим «завжди готово до роботи», що є важливим у вузлах автомобільних систем автоматичного збору та обробки даних (ADAS), наприклад, камерах заднього огляду, електромобілі. Можливість паралельної обробки даних і вбудована флеш-пам'ять роблять MAX 10 ідеальним вибором для систем «під капотом»: системи керування електродвигуном, контроль зарядження/розрядження акумулятора, перетворювачі потужності, в яких підвищення швидкодії кіл керування і частоти комутації веде до реального зниження системи за рахунок використання більш дешевих двигунів і меншої кількості компонентів.

Комунікаційне обладнання. Мікросхеми MAX 10 дозволяють замістити множину елементів друкованої плати, оптимізувати систему живлення і збільшити кількість ліній введення/виведення.

5.5 Контрольні запитання і завдання

1. Що характерно для ПЛІС типу FPGA?
2. Які особливості FPGA з «дрібнозернистими» логічними блоками?
3. Яка архітектура FPGA з «великозернистими» логічними блоками?
4. Який склад «великозернистих» логічних блоків?
5. Наведіть схему блоку введення/виведення ПЛІС типу FPGA.

6. Охарактеризуйте систему міжз'єднань, яка застосовується у ПЛІС типу FPGA.
7. Які переваги і недоліки ПЛІС типу FPGA?
8. У чому відмінність архітектури CPLD і FPGA?
9. Охарактеризуйте ПЛІС FPGA Cyclone фірми Altera.
10. Охарактеризуйте ПЛІС FPGA Spartan-6 фірми Xilinx.
11. Які переваги дає розміщення конфігураційної пам'яті на кристалі?
12. Наведіть архітектуру ПЛІС сімейства MAX фірми Altera і структуру МЛБ у ньому.
13. Наведіть розміщення функціональних блоків на кристалі ПЛІС типу MAX.
14. Наведіть та охарактеризуйте схему логічного елемента ПЛІС типу MAX.
15. Наведіть та охарактеризуйте схему елемента введення/виведення ПЛІС типу MAX.
16. Охарактеризуйте особливості енергонезалежного сімейства ПЛІС Intel MAX 10 FPGA.

6 ПРОГРАМОВАНІ АНАЛОГОВІ ІНТЕГРАЛЬНІ СХЕМИ

Традиційно схеми аналогової обробки інформації виконуються на дискретних компонентах:

- операційних підсилювачах;
- компараторах;
- мультиплексорах тощо.

Аналогова частина займає велику частину площі плати, має високу вартість, вимагає складних налагоджувальних робіт.

Використання програмованих аналогових інтегральних схем, ПАІС, (FPAА, Field Programmable Analog Array) дозволяє значно понизити терміни розробки, вартість, габарити.

ПАІС призначено для побудови аналогових пристроїв обробки інформації з мінімальними затратами.

У програмованих аналогових ІС завдання потрібних аналогових функцій здійснюється користувачем без залучення підприємств-виробників ІС. ПАІС за мінімальними застосуванням коштів забезпечують гнучкість проектування, швидку спеціалізацію потрібних функцій, програмну зміну характеристик, можливість багаторазового перепрограмування. Це зменшує ризик проектування, дозволяє експериментально реалізувати декілька варіантів одного виробу, допускає можливість отримання відмінних функцій або параметрів зміною керуючою інформацією.

ПАІС менше поширені ніж ПЛІС. Це пояснюється тим, що вони мали невисокі параметри точності (напруга зміщення нуля, дрейф нуля, шуми), частотні властивості порівняно зі схемами на дискретних компонентах. Для реалізації резисторів у ПАІС застосовують кола, що містять комутовані конденсатори.

6.1 Сімейство isp PAC фірми Lattice Semiconductor

Основним недоліком попередніх ПАІС були низькі точнісні параметри порівняно зі схемами на традиційних компонентах: операційних підсилювачах, компараторах, дискретних резисторах, конденсаторах та інше.

Ці недоліки великою мірою подолала фірма Lattice Semiconductor розробивши мікросхеми сімейства ispPAC (in system Programmable Analog

Circuit), які можливо застосовувати для розробки 12-розрядних систем збирання та обробки даних.

Оснoву мікросхем сімейства іsp PAC складають такі блоки (рис. 6.1):

- макрочарунка (МЧ), так званий PAC-блок;
- компаратор здвоєний (CP);
- 8-розрядний ЦАП із виходом за напругою;
- джерело опорної напруги 2,5 В – (ДОН, Reference,).

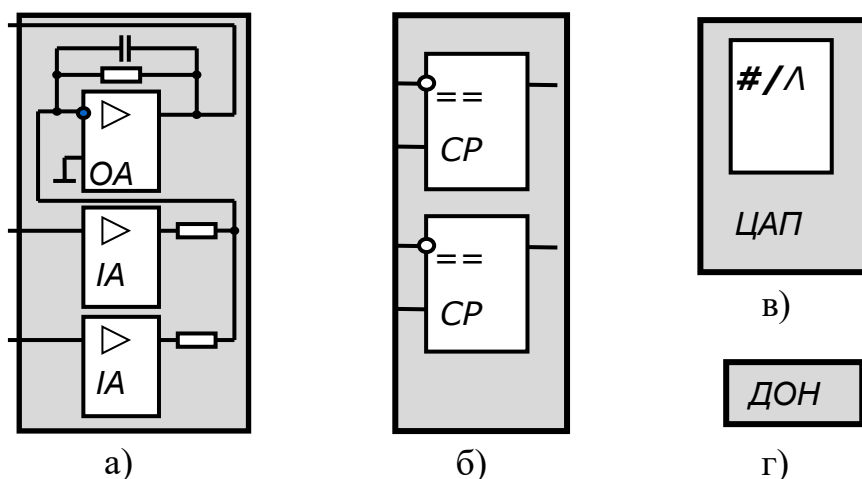


Рисунок 6.1 – Блоки, що входять до складу мікросхем сімейства іsp PAC:

а) аналогова макрочарунка; б) компаратор здвоєний;

в) ЦАП; г) джерело опорної напруги

Макрочарунка (PAC-блок) містить два інструментальних підсилювачі ІА та один вихідний операційний підсилювач ОА, що реалізований за схемою суматора/інтегратора.

Підсилювачі ІА мають високий вхідний імпеданс (близько гігаом), що практично виключає навантаження на джерело сигналів (давачі фізичних величин тощо). Вхідна напруга може змінюватися у діапазоні від 0 до 2,8 В. Два підсилювачі мають на входах аналогові мультиплексори 2 – 1. Керуючи мультиплексорами, можливо залучити у схему 4 різних сигнали.

Вихідний підсилювач ОА з діапазоном вихідної напруги від 0 до 5 В (в однополюсному режимі) має добуток коефіцієнта підсилення на смугу пропускання (Gain-Bandwidth Product) 15 МГц. Залежно від програмування кіл зворотних зв'язків вихідні підсилювачі можуть працювати у таких режимах:

- підсилювача (відключається практично уся ємність, зберігається її невелика частка для запобігання самозбудження);
- інтегратора (відключається резистор);

- фільтра низьких частот першого порядку (підключенні резистор і конденсатор у колі зворотного зв'язку). Для фільтрів з відмінною смугою пропускання можливо використовувати 7 різних значень ємності;

- компаратора (відключено резистор і конденсатор у колі зворотного зв'язку).

Відсутність двох сигнальних входів у вихідному підсилювачі вимагає виконувати компаратор у вигляді суматора вхідної напруги та опорної напруги іншого знаку.

Аналогові входи і виходи чарунок (окрім ДОН) для підвищення динамічного діапазону оброблюваних сигналів виконані за диференціальною схемою.

У МЧ програмуються:

- коефіцієнт підсилення ІА від - 10 до +10 з кроком одиниця;
- величина ємності конденсатора в колі зворотного зв'язку (128 значень);
- увімкнення/вимкнення резистора в колі зворотного зв'язку.

Засоби внутрішнього розведення, трасування, (Analog Routing Pool) дозволяють виконати з'єднання між вхідними контактними площадками ІС, входами і виходами МЧ, виходом ЦАП і входами компараторів. Об'єднання декількох макрочарунок дозволяє будувати схеми активних фільтрів, що перенастроюються у діапазоні частот від 10 до 100 кГц. Для цього застосовується коло інтегратора.

Для підвищення точності за постійним струмом введено режим автокалібрування, який завжди виконується із вмиканням живлення, а також у разі подачі фронту імпульсу на спеціальний цифровий вхід CAL мікросхеми. У режимі автокалібрування мінімізується напруга зміщення на виході макрочарунки відповідно до запрограмованих конкретних коефіцієнтів підсилення в ній.

8-розрядний ЦАП дозволяє паралельне або послідовне завантаження. Діапазон вихідної напруги задається під час програмування схеми. Вихідна напруга з високою точністю (до одиниці молодшого розряду) пропорційна як вхідному цифровому коду, так і вхідній напрузі.

Для компаратора програмується вмикання/вимикання петлі гістерезису у вихідній характеристиці.

Мікросхеми працюють з однією напругою живлення +5 В, тому робоча точка зсувається на 2,5 В. Зсув реалізується чарункою ДОН. Можливо також перепрограмування зсуву робочої точки конкретного РАС блоку на величину напруги, яка подається на спеціальний аналоговий вхід CMVIN.

Температурний дрейф приведенного до входу напруги зміщення макрочарунки дорівнює $50 \text{ мкВ/}^{\circ}\text{C}$. Діапазон зміни вихідної напруги на окремому виході мікросхеми становить $1 \dots 4 \text{ В}$, відповідно розмах напруги між диференціальними виходами може досягнути 6 В .

У випадку побудови АЦП з диференціальним входом і живленням $+5 \text{ В}$, діапазон перетворення входних сигналів $0 \dots 5 \text{ В}$. Це відповідає значенню одиниці молодшого розряду $1,25 \text{ мВ}$.

До складу ІС типу *isp* PAC10 входить чотири МЧ (рис. 6.2).

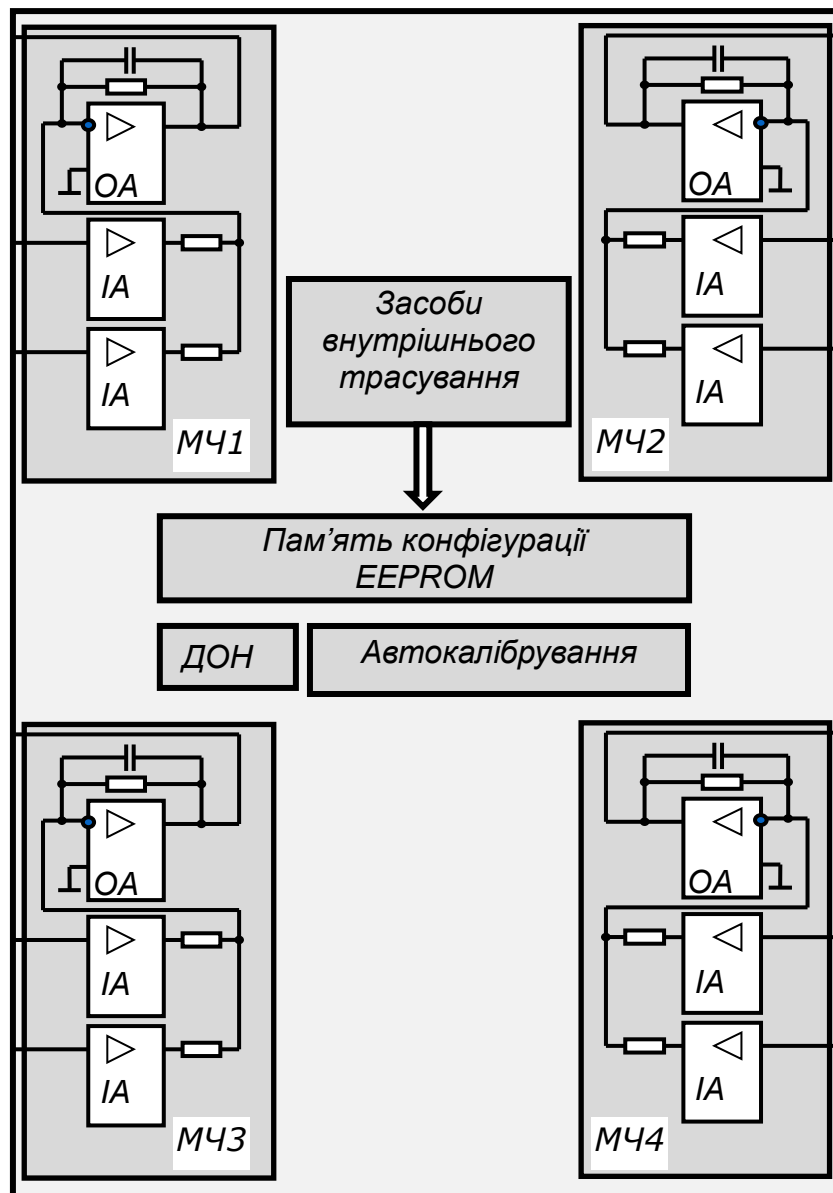


Рисунок 6.2 – Структура мікросхеми *isp*PAC10

Періодичне проведення автокалібрування тривалістю 100 мс зменшує напругу зміщення, якщо алгоритм роботи дозволяє такі часові паузи. Автокалібрування гарантує напругу зміщення не більш 1 мВ . Проте це може привести до періодичної зміни величини молодшого розряду АЦП.

Мікросхема ispPAC20 (рис. 6.3) містить:

- 2 МЧ;
- здвоєний компаратор;
- ЦАП.

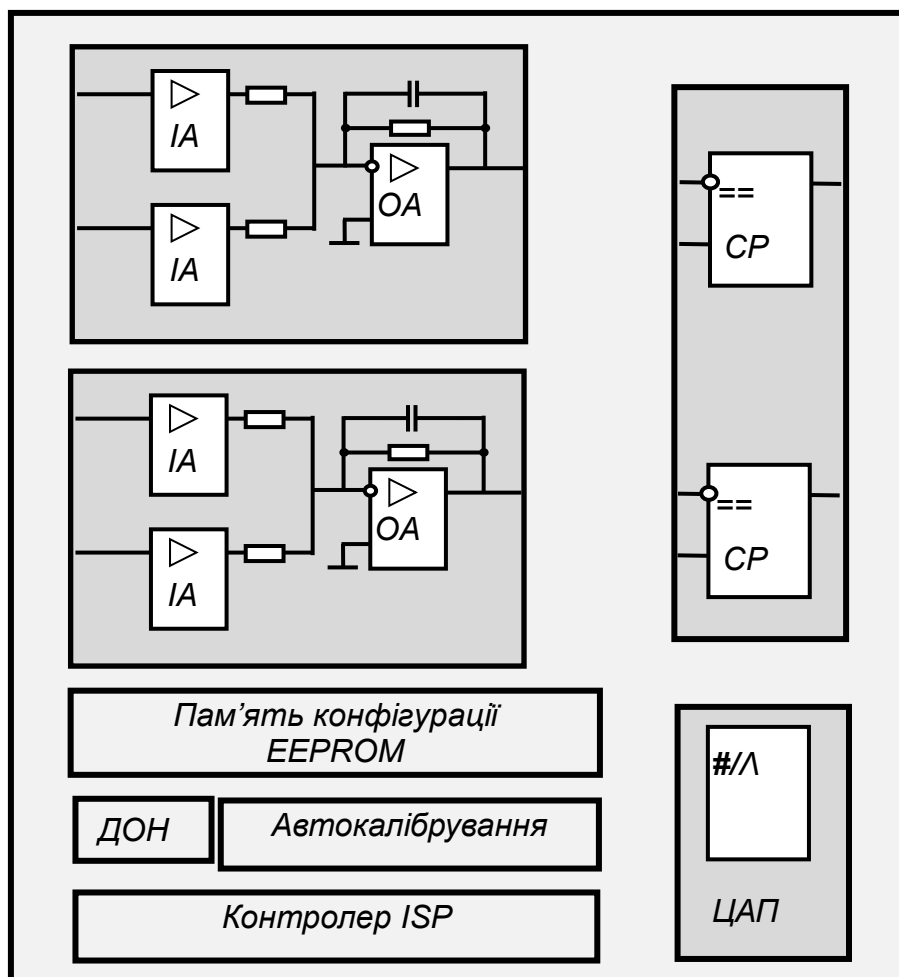


Рисунок 6.3 – Структура мікросхеми ispPAC20

Контролер ISP дозволяє програмувати мікросхему в системі, не вилучаючи її з плати. Програмування мікросхеми здійснюється через інтерфейс за допомогою кабелю завантаження від паралельного порту комп'ютера або мікроконтролера.

Мікросхема ispPAC30 містить вхідні підсилювачі ІА, вихідні операційні підсилювачі ОА, два ЦАП та деякі інші блоки (рис. 6.4). Для живлення потрібне одне джерело живлення 5 В. Мікросхема підтримує режим малої споживаної потужності, автокалібрування внутрішніх напруг зміщення і точне програмування коефіцієнта підсилення. Джерела опорної напруги $V_{REF} = 2,5$ В дозволяють встановлювати робочу точку підсилювачів до середини напруги живлення, що дозволяє сприймати і виробляти знакозмінні сигнали. Напруга

V_{REF} застосовуються також для формування потрібних значень напруги. Від кожного V_{REF} можливо отримати 7 рівнів напруги (0,064, 0,128, ..., 2,048, 2,5 В). Напруги можуть додаватися до інших сигналів або відніматися від них, масштабуватися з коефіцієнтами від 1 до 10 за допомогою підсилювачів ІА та зменшуватися до одного з 128 рівнів за допомогою ЦАП.

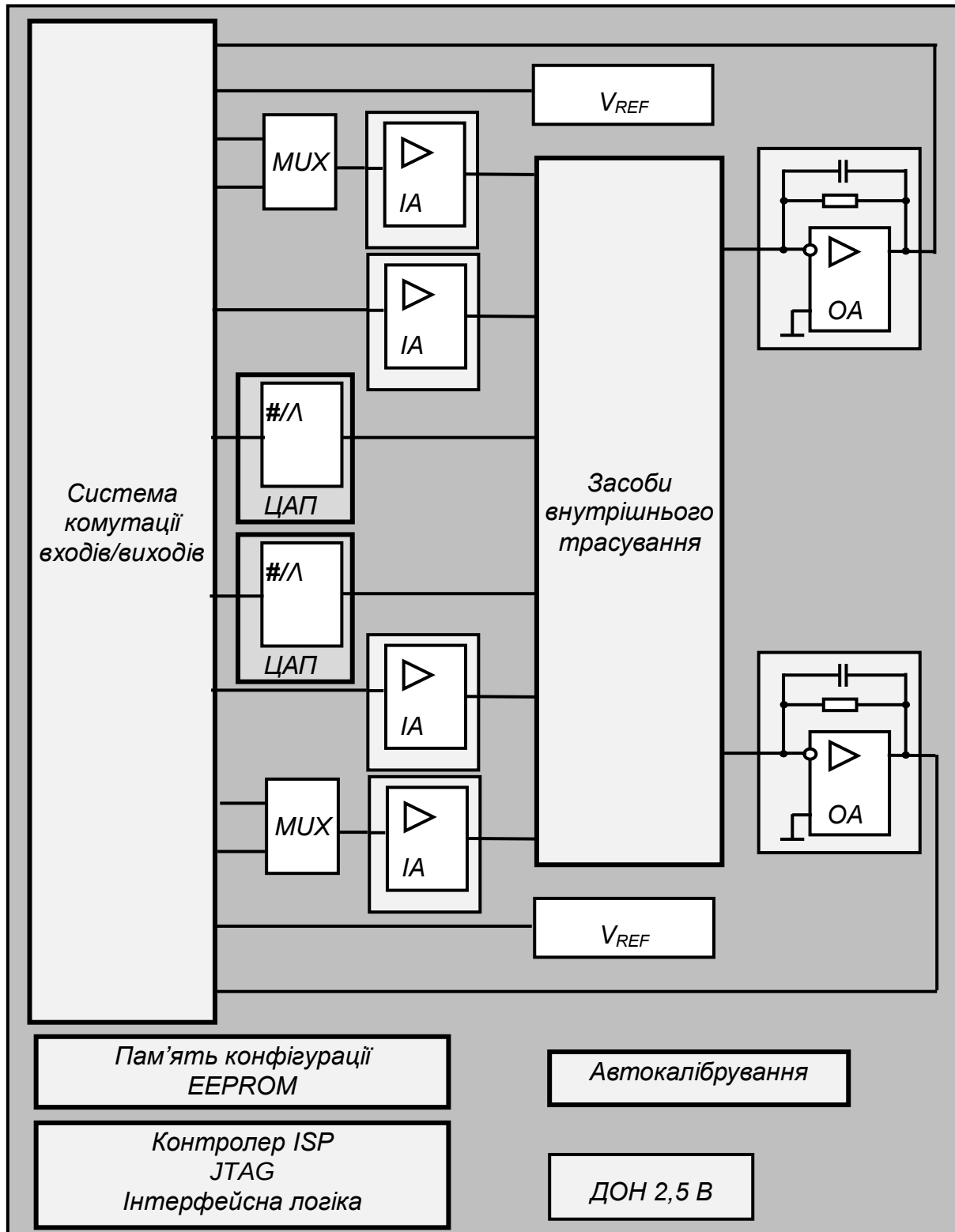


Рисунок 6.4 – Структура мікросхеми ispPAC30

Важливою особливістю є швидке динамічне реконфігурування без обмеження кількості циклів. Для цієї мети мікросхема має тригерну пам'ять конфігурації та енергонезалежну пам'ять типу EEPROM, яка зберігає налаштування, і користувач може вибирати потрібне налаштування і програмувати тригерну пам'ять.

Із декількох мікросхем сімейства ispPAC можливо будувати активні фільтри різних порядків, що переналаштовуються. Мікросхеми ispPAC80/81 навмисно призначені для утворення активних фільтрів п'ятого порядку з програмованими характеристиками. Можливо реалізувати фільтри з апроксимацією частотних характеристик відповідно за Батервордом, Беселем, Чебишевим, фільтри з апроксимацією еліптичного типу.

До складу мікросхеми ispPAC80 входять (рис. 6.5):

- один ІА;
- один ОА;
- фільтр нижніх частот 5-го порядку.

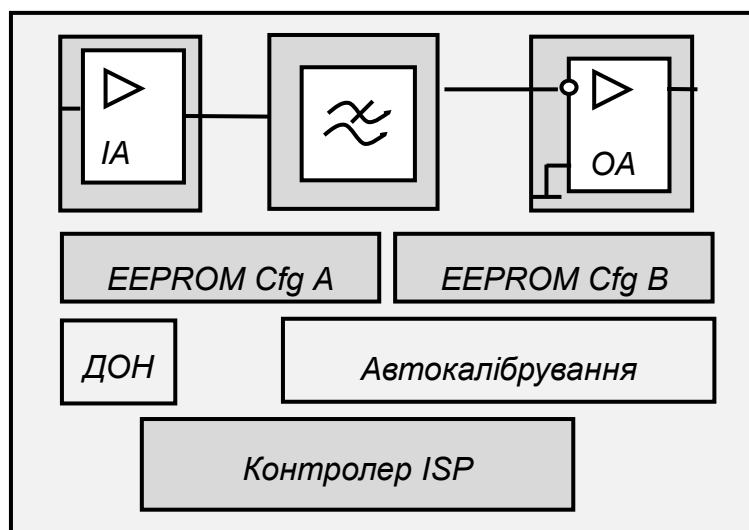


Рисунок 6.5 – Структура мікросхеми ispPAC80

Програмно реалізується тисячі варіантів виконання фільтрів.

Мікросхема містить два блока пам'яті конфігурації EEPROM. Це забезпечує динамічне реконфігурування та можливість побудови адаптивних фільтрів.

Для проектування пристроїв розроблено спеціальну САПР PAC Designer. Цей пакет забезпечує у графічному вигляді редагування схеми шляхом проведення конкретних внутрішніх з'єднань та завдання величин програмованих параметрів, її моделювання у частотній області, утворення

файлу конфігурації та його завантаження. Розведення та завдання параметрів відбувається вручну. Для полегшення проектування існує бібліотека функціональних елементів.

Відносно скромні точнісні можливості мікросхем *ispPAC*, втім, є прийнятними для реалізації ряду функціональних вузлів.

Слід згадати мікросхеми *TRAC020*, що випускає фірма *Fast Analog Solution*. Фірма позначає їх як *Field Programmable Analog Devices (FPAD)*.

Мікросхема складається з 20 чарунок. Кожна чарунка має операційний підсилювач і кола зворотного зв'язку, які конфігуруються, що дозволяє реалізувати базові блоки аналогової обробки сигналів. На рис. 6.6 зображено інтегратор.

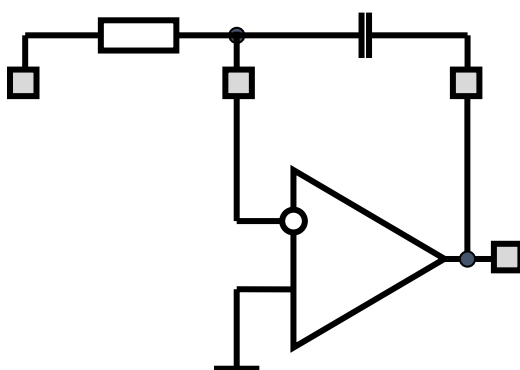


Рисунок 6.6 – Схема інтегратора, реалізована на базі чарунки мікросхеми *TRAC020*

Особливістю є те, що кола зворотного зв'язку містять лінійні та нелінійні елементи, це дозволяє будувати функціональні перетворювачі (рис. 6.7).

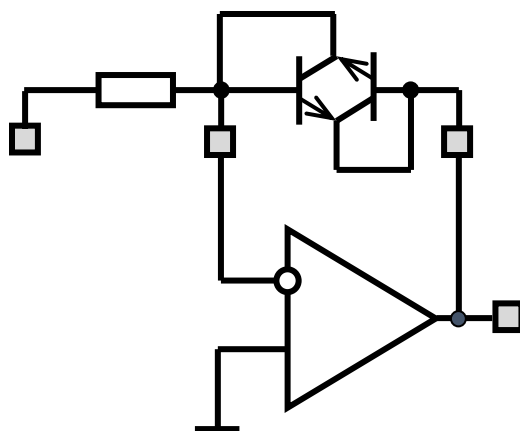


Рисунок 6.7 – Схема з нелінійними елементами, реалізована на базі чарунки мікросхеми *TRAC020*

Програмне забезпечення має широкі можливості з точки зору введення параметрів і моделювання пристроїв.

6.2 Програмовані аналогові мікросхеми фірми Anadigm

Компанія Anadigm виробляє три різновиди ПАІС:

- матрична програмована аналогова множина (FPAA). Типові представники мікросхеми AN10E40 і AN121E04;

- динамічно програмований аналоговий сигнальний процесор (dpASP) . Типовий представник – AN221E04;

- ПАІС для частотної ідентифікації (Radio Frequency Identification – RFID). Типовий представник – AN238E04.

Мікросхема AN10E40 має матричну структуру 4×5 аналогових блоків, що конфігуруються, (CAB) (рис. 6.8).

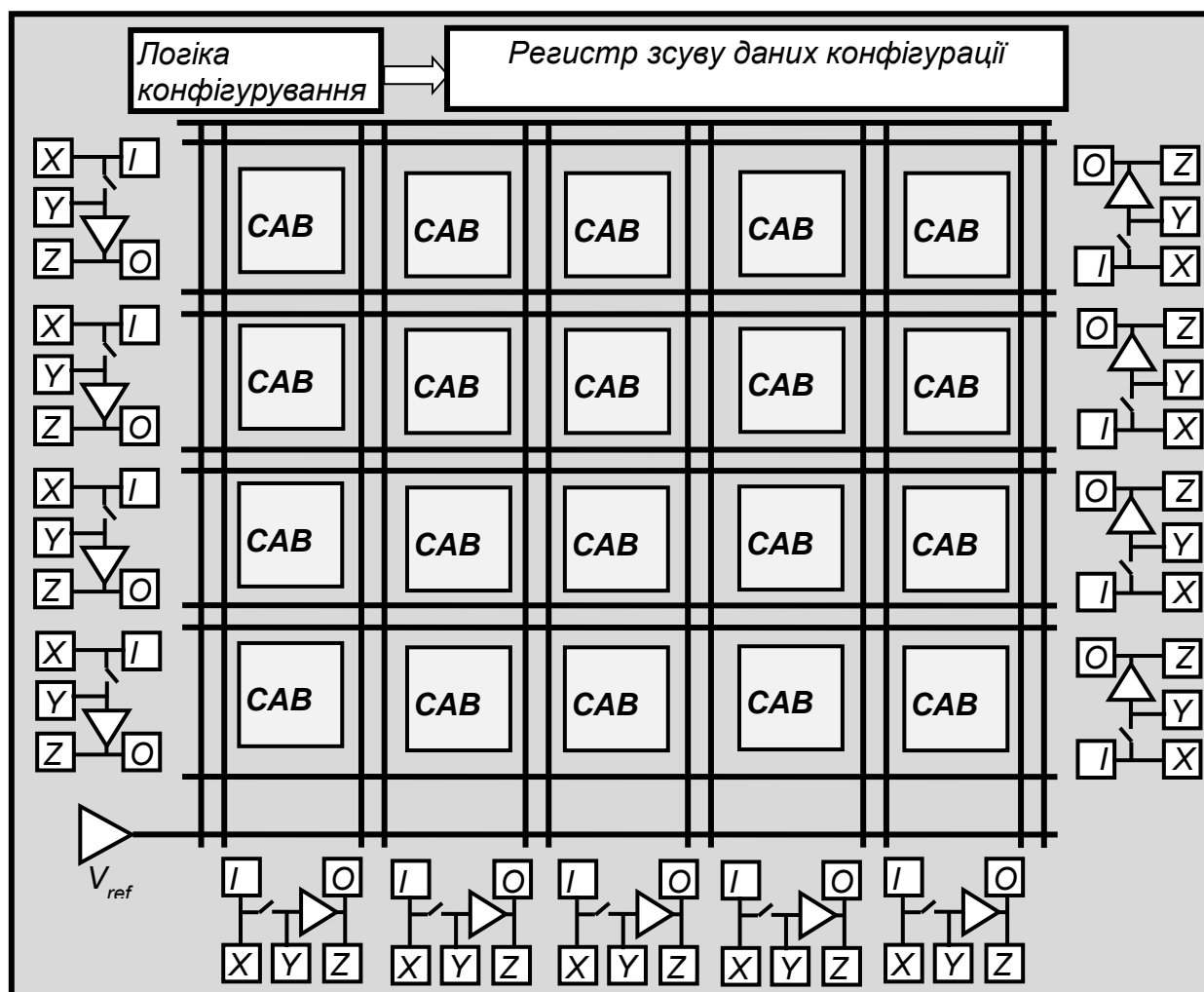


Рисунок 6.8 – Архітектура ПАІС фірми Anadigm типу AN10E40

Кожен блок САВ містить (рис. 6.9):

– операційний підсилювач з конденсаторами, що комутуються (switched capacitor);

- пам'ять конфігурації;
- спеціальний інтерфейс.

Набір елементів САВ дозволяє реалізувати:

- операційні підсилювачі;
- компаратори;
- джерела еталонної напруги;
- АЦП.

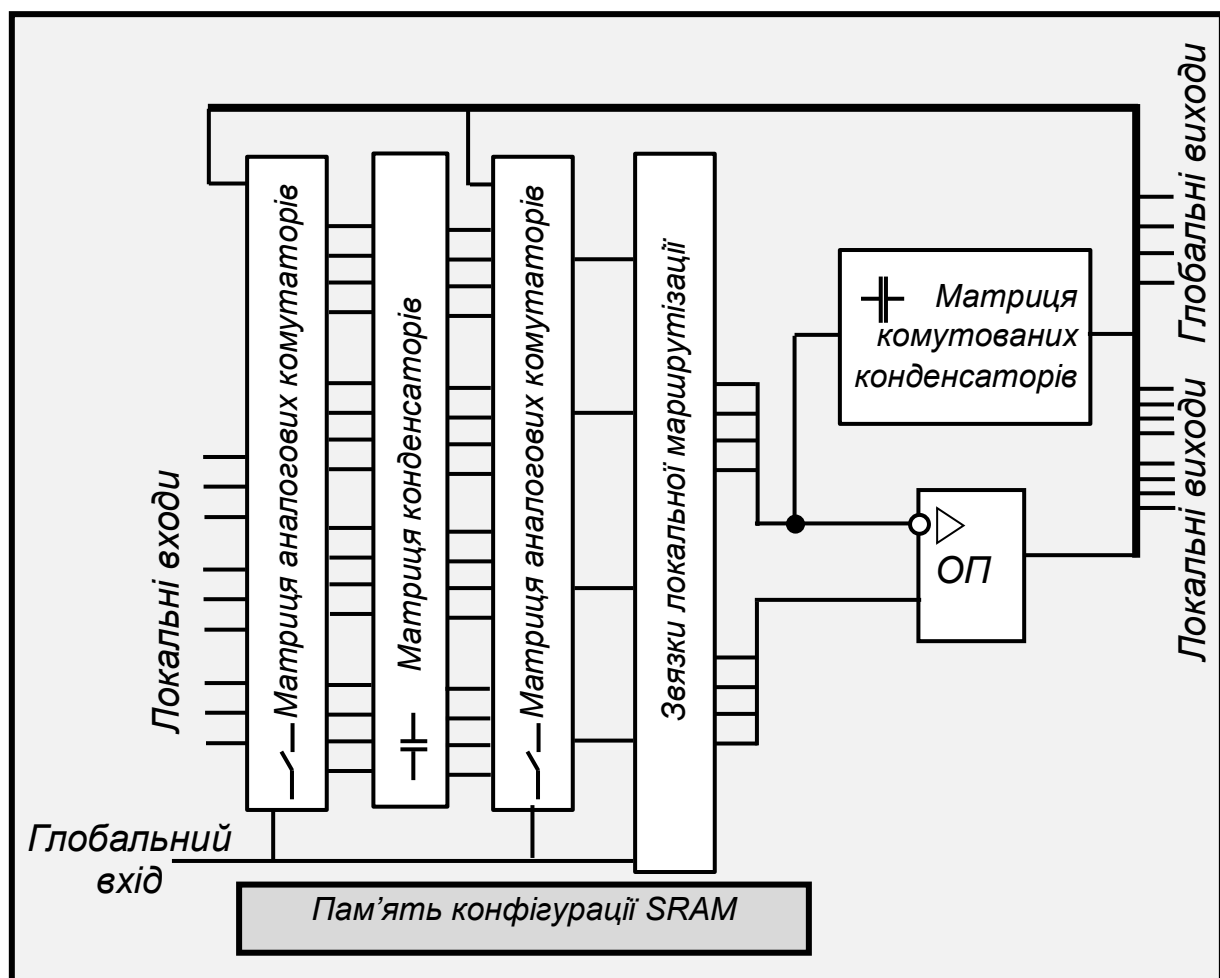


Рисунок 6.9 – Структура блока САВ мікросхеми AN10E40

Блок пам'яті SRAM, який керує підключенням і функціями САВ, завантажується за час конфігурування. Процес конфігурування відбувається автоматично за подачею напруги живлення, проте його можливо ініціювати у будь-який час, що дає гнучкість у роботі системи.

Програмовані матриці конденсаторів на обох входах операційного підсилювача і програмований конденсатор у колі оборотного зв'язку ОП забезпечують реалізацію великої кількості потрібних аналогових кіл. Зв'язок між чарунками на кристалі і зовнішніми колами здійснюється локальними вхідними, локальними вихідними і глобальними ресурсами маршрутизації.

Аналогова чарунка входу/виходу дозволяє безпосередньо зв'язувати внутрішні кола, бути буферним каскадом для вхідних і вихідних сигналів, за допомоги декількох зовнішніх компонентів будувати фільтр Салена–Кея. Аналогові входи і виходи ІО з'єднанні з виводами мікросхеми. Приклад реалізації фільтру нижніх частот 4-го порядку Салена – Кея на базі чарунки входу/виходу ІО зображено на рис. 6.10.

Звідки випливає, що основне застосування мікросхеми – це реалізація фільтрів і лінійних пристроїв обробки аналогових сигналів.

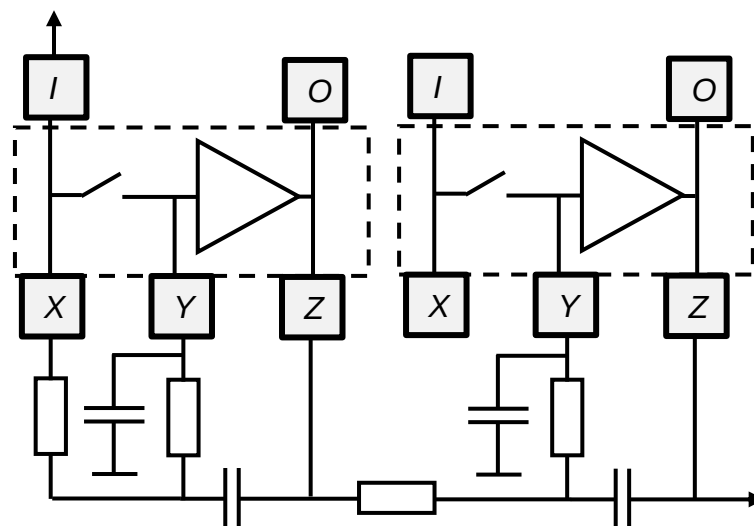


Рисунок 6.10 – Приклад реалізації фільтра Салена – Кея на базі чарунки входу/виходу ІО

Архітектура ПАІС AN121E04 і AN221E04 подібні (рис. 6.11). Це переконфігоровані FPAА з розширеними функціями за входом і виходом. Вони складаються з чотирьох САВ, які містять набори елементів для реалізації стандартних аналогових пристроїв – операційних підсилювачів, компараторів, джерел еталонного живлення, АЦП, а також пам'ять конфігурації типу Look_Up Table і спеціалізований інтерфейс для роботи в автономному режимі та для зв'язку із зовнішніми інтерфейсами SPI EPROM або FPGA EPROM.

Вхідні сигнали до САВ подаються за допомогою двоспрямованих чарунок Вх./Вих., що конфігуруються. Чарунки Вх./Вих. за номерами 1–3 передають сигнали безпосередньо до одного з блоків. Чарунка Вх./Вих. за

номерам 4, містить спеціальний мультиплексор, що має можливість підключати до чотирьох вхідних диференціальних сигналів або навантажень. Кожен вхід – вихід чарунки може безпосередньо підключатися до одного із блоків, попередньо оброблятися за допомогою стандартних пристроїв у будь-якій комбінації: буферний підсилювач, підсилювач з програмованим коефіцієнтом підсилення, програмований фільтр, прецизійний підсилювач, що має дуже низьку напругу зміщення і коефіцієнт підсилення з високою стабільністю.

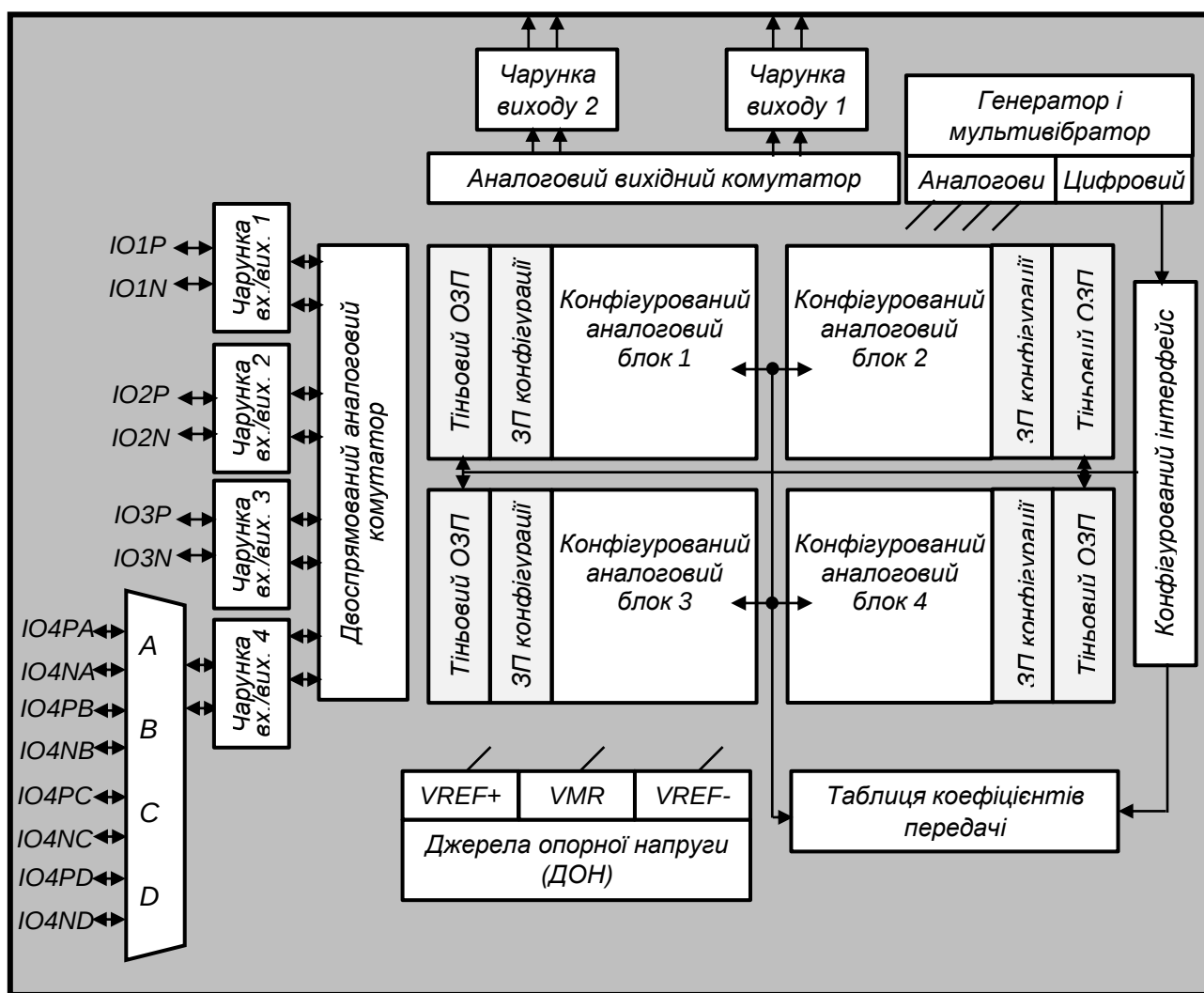


Рисунок 6.11 – Архітектура ПАІС фірми Anadigm типу AN121E04 і AN221E04

Вихідні сигнали виводяться за допомогою чарунок Вх/Вих або спеціальних вихідних чарунок 1, 2. Вихідні чарунки також містять програмовані фільтри і перетворювачі диференціальних сигналів у несиметричні, а також мають можливість передавати цифрові сигнали, що надходять з компараторів.

Синхронізація здійснюється від зовнішнього генератора або від внутрішнього тактового генератора, який має зовнішній кварц. Частоту внутрішнього генератора можливо поділити за допомогою чотирьох програмованих синхронних подільників частоти і вивести зовні.

Режими роботи САВ, значення тактових частот, напрямки передавання сигналів, призначення та конфігурація чарунок Вх/Вих або спеціальних вихідних чарунок 1, 2 зберігається у пам'яті конфігурації СОЗП (Configuration SRAM). Копія вмісту пам'яті конфігурації зберігається у тіньовому ОЗП (Shadow SRAM), яке можливо перезаписувати без порушення процесу обробки сигналів. Це дозволяє динамічно змінювати конфігурацію ПАІС безпосередньо у пристрої, що працює. Після завантаження у тіньове ОЗП нових даних програма конфігурації змінюється за один цикл тактової синхронізації.

Усі конфігуровані аналогові блоки САВ мають доступ до пам'яті конфігурації типу Look-Up Table (LUT), де зберігається інформація про передатні характеристики пристроїв, що потрібні для реалізації функцій стиснення динамічного діапазону, лінеаризації сигналів давачів, формування сигналів вільної форми, керованої фільтрації.

Генератор опорної напруги (Voltage Reference Generator) формує сигнали для кожного блоку і має виводи для підключення зовнішніх конденсаторів.

Інтерфейс конфігурації дозволяє працювати автономно або у режимі зв'язку із зовнішніми інтерфейсами SPI і FPGA EPROM. В режимі FPGA EPROM після вмикання живлення конфігурація із EPROM буде автоматично завантажена у ПАІС і пристрій миттєво почне працювати.

Через порт SPI можливо здійснити зв'язок з зовнішнім контролером і нарощувати кількість ПАІС для побудови великих систем аналогової обробки.

В аналоговому блоці також реалізується 8-розрядний АЦП послідовного наближення. Його вихід можливо підключити до виводів чарунки Вих. 1, 2, який конфігуровано як цифровий вихід.

На рис. 6.12 наведено узагальнену схему одного блоку САВ. Аналогові блоки містять статичні та динамічні ключі (комутатори). Динамічні ключі управляються вхідними і тактовими сигналами, а також логічними схемами регістру поступового наближення. Статичні ключі визначають загальні схеми комутації блоків, значення ємності конденсаторів, підключення входів. Усі ключі керуються пам'яттю конфігурації SRAM.

Після вмикання живлення SRAM очищується, після цього дані із зовнішнього ЕППЗП завантажуються тіньовий ОЗП, а з нього у пам'ять конфігурації SRAM. Під час роботи можливе завантаження у тіньовий ОЗП

нових даних, які можливо застосувати для зміни структури ПАІС за один такт без перерви обробки сигналу.

Аналогові сигнали надходять через першу групу комутаторів, на яку також надходять сигнали оборотного зв'язку з операційних підсилювачів і компаратора. Друга матриця комутаторів формує топологію САВ і призначена для комутації внутрішніх кіл.

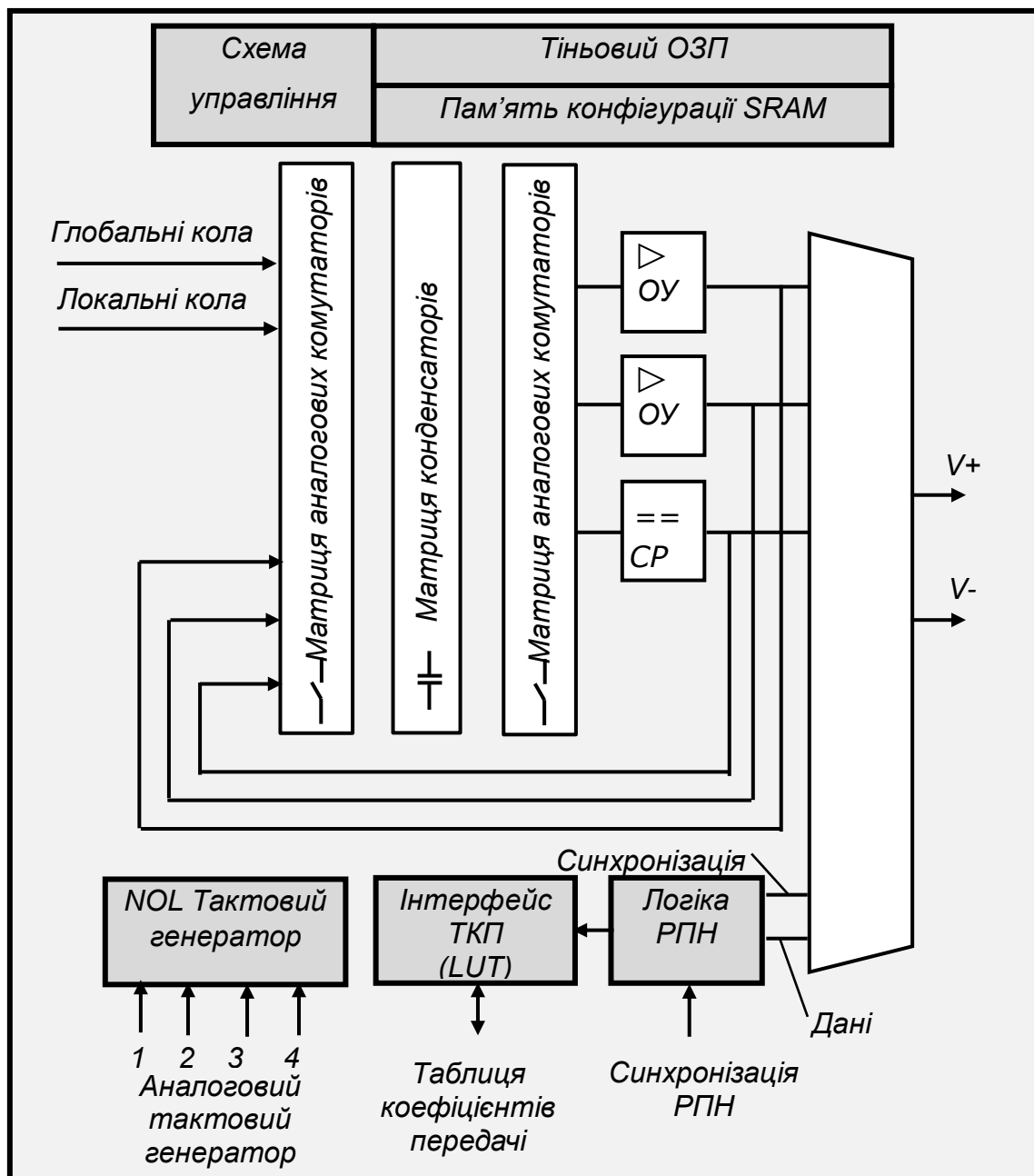


Рисунок 6.12 – Узагальнена схема конфігурованого аналогового блока САВ

Аналоговий блок містить також групу з восьми програмованих конденсаторів. Величина ємності може змінюватися від 0 до 255 відносних одиниць. Точність співвідношення ємностей конденсаторів становить 0,1%.

Обробка сигналів виконується схемами на комутованих конденсаторах. Для коректної роботи таких схем потрібні синхросигнали, що не перекриваються (non – overlapping clocks, NOL). Такий тактовий генератор розміщено у САВ і він виробляє усі потрібні NOL-сигнали для функціонування.

Для реалізації 8-розрядного АЦП використовується регістр послідовної лічби і компаратор. До АЦП можливо підключати таблицю коефіцієнтів передачі (Look Up Table, LUT) для реалізації нелінійних аналогових функцій: перемноження, стискання, лінеаризація, автоматичне регулювання підсилення.

Конфігуровані двоспрямовані чарунки Вхід/Вихід (IO Cell) дозволяють підключати джерела сигналів та приймачі без допоміжних зовнішніх компонентів (рис. 6.13). Для підвищення точності обробки сигнали обробляються у диференціальній формі. Вхід/вихід кожної чарунки також є диференціальним. Чарунку можливо конфігурувати у режим з несиметричним входом.

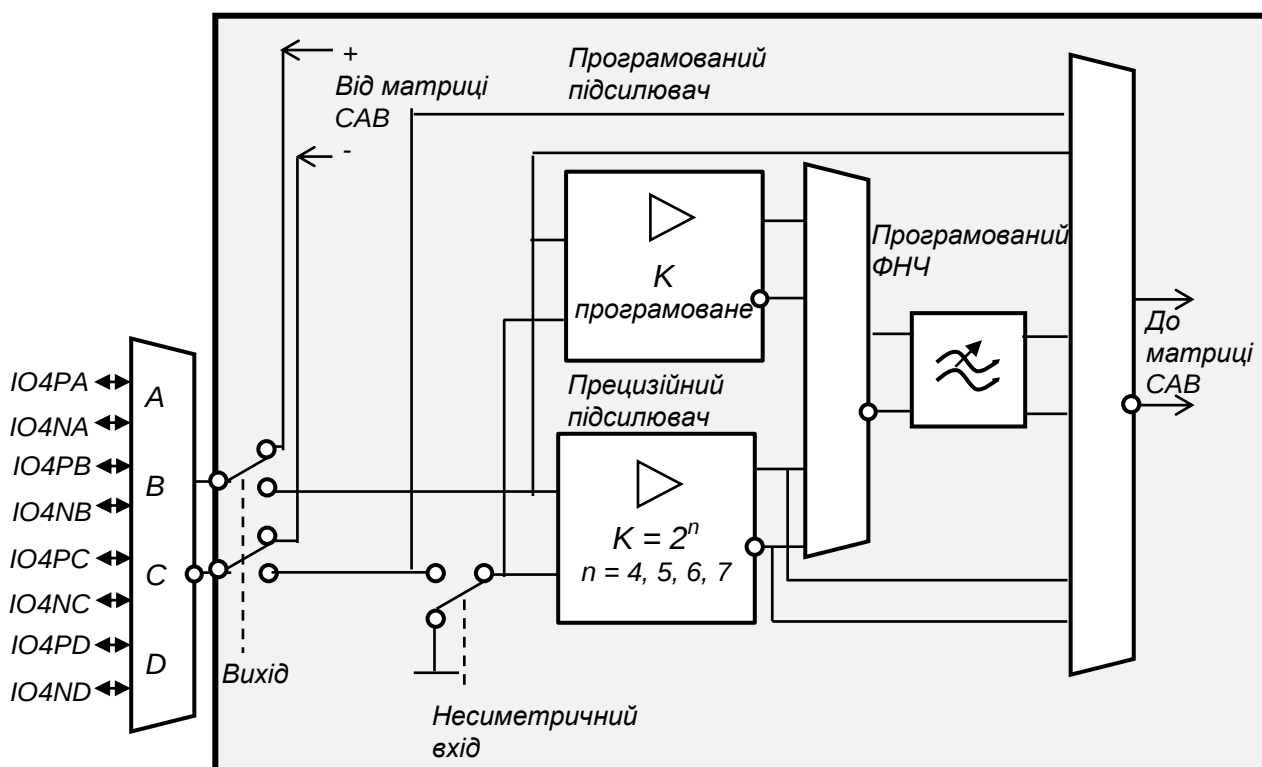


Рисунок 6.13 – Схема двоспрямованої чарунки Вхід/Вихід (IO Cell)

Для очищення сигналу від завад чарунка містить фільтр нижніх частот другого порядку з програмованою частотою зрізу. Чарунка містить два підсилювачі – підсилювач з програмованим коефіцієнтом підсилення, який може виконувати також функцію вхідного буферного підсилювача, а також прецизійний підсилювач, коефіцієнт підсилення якого програмується відповідно до ряду 2^n , де $n = 4 - 6$, а напруга зміщення стабілізується.

На вході чарунка містить двоспрямований аналоговий мультиплексор, який підключає один з чотирьох диференціальних або несиметричних сигналів до чарунки Вхід/Вихід (IO Cell).

Конфігуровані вихідні чарунки Output Cell (рис. 6.14) дозволяють виводити з ПАІС диференціальні аналогові сигнали та логічні рівні. Сигнали із аналогових блоків подаються на вхід чарунки через програмований аналоговий мультиплексор. Кожна вихідна чарунка містить програмований ФНЧ. Фільтр можливо відключити або задати частоту зрізу. Після ФНЧ розміщені буферні каскади, які перетворюють диференціальні аналогові сигнали у несиметричні. З виходів Output Cell можливо знімати як диференціальні, так і несиметричні сигнали. Припустимо обійти ФНЧ та буферні каскади і сигнал з мультиплексора подати безпосередньо на вихід Output Cell. Для виведення цифрових сигналів (сигналів синхронізації, даних АЦП, рівнів компараторів) чарунки Output Cell конфігуруються у режимі цифрового виходу.

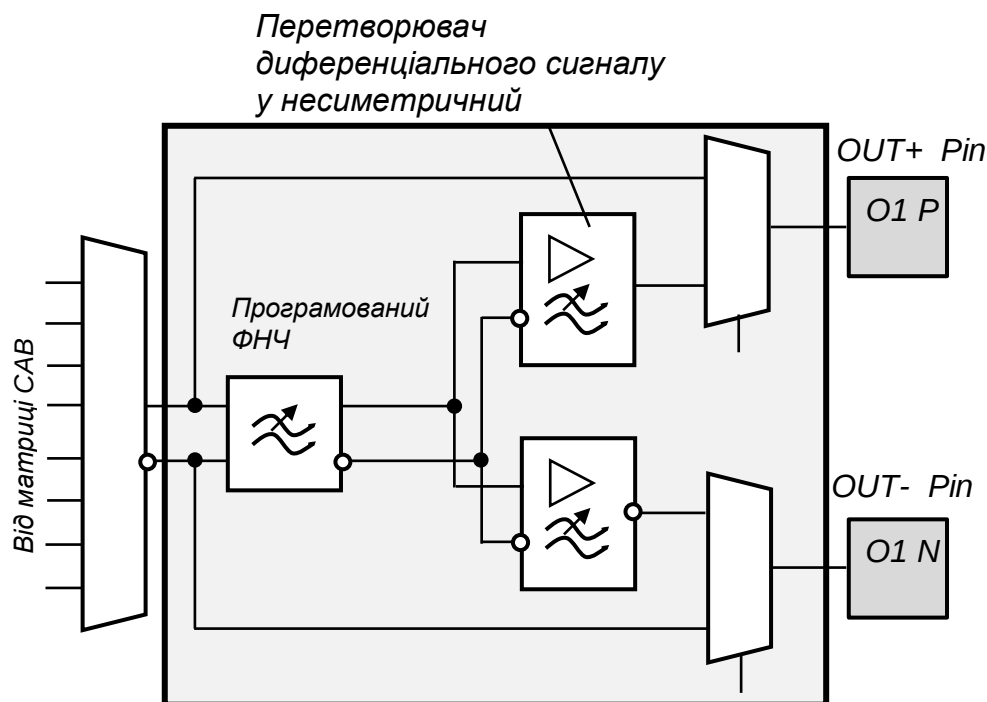


Рисунок 6.14 – Схема конфігурованої вихідної чарунки Output Cell

Один кристал ПАІС фірми Anadigm типу AN121E04 і AN221E04 містить:

- операційні та інструментальні підсилювачі;
- диференціальні компаратори;
- фільтри;
- джерела еталонної напруги;
- підсилювачі-обмежувачі;
- мультиплексори;

- випрямлячі з ФНЧ;
- генератори синусоїдального сигналу;
- генератори періодичних сигналів спеціальної форми;
- АЦП послідовного наближення;
- програмовані підсилювачі.

Для розробки проектів на основі ПАІС компанія Anadigm рекомендує спеціалізоване програмне середовище САПР Anadigm Designer®2 EDA. Ця САПР має такі переваги:

- зручне середовище розробки, яке інтуїтивно зрозуміле розробнику;
- налагодження схеми у реальному часі;
- цифрові осцилограф, вольтметр, частотомір;
- швидке програмування ІС через стандартний порт RS232 безпосередньо із середовища розробки;
- тестування програмування безпосередньо на кристалі або у системі;
- динамічне перепрограмування структури.

Також САПР Anadigm Designer®2 містить функціональний симулятор у часі, який дозволяє налаштувати пристрій без програмування мікросхеми.

Сфери застосування ПАІС фірми Anadigm:

- системи збору даних;
- медичне обладнання;
- автоелектроніка;
- промислова автоматика;
- аудіотехніка;
- прецизійні вимірювальні системи та інше.

6.3 Контрольні запитання і завдання

1. Які причини меншого розповсюдження ПАІС порівняно з ПЛІС?
2. Які переваги й недоліки схемотехніки на основі конденсаторів, що комутуються?
3. Які функціональні чарунки використовуються в мікросхемах сімейства ispPAC?
4. Охарактеризуйте макрочарунки ІС сімейства ispPAC.
5. Наведіть структурні схеми ІС сімейства ispPAC10, 20, 80.
6. Охарактеризуйте ПАІС фірми Anadigm пу AN10E40.

7. Наведіть структуру блока САВ мікросхеми AN10E40.
8. Які особливості архітектури ПАІС фірми Anadigm типу AN121E04 і AN221E04?
9. Зобразіть узагальнену схему конфігурованого аналогового блока САВ ПАІС фірми Anadigm та охарактеризуйте його особливості.
10. Зобразіть схему двоспрямованої чарунки Вхід/Вихід (IO Cell) ПАІС фірми Anadigm та охарактеризуйте його особливості.
11. Зобразіть схему конфігурованої вихідної чарунки Output Cell ПАІС фірми Anadigm та охарактеризуйте її особливості.

7 ПЛІС ТИПУ «ПРОГРАМОВАНА СИСТЕМА НА КРИСТАЛІ»

7.1 Загальні відомості про програмовані системи на кристалі

Основні відомості та визначення

Рівень інтеграції сучасних ВІС досягнув десятків мільйонів логічних елементів «2І-НІ», «2АБО-НІ», їх тактові частоти становлять 600...1000 МГц і більше. На таких кристалах можливо розмістити складну систему високої швидкодії (процесорну систему, пам'ять, інтерфейсні схеми тощо). Їх поява стирає межу між елементною базою і апаратурою.

Це стало поштовхом для того, що останнє десятиліття стрімко розвинувся новий напрямок проектування електронної апаратури, а саме – проектування апаратури у вигляді систем на кристалі (СнК). У сучасній технічній літературі сформувалось таке визначення СнК: СнК – це НВІС, що вміщує функціональні вузли закінченого пристрою, інтегрованого на кристалі, для автономного використання в електронній апаратурі. Типовим застосуванням таких мікросхем є різноманітні вбудовані електронні системи.

СнК може містити як цифрові, так і аналогові вузли. Основним цифровим вузлом зазвичай є процесор або процесор обробки цифрових сигналів, що виконує програмне опрацювання цифрових даних і сигналів. Для виконання спеціалізованих функцій СнК має різні цифрові вузли та аналогові схеми, орієнтовані на конкретну галузь застосування СнК. Залежно від застосування СнК, периферійними вузлами є різні таймери, лічильники, логічні елементи, ЦАП, АЦП, джерело опорної частоти, наприклад кварцові генератори та кола з оберненим зв'язком (PLL, phase-locked loops – цифрова система фазового автопідстроювання частоти) та інше. До складу СнК можуть входити або під'єднуватися до них у вигляді зовнішніх блоків різноманітні типи модулів пам'яті (SRAM, DRAM, Flash, ROM, EEPROM). Взаємодія із зовнішнім середовищем відбувається з використанням послідовних чи паралельних портів, а також комунікаційних інтерфейсів: USB, FireWire, Ethernet, UART, SPI, входів та виходів цифро-аналогових і аналого-цифрових перетворювачів, регуляторів напруги та стабілізаторів живлення.

Конфігурація вузлів СнК визначається їх функціональним призначенням. Організація зв'язків між вузлами системи може бути цілком різноманітною, включаючи використання стандартизованих шин (типу AMBA) чи спеціалізованих локальних інтерфейсів. Сьогодні системи на кристалі займають одну із

найбільших частин ринку мікроелектроніки. Це зумовлено великим інтересом інженерів-розробників апаратури до використання СнК і виробників елементної бази СнК, зокрема Texas Instruments, Analog Devices, Altera, Atmel, Xilinx, Cirrus Logic, Cypress, NXP, RDC, Sharp, Marvell, NetSilicon та інших.

Переваги систем на кристалі:

- можливість отримання більшу високих технічних показників (продуктивність, енергоспоживання, масогабаритні характеристики;
- більш низька вартість у крупносерійному виробництві;
- малі затрати на розробку і створення дослідних зразків;
- можливість багатократної корекції проекту, менша ймовірність переробки плати;
- використання добре перевірених серійних виробів;
- більш простий процес тестування і налаштування (можливість реалізації проекту і його налаштування частинами);
- вища надійність, ніж у наборів мікросхем із такою самою функціональністю;
- менша кількість складових спрощує монтаж готового виробу.

Проте, створення однієї дуже великої і складної системи на кристалі може виявитися дорожчим процесом, ніж серія малих через складність розробки, налагодження та зменшення частки придатних виробів.

Мікросхеми FPGA та CPLD характеризуються багатими функціональними можливостями, істотною ємністю, мають конфігуровану логіку і добре програмне забезпечення, але їх недоліком є відсутність можливості реалізації аналогових функцій і відносно високе енергоспоживання.

Застосування програмованих систем на кристалі (ПСнК)) є відносно новим підходом у розвитку вбудованих електронних систем. Такі пристрої дають змогу створювати оптимальну конфігурацію, зменшити кількість компонентів і енергоспоживання системи та скоротити час розробки проекту. Це відкриває дуже широкий спектр рішень для вбудованих систем: від ASIC до мікроконтролера (MCU). Проекти на основі розвитку ASIC надзвичайно дорогі і трудомісткі, але можливості з реалізації функцій практично не мають обмежень. Проекти на мікроконтролерах (МК) можуть бути створені дуже швидко – їх розробка займає кілька місяців або навіть тижнів, але реалізовані функції обмежені можливостями кристалу, які визначає виробник МК.

Однак, незважаючи на те, що обидва підходи відрізняються з точки зору технічної реалізації, вони мають багато подібного: обидва в основному використовують ядра процесорів ARM, включають у себе стандартні

комунікаційні інтерфейси, містять велику кількість аналогових функціональних блоків на кристалі, а також підтримують режими малого енергоспоживання.

Термін SOPC (System On Programmable Chip), тобто «система на програмованому кристалі», був уперше введений фірмою Altera. До SOPC належать ПЛІС найбільшого рівня інтеграції, що містять сотні тисяч і навіть мільйони еквівалентних вентилів.

Програмовані системи на кристалі мають три основні переваги:

- *інтеграція*. Можливість інтегрувати дискретні компоненти на єдиному кристалі, тим самим знизити витрати на необхідні компоненти і знизити витрати виробництва (вартість друкованої плати), а також зменшити потужність споживання системою за рахунок скорочення кількості використовуваних компонентів;

- *програмованість* аналогових функцій. Можливість інтеграції аналогових компонентів, таких як підсилювачі, фільтри, АЦП, перетворювачі сигналів тощо;

- *гнучкість*. Традиційна перевага програмованих пристроїв – постійна можливість внесення змін у систему, паралельна робота з проекту, розробка прототипу і підготовка виробництва — прискорює виведення продукту на ринку.

Ще додається можливість швидкої реконфігурації SOPC схем безпосередньо у працюючому пристрої, швидке відпрацювання прототипів і утворення принципово новітніх структур, які володіють багатофункціональністю і можливістю динамічного реконфігурування апаратних засобів.

Для зменшення працеемності розробки пристроїв на базі ПСнК створені бібліотеки схемних рішень – бібліотеки функціональних елементів, подібні до тих, що використовуються в ході розробки спеціалізованих НВІС на основі БМК. Елементи бібліотек мають різні форми подання:

- *soft-ядра* або віртуальні компоненти. Це файли, які можливо інтегрувати до опису пристрою, що розробляється, мовами HDL;

- *firm-ядра*, це варіант близький до першого, але його використовують для блоків, швидкодія яких особливо важлива. У цих ядрах схема задається більш жорстко і деякі міжз'єднання вже визначені;

- *hard-ядра* – це області кристала з наперед визначеними фіксованими функціями, їх виготовлено методами замовного проектування і ці ядра неможливо перепрограмувати.

Soft-ядра і firm-ядра ще називають «ядра (блоки) – інтелектуальної власності» (Intellectual Property, IP-core). Це програми завантаження ПЛІС для реалізації певних пристроїв, і вони придбаються окремо від кристала як самостійні продукти високої вартості.

Hard-ядра отримують разом з мікросхемою, як її частину, і вони не є самостійним товаром.

Залежно від характеру ядер, що застосовуються, SOPC поділяють на два типи – однорідні й блокові.

Однорідні програмовані системи на кристалі

В однорідних програмованих системах на кристалі, ПСнК, (в англomовній літературі вони позначаються назвою generic) застосовуються soft-ядра або firm-ядра. Різні функціональні блоки формуються на основі ідентичних схемотехнічних засобів внаслідок їх програмування, використовуючи в ході розробки так звані «одиниці інтелектуальної власності» IP (Intellectual Properties), тобто заздалегідь реалізовані параметризовані мегафункції. Тільки незапрограмований кристал є однорідним. Усі частини кристала містять однотипні програмовані схемні ресурси.

Проте визначення «однорідні» належить основній частині кристала HBIC, і окремі її частини допоміжного характеру можуть містити «неоднорідності», наприклад, вбудовану пам'ять, блоки керування синхросигналами типу PLL або DLL та інші деякі пристрої, що не виводять SOPC з класу однорідних. Дані, що завантажуються до пам'яті конфігурації для формування потрібного блоку (soft-ядра або firm-ядра) поставляються багатьма фірмами, але мають достатньо високу ціну.

Приклади IP-рішень:

- декодери для цифрового телебачення;
- алгоритми кабельних, безпроводних мереж;
- IP рішення для ЦОС;
- перетворювачі Фур'є;
- фільтри;
- пам'ять та її компоненти;
- математичні функції – суматор, дільник, помножувач, віднімач;
- процесори PicoBlaze і MicroBlaze з архітектурою Soft Processor (фірма Xilinx) і розрядністю 8 – 32;
- ядро процесора NIOS – це 16/32-розрядний RISC-процесор зі змінюваною конвеєрною архітектурою (фірма Altera).

В однорідних SOPC блоки, що реалізуються, можна розташовувати у різних областях кристала за допомогою їх програмного конфігурування.

Для проектування, розробки та комплексного налагоджування пристроїв на ПЛІС, у тому числі систем-на-кристалі компанії виробники мікросхем

пропонують системи автоматизації проектування (САПР). САПР – це інтегроване середовище розробки, яке реалізує всі етапи створення цифрового пристрою на базі ПЛІС, включаючи розробку проекту, синтез і моделювання, трасування, завантаження в кристал, тестування та налагоджування, в тому числі внутрішньосистемне. Зазвичай інтегровані програмні середовища підтримують всі сімейства мікросхем відповідного виробника. Так компанія Xilinx поставляє свої продукти разом з САПР Xilinx ISE (Integrated Synthesis Environment) [11].

Процесорне ядро Nios II (NII) компанії Altera – це 32-розрядне програмоване процесорне ядро є розвитком попередньої 16-розрядної версії програмованого процесора Nios. Для взаємодії процесорів між собою та периферією на кристалі застосовується достатньо продуктивне шинне рішення Avalon. Основні особливості шини Avalon – простота архітектури, відповідно чого для реалізації її логіки задіяні мінімальні ресурси кристалу. Шина повністю синхронна, не підтримує передачі даних пакетами і можливість роботи в режимі «multi-master». В одному такті роботи один з процесорів працює в режимі «master» («Головний» процесор), інші пристрої системи – в режимі «slave» («Підлеглий» процесор). За одну транзакцію шина Avalon передає один байт, слово або подвійне слово (8, 16, або 32 біта) між одним з пристроїв «slave» і пристроєм «master».

Програмований процесор Nios II підходить для реалізації широкого кола обчислювальних додатків, від цифрових сигнальних процесорів (DSP, Digital Signal Processor) до систем управління. За підтримки однієї команди відбувається помноження 32-розрядних чисел з опрацюванням 32-розрядного результату. Існує апаратний модуль налаштування, який працює за підтримки інтегрованих засобів розробки процесорних систем Nios. Ядра процесорів забезпечені пам'яттю та великою кількістю периферійних пристроїв, відтак вони еквівалентні мікроконтролерам.

Nios II має три непараметризовані модифікації.

Nios II/e (Economy) – 6-CPI процесор (CPI, Cycles Per Instruction, кількість тактів, необхідних для виконання однієї інструкції), мінімізований, неконвеєрний оптимізований за розміром, з програмно-реалізованим множенням;

Nios II/s (Standart) – 5-ступеневий конвеєр, репрезентує баланс між розміром і функціональністю, з апаратно реалізованим множенням, кешем команд;

Nios II/f (Fast) – потужний 6-ступеневий конвеєр, оптимізований для досягнення максимальної продуктивності, з динамічним розгалуженням, кешем команд і даних, опціонально ділильним пристроєм, обробкою зовнішніх

переривань, опціонально пристроєм управління пам'яттю (MMU, Memory Management Unit) або пристроєм захисту пам'яті (MPU, Memory Protection Unit).

Для реалізації цих різновидів ядра потрібно застосувати відповідно не більше 600, 1300 та 1800 логічних елементів мікросхем FPGA.

Розробникам систем-на-кристалі на базі ядер Nios II потрібна система автоматизації проектування EDA (Electronic Design Automation) SOPC Builder (System on a Programmable Chip Builder). Пакет SOPC Builder – спеціалізоване програмне забезпечення компанії Altera, призначене для автоматичного проектування, безпосередньо орієнтованого на розробку систем на кристалі. Він включає набір різноманітних HDL-модулів: контролери пам'яті, інтерфейси, периферійне обладнання тощо, на базі яких конфігурується система-на кристалі. Модулі процесорного ядра Nios II та шини Avalon мають засоби взаємодії з програмним середовищем SOPC Builder для автоматичної генерації ядра системи, шини і периферійних пристроїв.

Всі спеціалізовані програмні засоби автоматичного проектування, такі як SOPC Builder, утиліти, додаткові модулі та IP вузли, в тому числі модуль Avalon та процесорне ядро Nios потребують використання системи автоматизації проектування Qwartus II, яку компанія Altera поставляє з усіма своїми продуктами. САПР Qwartus II, забезпечує повний цикл проектування та розробки електронних пристроїв на кристалах ПЛІС, підтримуючи всі можливості продуктів компанії.

Процесорне ядро MicroBlaze фірми Xilinx – це 32-розрядний RISC програмований процесор з гарвардською архітектурою, за якої процесор має розділені пам'ять команд і пам'ять даних. Процесорне ядро потребує близько 1000 логічних чарунок за високої швидкодії серед soft-ядр своєї генерації. Щодо продуктивності, MicroBlaze може формувати нову командну інструкцію в кожному такті і підтримувати таку продуктивність у більшості випадків. Для реалізації введення/виведення застосовується загальна шина CoreConnect On-Chip Peripheral Bus, яка може функціонувати в режимах «master» або «slave» та забезпечувати безпосереднє підключення великої кількості периферії та IP-блоків як компанії Xilinx, так і сторонніх виробників. Кожен процесор MicroBlaze має засоби Fast Simplex Link (FSL) для реалізації ефективного з'єднання точка-точка (point-to-point) для додавання спеціально створених співпроцесорів для прискорення обчислень.

Мультипроцесорні системи з ядром MicroBlaze конфігуруються за застосування інтегрованого пакету компанії Xilinx Embedded Development Kit (EDK). Цей пакет включає програмні засоби, документацію та IP-ядра і

застосовується для розробки вбудованих систем на основі кристалів ПЛІС компанії Xilinx з вбудованими апаратними ядрами процесора PowerPC та програмованими процесорами MicroBlaze.

Процесорне ядро PicoBlaze – це восьмирозрядний RISC-мікроконтролер, оптимізований для всіх сімейств мікросхем Xilinx. Компанія безкоштовно постачає процесорні ядра у вигляді вихідного коду мовою VHDL разом із спеціальним середовищем для розробки, але надана ліцензія дозволяє їх використання тільки з пристроями Xilinx. Як приклад версія процесорного ядра PicoBlaze KCPSM3 займає лише 96 логічних блоків ПЛІС Spartan-3. Це 12,5% площини кристала XC3S50, та 0,3% – кристала XC3S5000. У типовій реалізації один блок оперативної пам'яті вміщує 1024 програмних інструкції, які автоматично завантажуються під час конфігурації процесорного ядра на кристалі. Навіть така проста конфігурація дозволяє досягати швидкості від 44 до 100 MIPS (мільйон команд за секунду) залежно від сімейства ПЛІС.

В однорідних SOPC можливо конфігурувати на кристалі області одного або декількох процесорів, пам'яті і багатьох інших периферійних схем. Розробник сам розміщує на кристалі необхідні soft-ядра і firm-ядра. Можливо об'єднати на одному кристалі віртуальні компоненти від різних розробників. Однорідні SOPC характеризуються великою гнучкістю і універсальністю застосування. Виникає тільки проблема їхнього придбання внаслідок великої вартості. В однорідних SOPC не можна досягти максимальної швидкодії ядр.

Їх орієнтовано переважно на використання у сферах телекомунікації, мережних додатках, обробки зображень та мови й інших мультимедійних застосувань.

Блокові програмовані системи на кристалі. У блокових SOPC є окремі спеціалізовані області кристала, апаратні ядра (hard-ядра), які виконують чітко визначені функції. SOPC блокового типу містять програмовані і фіксовані області. У фіксованих областях створено блоки з визначеними функціями. В інших областях кристала розміщується програмована користувачем частина типу FPGA.

Характер і складність апаратних ядер протягом часу змінюється. Спочатку апаратні ядра виконували відносно прості функції, зараз основним апаратним ядром є мікропроцесор або мікроконтролер. Апаратні ядра забезпечують роботу на максимально можливих частотах.

Hard-ядра реалізують блоки, які утворені методами проектування замовних схем. Такі блоки порівняно з soft-ядрами займають на кристалі значно

меншу площу (у декілька разів), тому що вони не мають засобів конфігурування та оптимізовані для виконання конкретної функції.

Якщо прийняти площу, яку займає цифровий пристрій, утворений згідно з методом «на стандартних чарунках», за одиницю, то площа такого самого пристрою, виготовленого згідно з технологією LPGA (БМК з лазерним програмуванням) становить у середньому 3,3 одиниці, для технології MPGA (БМК з масковим програмуванням) – 1,6 одиниць, а для НВІС програмованої логіки – 1020 одиниць. Згідно з цими причинами, швидкодія hard-ядр на 20...50% вища, ніж швидкодія soft-ядр.

Визначеність hard-ядр знижує універсальність мікросхеми (зменшує її функціональну гнучкість) і зменшує коло споживачів. Hard-ядра фіксовані на площі кристала, що утруднює розміщення й розведення міжз'єднань, для областей, які конфігуруються. Це перешкоджає максимальному використанню програмованих логічних ресурсів і досягнення їх максимальної швидкодії.

Для hard-ядер обирають тільки широко поширені функціональні блоки. Насамперед до них належать блоки ОЗП невеликої ємності, в яких можливо змінювати організацію пам'яті, режими роботи (синхронний або асинхронний), реалізовувати буфери FIFO і двопортову пам'ять. Апаратне ядро ОЗП ємністю 256...512 біт займає площу на кристалі, в десять разів меншу, ніж площа, яка була б потрібна для синтезу такого самого ОЗП засобами звичайної програмованої логіки. Крім того, при цьому в кілька разів підвищується швидкодія такого ОЗП. Для підвищення універсальності і розширення кола користувачів ядра ОЗП виконуються невеликої ємності.

Наступними блоками є апаратні перемножувачі для ЦОС. Так, перемножувач двох 8-бітних слів займає площу, рівну 1/5 площі, що вимагається для реалізації такого самого помножувача за допомогою логічних блоків FPGA.

Але найефективнішим напрямком успішного застосування апаратних ядер є інтерфейсні вузли – схеми інтерфейсу JTAG, контролери шини PCI (потрібні у деяких додатках, що вимагають максимальної швидкодії), UART, SPI, CAN, Ethernet тощо. І нарешті у складі апаратних ядер з'явилися мікропроцесори і мікроконтролери. Сферою застосування блокових SOPC є системи найвищої швидкодії.

Блокові SOPC можна поділити на дві великі групи:

- блокові SOPC, що не мають процесорних ядер;
- блокові SOPC, що містять процесорні ядра.

Перша група ПСнК спеціалізована й орієнтована на ту чи іншу сферу застосування.

Друга група мікросхем є дійсно універсальною. Вона містить повний набір блоків, що використовуються у мікропроцесорній системі. Це насамперед цифрові блоки, а деякі ПСнК включають цифрову частину та аналогові блоки для введення, попередньої обробки і подальшого оцифровування аналогових сигналів.

Системи на кристалі з блоковою структурою можна класифікувати за різними ознаками:

- за типом процесорного ядра: ARM, MIPS, PowerPC, x86 та інші;
- за продуктивністю ядра та частотою системної шини;
- за набором інтерфейсів;
- за вартістю кристала та вартістю мінімальної кількості компонентів для його підключення;
- за призначенням кристала з точки зору виробника.

Інженер-розробник повинен враховувати:

- доступність ПСнК;
- цикл виробництва кристала, що планується;
- експлуатаційні характеристики розроблюваного виробу;
- технологію друкованих плат і монтажу компонентів;
- повноту документації і технічної підтримки тощо.

У мікросхемах SOPC з hard-ядрами процесорів (фірми Atmel, Altera, Xilinx, Cypress Semiconductor та інші) використовувалися визначні 8- та 32-розрядні процесорні ядра. В перших SOPC це були широко визнані 8-розрядні CISC-процесори 8051 фірми Intel і RISC-процесори AVR фірми Atmel. Через деякий час розробники отримали 32-розрядні ядра, які були пристосовані до базового технологічного процесу виробництва мікросхем FPGA – схеми RISC-процесорів ARM, MIPS і PowerPC.

Перші процесорні hard-ядра з'явилися у відносно нескладних мікросхемах SOPC. Нині hard-ядра процесорів реалізуються у широкому діапазоні складності, вартості тощо. Застосовуються як спеціально розроблені ядра, так і ядра процесорів та мікроконтролерів, що вже використовують.

Серед 8-розрядних визнані ядра Intel 8051 (CISC-процесор з повним набором команд), AVR (фірма Atmel), M8C (фірма Cypress Microsystems). Серед 32-розрядних процесорних ядер найбільш відомі ARM (ARM Holdings), PowerPC (IBM та інші), MIPS (MIPS Technology), ARC і Tensilica.

Ядра ARM9T. Ядра ARM9T – скалярні RISC-процесори, орієнтовані на архітектурне сімейство ARM9 Thumb системи команд ARM ISA (Instruction Set Architecture). Більшість команд є обумовленими (Conditional), що виконуються

за певних умов, які визначаються самою командою. Це зменшує кількість розгалужень шляхів виконання програми і відтак підвищує продуктивність процесора. Процесор має п'ятиступеневий конвеєр, більшість операцій виконується за один такт, тактова частота може змінюватися від нуля до 200 МГц, кеш-пам'яті команд і даних мають об'єми 16 Кбайт, використовуються з системною шиною AMBA (0,18 мкм).

Архітектура процесорів ARM є де-факто стандартом для вбудованих систем. Родина процесорних ядер Cortex-... широко застосовується у мікроконтролерах та у ПСнК. Кількість ядер може становити до 6 з робочими частотами до 1,3 ГГц. Постачальники блоків ІР для ПСнК застосовують в архітектурі для нових розробок шину AMBA від ARM. Компанії, які розробляють операційну систему реального часу (ОСРЧ), передусім включають підтримку для ARM-процесорів у своїх системах. Це сприяло широкому застосуванню у ПСнК процесорного ядра ARM. Для зменшення часу проектування електронної системи на базі мікросхем ПСнК розробникам запропоновано добре їм відому платформу, включаючи архітектуру центрального процесора, компілятори, інтегроване середовище розробки, налаштувачі, ОСРЧ та комплект мікропрограмного забезпечення.

Ядра PowerPC 405C. Назва походить від Performance Optimization With Enhanced RISC. Ядро PowerPC 405C – скалярний RISC-процесор з кешами команд та даних и тактовою частотою до 380 МГц (для версії з проектними нормами 0,18 мкм і напругою живлення 1,8 В) з гарвардською архітектурою. Це об'єднана розробка фірм Apple, IBM, Motorola. Ядро характеризується розвиненою системою команд у межах концепції RISC і можливостями, якими володіють процесори більш високого рівня. Процесор ґрунтується на ISA PowerPC і є представником класичних RISC з архітектурою Load/Store. Процесор має п'ятиступеневий конвеєр, більшість операцій виконується за один такт (але не команди множення й ділення) і підтримує шину CoreConnect от фірми IBM. Реалізовані черги команд для двох виконавчих блоків (ALU і MAC), конфігуровані розміри кешів (від їх відсутності до розмірів 8, 16 або 32 Кбайта), механізми віртуальної пам'яті, два пристрої для виконання математичних операцій (ALU і MAC), блок JTAG.

Системні шини. Для ефективної взаємодії процесорних ядер з головною пам'яттю, периферією і пристроями, які реалізовані у FPGA, потрібні системи шин високої продуктивності. Тому розробники орієнтувалися на дві шинні системи: AMBA от фірми ARM і CoreConnect от фірми IBM.

У шинній системі AMBA існує 3 шини: дві системні, що мають назву АНВ (AMBA High-Speed Bus) і ASB (AMBA System Bus) та периферійна APB (AMBA Peripheral Bus). Системні шини є швидкісними, вони мають окремі лінії для адреси та даних. Більш пізня розробка шини АНВ має удосконалену архітектуру, більшу швидкодію та підтримує передавання пакетів даних.

Шинна система CoreConnect складається з локальної процесорної шини PLB (Processor Local Bus) і периферійної шини OPB (On-Chip Peripheral Bus). Шини не мультиплексуються, водночас підтримують читання та запису (мають окремі шини даних для цих режимів), налаштовуються версії відмінних розрядностей (від 16 до 128). Частота тактування PLB для відмінних розрядностей становить 66, 133 і 183 МГц.

Для переважної більшості розробників створення системи на одному кристалі здійснено тільки на основі ПЛІС, тому що замовлене проектування з економічних міркувань можливо тільки за масового виробництва.

За своїми архітектурними ознаками SOPC, як правило, належать до структур комбінованого типу, в яких поєднуються ознаки FPGA і CPLD з перевагою ознак FPGA.

Реалізації аналогових функцій у програмованих пристроях

Є багато доступних платформ, в які інтегровано різні аналогові функції, але проблема полягає в реалізації ПСнК аналогових схем нижчого рівня, що традиційно не входили до складу кристала. Крім того, введення аналогових функцій у кристал має повністю вивільнити розробника від проблем, пов'язаних з проектування аналогових блоків і бути процесом, схожим на реалізацію інших ІР-блоків у системі. Для реалізації цифрових функцій потрібно включити необхідний функціональний блок до проекту, розвести відповідні лінії введення/виведення, перевірити синхронізацію.

Поведінка навіть простих аналогових схем залежить від конкретної конфігурації, розведення кристала та топології зовнішньої плати, що важко врахувати. Наприклад, блоки комутованих конденсаторів можна налаштувати у різний спосіб: у вигляді підсилювача з програмованим коефіцієнтом підсилення, трансімпедансного підсилювача, аналогового фільтра і навіть змішувача частоти. Функціонування цих блоків залежить від їх конфігурації і частоти перемикавання конденсаторів. Можливість здійснення таких блоків на єдиному кристалі є дуже привабливою, але складності з урахуванням усіх нюансів їх роботи і налаштування багаточисленних регістрів викликають труднощі у розробників.

Вирішити цю проблему дозволяє відповідне програмне забезпечення, що забезпечує високий рівень абстрактного уявлення та задання параметрів

проекту, звільняє розробника від додаткових турбот. Іншими словами, розробнику не потрібно знати, як функціонує застаріле АЦП для його запуску, не потрібно вивчити конфігурацію регістрів і коди вбудованих пристроїв, для введення у дію необхідного блоку АЦП. Розробник повинен мати можливість налаштувати АЦП, на основі властивостей і характеристик, таких як наявна роздільна здатність, максимальна частота дискретизації, діапазон напруг тощо. Наступний крок після вибору АЦП для проекту має бути адаптація його до вимог проекту, вказавши потрібне значення параметра, наприклад, введення діапазона вхідної напруги.

Прикладом інструменту для розробки, який конфігурує аналогові блоки для програмованої платформи, є PSoC Creator компанії Cypress Semiconductor. Пакет PSoC Creator підтримує пристрої з архітектурою PSoC 3 і PSoC 5 з ARM-процесором, використовуючи інтерфейс для введення опису схеми, яка дозволяє користувачеві налаштувати вибрані компоненти, використовуючи параметри редакторів.

Створені раніше аналогові (і цифрові) компоненти відображаються в каталозі, у якому є доступ до прикладів проектів та технічної документації. Коли компонент вставляється у проект, інструментальний засіб генерує прикладні програмні інтерфейси (API) для додатків, які можуть взаємодіяти з ним без того, щоб розшифрувати набори регістрів і синхронізації з АЦП.

Наступним кроком є інтеграція аналогових і цифрових частини проекту за допомогою програмного забезпечення. Програмування аналогових функцій за допомогою введення опису схем аналогових компонентів є ефективним, але не завершеним. Розробникам потрібен інструмент, що підтримує і цифрову частину проекту та програмне забезпечення для цього.

Введення опису схеми за допомогою програмних інструментів розробки давно застосовується у цифровому проектуванні і платформи, що підтримують інтеграцію аналогової і цифрової частин проекту в одному пристрої, стають все більш популярними.

7.2 ПЛІС типу програмована «система на кристалі» з однорідною структурою

ПЛІС типу програмована система на кристалі (ПСнК) з однорідною структурою виробляють різні фірми:

- Altera – сімейство APEX 20K, Stratix;
- Xilinx – сімейство Virtex;
- Actel – сімейство proASIC та ін.

Програмована система на кристалі APEX 20K фірми Altera

ПЛІС типу програмована «система на кристалі» з однорідною структурою розглянемо на класичному прикладі сімейства NBIC APEX 20K/KE/KC, APEX II фірми Altera. Мікросхеми різняться напругою живлення 2,5 В, 1,8 В відповідно, а мікросхеми з індексами KC замість алюмінієвих між'єднань мають мідні між'єднання. Мікросхеми виконані з меншими технологічними нормами, мають напругу живлення 1,5 В і багатошарову мідну систему між'єднань.

У мікросхемах сімейства APEX з тригерною пам'яттю конфігурації програмуються усі основні області кристалу. Мікросхеми побудовані за архітектурою, яку назвали Multicore. Логічні функції реалізуються за допомогою функціональних перетворювачів (таблиць відповідності, LUT) і логічних матриць. Об'єднуються характерні ознаки CPLD і FPGA. Мікросхема має вбудовану пам'ять і розвинуту гнучку систему інтерфейсів. Фрагмент загального плану мікросхем сімейства Арех зображено на рис. 7.1.

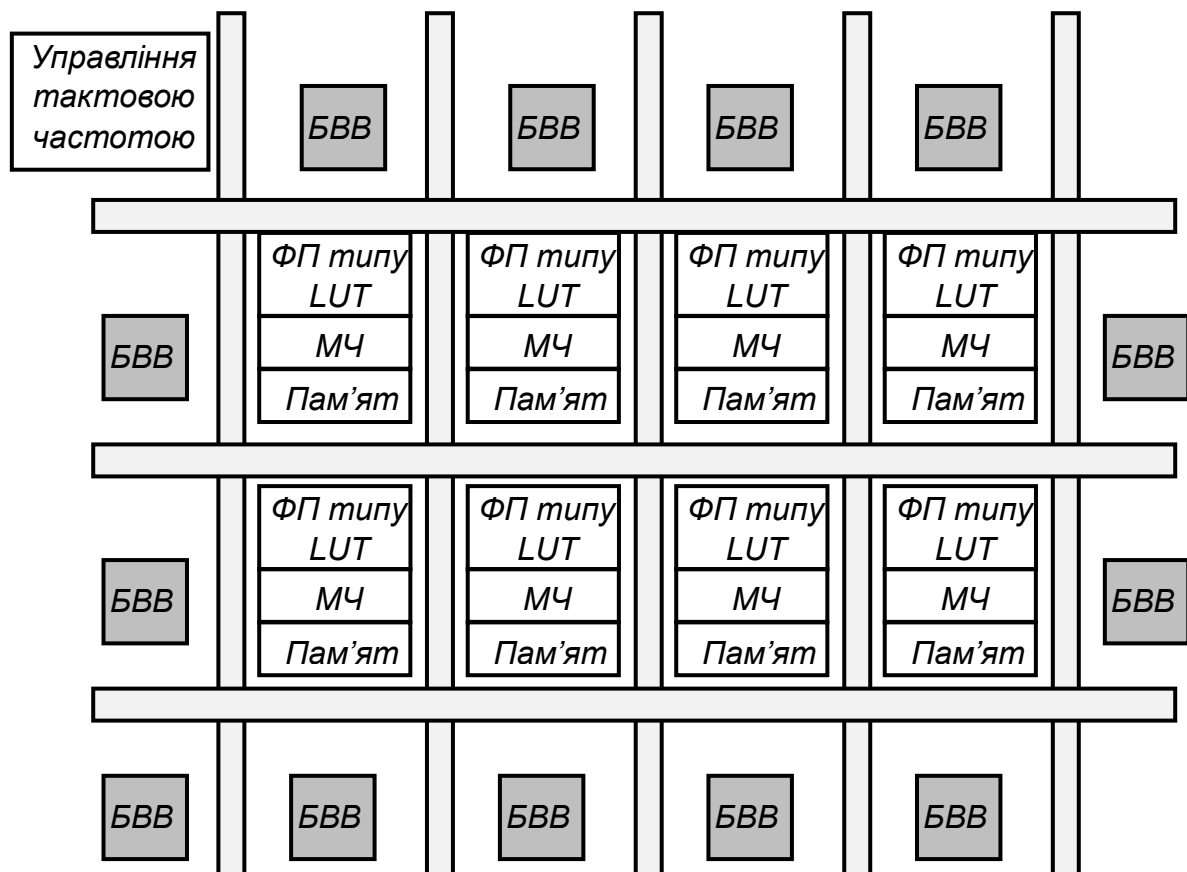


Рисунок 7.1 – Фрагмент загального плану ПЛІС сімейства APEX

У кожній клітинці, що утворена шинами швидких з'єднань, розташовані функціональні ресурси трьох типів:

- логічні перетворювачі типу LUT;

– логічні блоки подібні до макрочарунок, які розміщувалися у попередній серії CPLD типу MAX 7000;

– вбудовані блоки пам'яті подібні до блоків EAB серії ACEX 1K, але з більшими можливостями, їх найменували ESB (Embedded System Blocks).

Перетворювачі типу LUT добре пристосовані для реалізації складних алгоритмів обробки сигналів і побудови пристроїв, що містять велику кількість тригерів. Блоки з макрочарунками, до складу яких належать логічні матриці, застосовують для реалізації функцій швидкодіючої керуючої логіки і керуючих автоматів. Суміщення обох типів блоків на одному кристалі забезпечує ефективність схемних рішень для проектів різноманітних типів. Для цієї мети також слугують вбудовані блоки ОЗП великої швидкодії, у яких можливо змінювати організацію пам'яті, режими роботи (синхронний або асинхронний), реалізовувати буфери FIFO і двопортову пам'ять. Блоки введення/виведення підтримують інтерфейси PCI, GTL+, SSTL-3, LVDS та інші.

Складність кристалів мікросхем сімейства Apex обумовила у них збільшення ієрархічних рівнів.

Найменшою структурною одиницею логічного типу є логічний елемент ЛЕ (LE, Logic Element) подібний до ЛЕ мікросхем серії ACEX 1K. Він може працювати у декількох режимах – нормальному, арифметичному або лічильному, і утворювати кола перенесення та каскадування.

Десять ЛЕ об'єднуються в логічний блок ЛБ (LAB, Logic Array Block). Вони з'єднуються між собою локальною матрицею з'єднань ЛМЗ (LI, Local Interconnect).

Шістнадцять ЛБ і блок пам'яті об'єднуються в мегаблок (MegaLab). Структуру мегаблоку наведено на рис. 7.2. Мегаблоки утворюють самостійний функціональний рівень і також мають свій рівень з'єднань (рис. 7.3). Це підвищує трасувальні ресурси кристалу і дозволяє у межах блоку здійснити кінцевий функціональний вузол.

Мегаблоки комутуються між собою за системою глобальної матриці з'єднань, ГМЗ (Fast Track Interconnect). Лінії ГМЗ безперервні і проходять по усій довжині (ширині) кристала. До кінців ліній ГМЗ підключаються блоки введення/виведення, БВВ. Схеми БВВ мають високу швидкодію і підтримують завбільшки 10 стандартів вхідних і вихідних сигналів. Контакти для вводу і виводу поділені на декілька банків. Кожен банк підтримує свою напругу живлення і незалежно від інших підтримує той або інший стандарт сигналів.

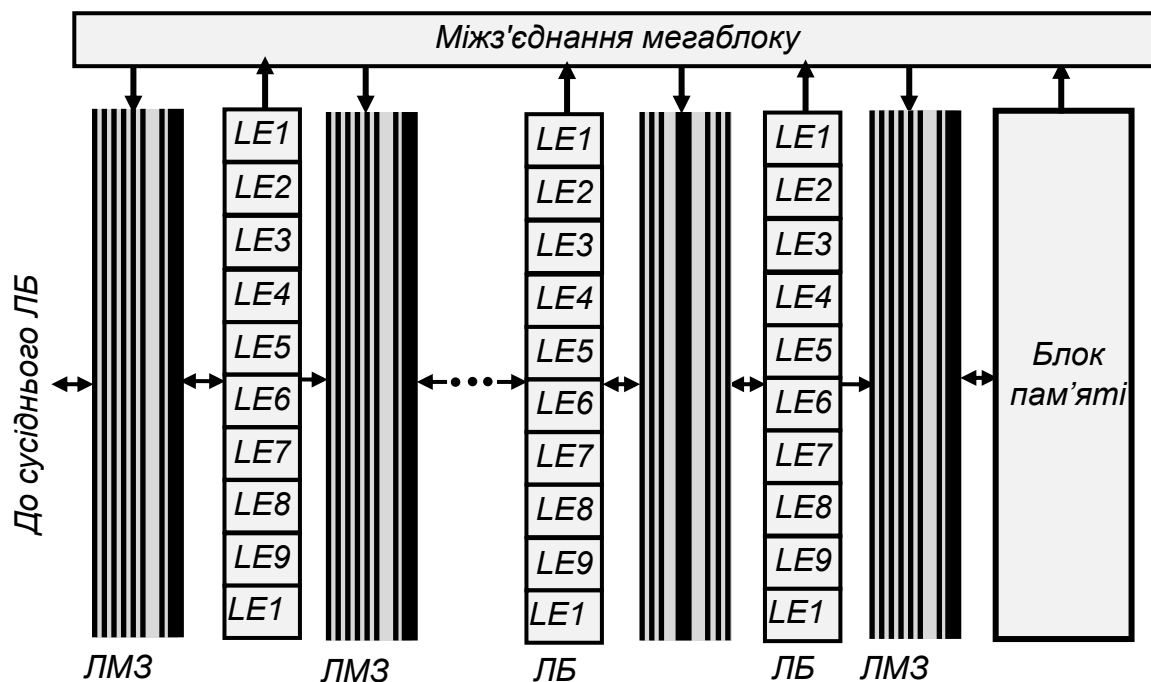


Рисунок 7.2 – Структура мегаблоку сімейства APEX

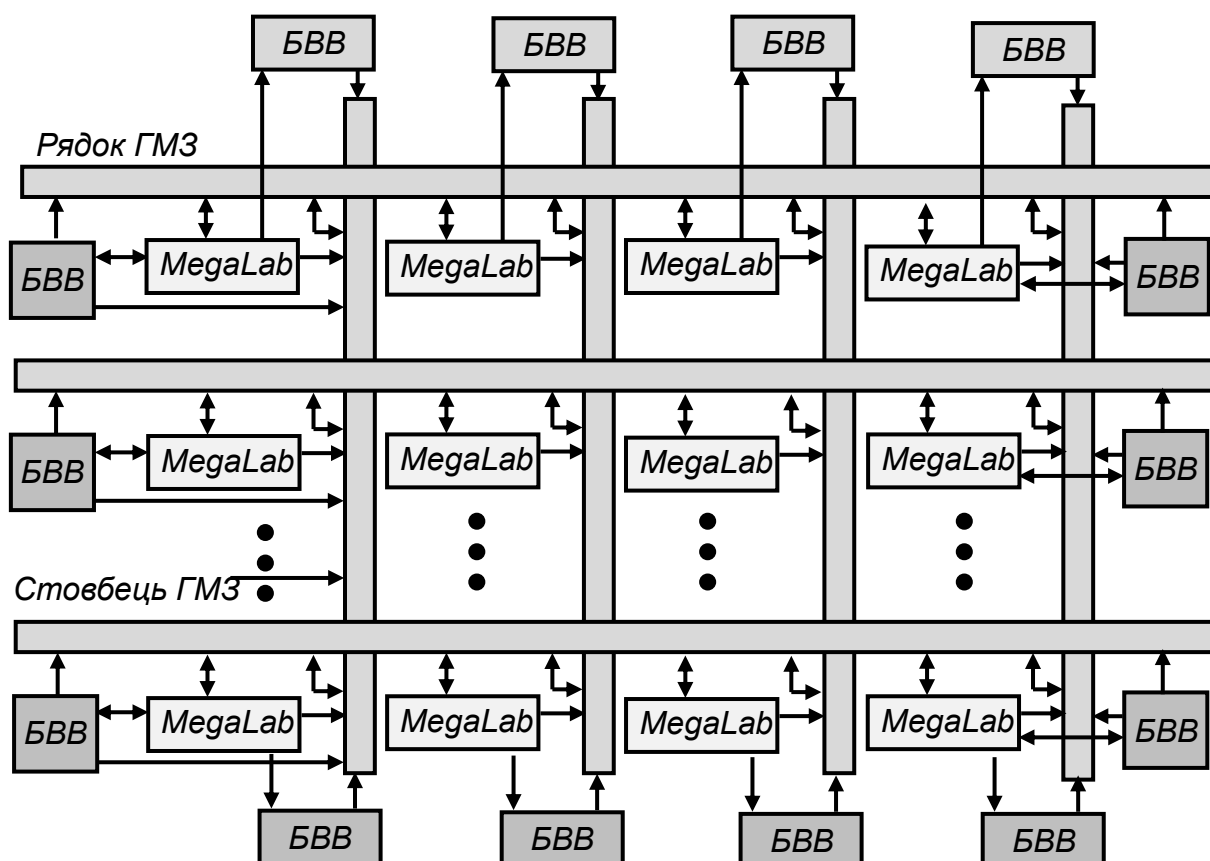


Рисунок 7.3 – Структура з'єднань ПЛІС сімейства APEX

Схеми фазового автоподстроювання частоти, ФАПЧ (Phase-Locked Loops, PLL) використовують для гнучкого керування синхросигналами на

системному рівні. Схеми тактування передають синхросигнали з невеликим фазовим зсувом, блоки мікросхеми можуть використовувати до восьми глобальних синхросигналів. Схеми керування параметрами синхросигналів виконують функції мінімізації їх затримок і фазових неузгоджень, множення частоти у деяких блоках, що дозволяє розводити по кристалу сигнали синхронізації з меншою частотою.

Мікросхеми сімейства мають програмоване керування споживаною потужністю залежно від потрібної швидкодії. Коли максимальна швидкодія не потрібна, можливо знижати споживану потужність за допомогою відповідної опції. Блоки, які не використовуються, ставляться у режим глибокого зниження споживаної потужності.

Основні характеристики ПЛІС сімейства APEX20K(KE) (залежно від типу мікросхеми):

- кількість еквівалентних системних вентилів: 263 000 - 2 670 000;
- кількість вбудованих блоків пам'яті від 26 до 264;
- максимальний об'єм пам'яті, біт - від 53 248 до 540 672;
- кількість макрочарунок від 416 до 4224;
- кількість виводів користувача від 252 до 780;
- напруга живлення ядра 2,5 В (1,8 В);
- рівні сигналів введення / виведення (1,8 В) 2,5; 3,3 і 5,0 В;
- схема підтримує інтерфейсні стандарти: LVDS, PCI.

Для мікросхем сімейства APEX розроблене soft - ядро процесора Nios. Nios – це 16/32-розрядний RISC-процесор зі змінюваною конвеєрною архітектурою. Реалізується на основі приблизно 1000 логічних елементів. Займає від 12% до 1,5% логічних ресурсів кристала (залежно від різновиду мікросхеми).

Характеристика сімейства Stratix фірми Altera

Сімейство Stratix належить до мікросхем класу ПСнК. Вони мають велику складність, високу швидкодію, напруга живлення ядра становить 1,5 В, усі шари міжз'єднань мідні. Мікросхеми сімейства Stratix містять деякі апаратні ядра: блоки пам'яті та блоки цифрової обробки сигналів (DSP-блоки), розміщені по усьому кристалу. Старший представник сімейства – мікросхема, яка містить 114140 ЛЕ (складність ЛЕ оцінюється 26 еквівалентними вентилями, так що у цілому мікросхема містить понад 3 млн. еквівалентних вентилів) і приблизно 10 Мбіт пам'яті RAM, тактова частота роботи окремих пристроїв становить 420 МГц.

ПЛІС сімейства Stratix по суті уявляють собою двовимірну матричну структуру (рис. 7.4). Численні багаторівневі між'єднання забезпечують передачу сигналів між логічними блоками (logic blocks, Labs), різними структурами пам'яті і спеціалізованими блоками цифрової обробки сигналів, DSP-блоками.

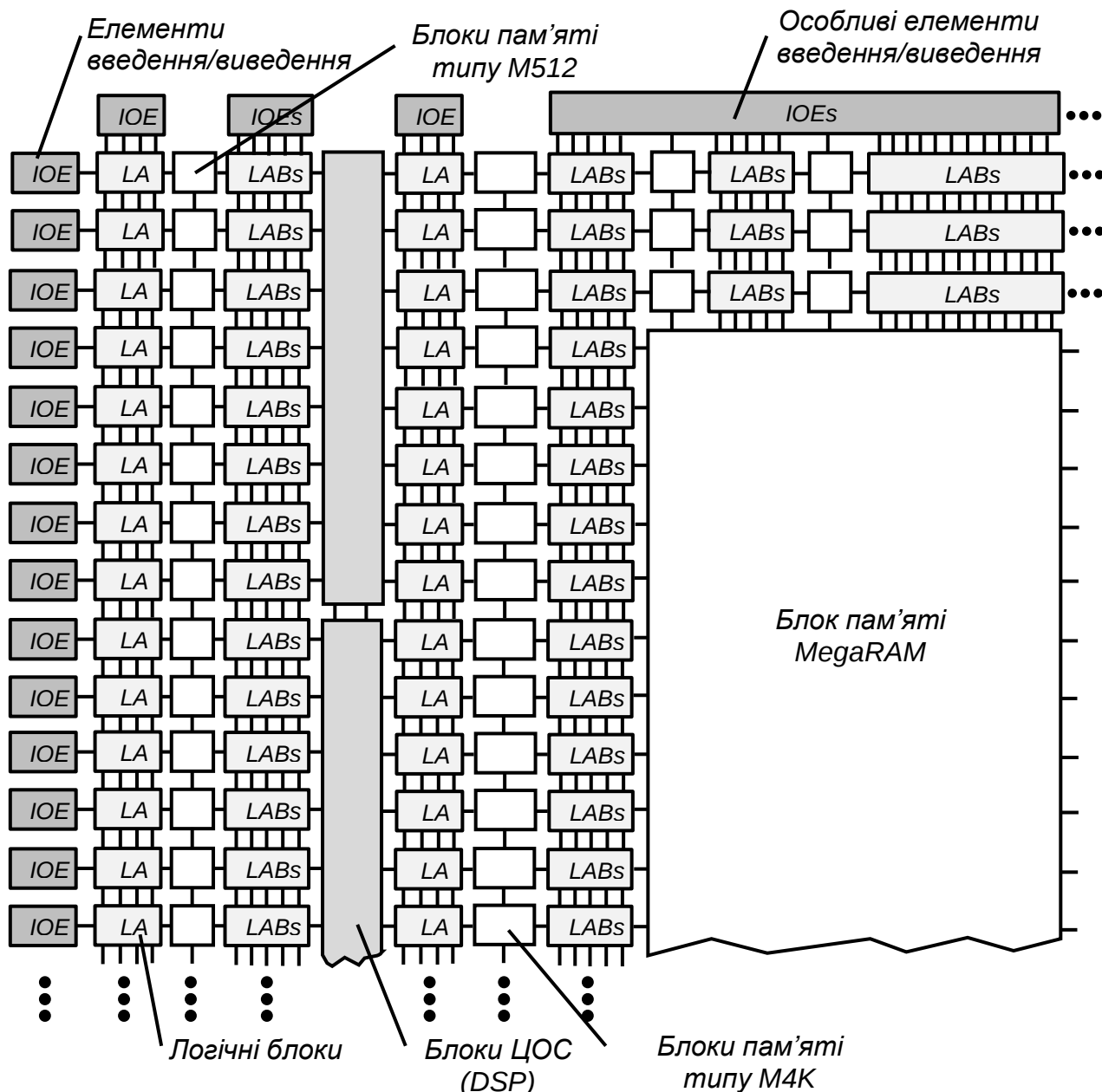


Рисунок 7.4 – Архітектура SOPC сімейства Stratix

Кожен логічний блок (ЛБ, LAB) містить 10 логічних елементів. ЛБ групуються за стовпцями і рядками.

Блоки пам'яті M512 являють собою просту двопортову пам'ять на 512 біт, доповнених бітами парності (всього 576 біт). Ці блоки забезпечують вбудовану реалізацію як однопортової, так і двопортової пам'яті, розрядністю до 18 біт і швидкодією 312 МГц. Блоки пам'яті M512 групуються у стовпці.

Блоки пам'яті M4K являють собою повноцінні блоки двопортової пам'яті об'ємом 4 Кбіт, які доповнені бітами парності (загалом 4608 біт). Ці блоки забезпечують реалізацію двопортової пам'яті, однопортової пам'яті з розрядністю до 36 біт і швидкодією до 312 МГц. Вони також групуються в стовпці.

Блоки пам'яті MegaRAM – це двопортова пам'ять об'ємом 512 Кбіт, яка доповнена бітами парності (загальний обсяг 589824 біт). Ці блоки забезпечують реалізацію двопортової пам'яті, однопортової пам'яті з розрядністю до 144 біт і швидкодією до 300 МГц. Багато в чому їх структура нагадує блоки пам'яті Арех. Кілька блоків MegaRAM розташовуються в центрі кристала.

Дуже вдало розроблені DSP блоки, які дозволяють реалізувати до восьми 9-розрядних перемножувачів, або чотирьох 18-бітних перемножувачів або один 36-розрядний перемножувач, з функціями накопичення, підсумовування і віднімання. Очевидно, що така побудова дозволяє легко реалізовувати практично будь-який алгоритм ЦОС. З метою підвищення продуктивності (швидкодії) блоки пам'яті та DSP блоки рівномірно розміщені на кристалі (рис. 7.5).

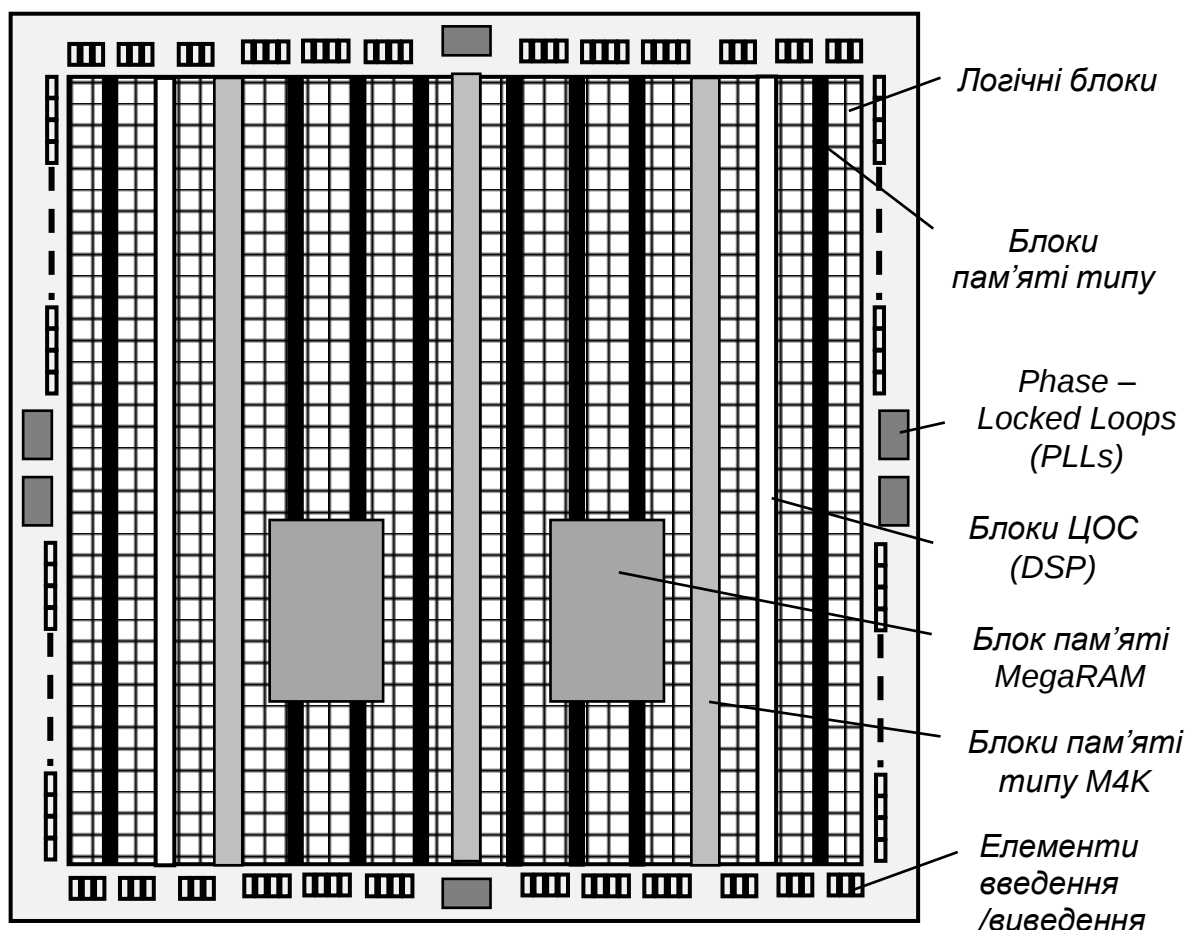


Рисунок 7.5 – Розміщення функціональних елементів на кристалі ПЛІС Stratix

Кожен рядок і стовпець ПЛІС починається і завершується елементами введення/виведення, що підтримують різноманітні інтерфейси передачі даних.

Кожен логічний блок (LAB) складається з 10 логічних елементів, ліній прискореного перенесення, керуючих сигналів, локальних міжз'єднань блоку, таблиць перекодування (LUT), а також кіл міжз'єднань регістрів.

ПЛІС Stratix мають високу продуктивність за рахунок реалізації:

- максимальної швидкодії під час проектування системи за допомогою матриці з'єднань MultiTrack і техніки маршрутизації DirectDrive;
- трирівневої системи пам'яті TriMatrix;
- широкосмугових блоків DSP;
- засобів введення/виведення I/O, що підтримують різні стандарти високошвидкісних інтерфейсних систем зв'язків.

Сімейство ПСнК Virtex фірми Xilinx

Фірма Xilinx випускає сімейство ПЛІС ПСнК з однорідною структурою Virtex. Основну архітектуру кристалів Virtex складає масив конфігурованих логічних блоків CLB, які оточені програмованими блоками введення/виведення (input/output blocks, IOB) (рис. 7.6). Крім того, до неї входять схеми цифрового автоналаштування затримок DLL і блоки виділеної пам'яті Block SelectRAM. Всі з'єднання між основними архітектурними елементами ПЛІС здійснюються за допомогою ієрархічної структури трасувальних ресурсів.

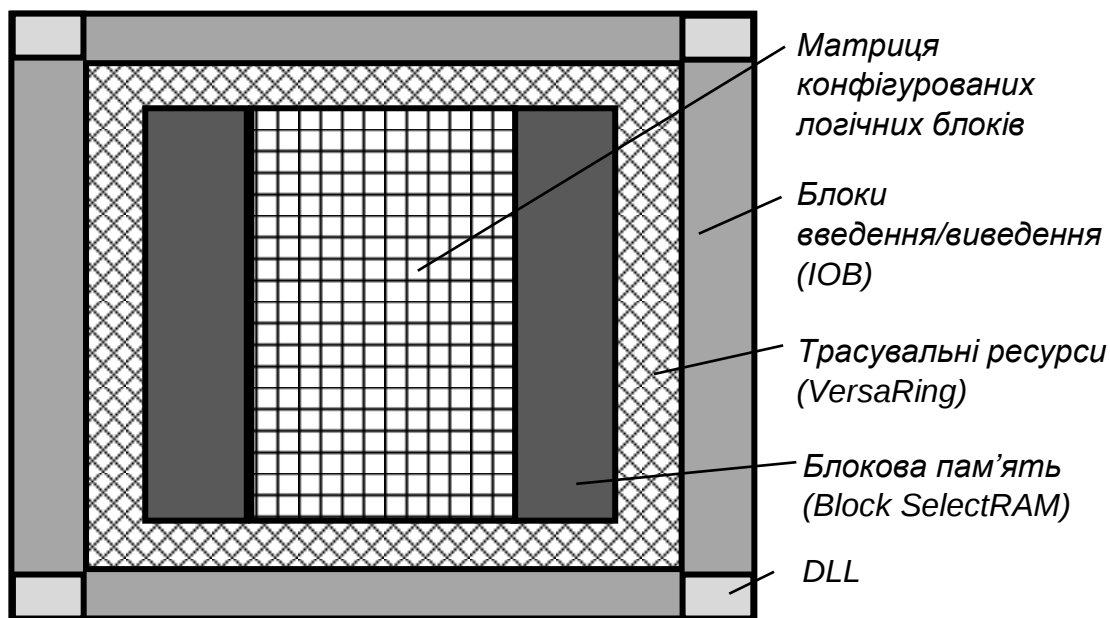


Рисунок 7.6 – Архітектура кристалів сімейства Virtex

Конфігурований логічний блок ПЛІС сімейства Virtex складається з двох секцій, кожна з яких містить у собі дві однотипні логічні комірки. До складу логічної комірки входить функціональний генератор із чотирма входами

(таблиця перетворень), тригерний елемент і логіка прискореного перенесення. Крім того, конфігурований логічний блок містить додаткову логіку, яка дозволяє конфігурувати ресурси функціональних генераторів для реалізації функцій п'яти і шести змінних. Основними елементами ієрархічної структури трасувальних ресурсів є: трасувальні ресурси загального призначення, що включають головні трасувальні матриці (General Routing Matrix, GRM) і комутаційні кола різного типу, локальні трасувальні лінії VersaBlock, які оточують кожен конфігурований логічний блок, і додаткові трасувальні ресурси для комутації блоків вводу/виводу VersaRing.

Характеристика FPGA Virtex E компанії Xilinx

Сімейство Virtex-E, яке є результатом розвитку архітектури Virtex на основі використання технології 0,18 мкм із шестишаровою металізацією, містить тринадцять ПЛІС з логічною ємністю від 384 до 16224 конфігурованих логічних блоків (відповідно від 70000 до 4000000 системних вентилів).

Архітектура ПЛІС сімейства Virtex-E містить ті самі структурні елементи, що і кристали Virtex, але було змінено їх взаємне розташування (рис. 7.7). Конфігуровані логічні блоки розташовані у вигляді стовпців, а не у вигляді прямокутної матриці. Модифікація топології ресурсів кристалів дозволяє досягти збільшення ємності блочної пам'яті.

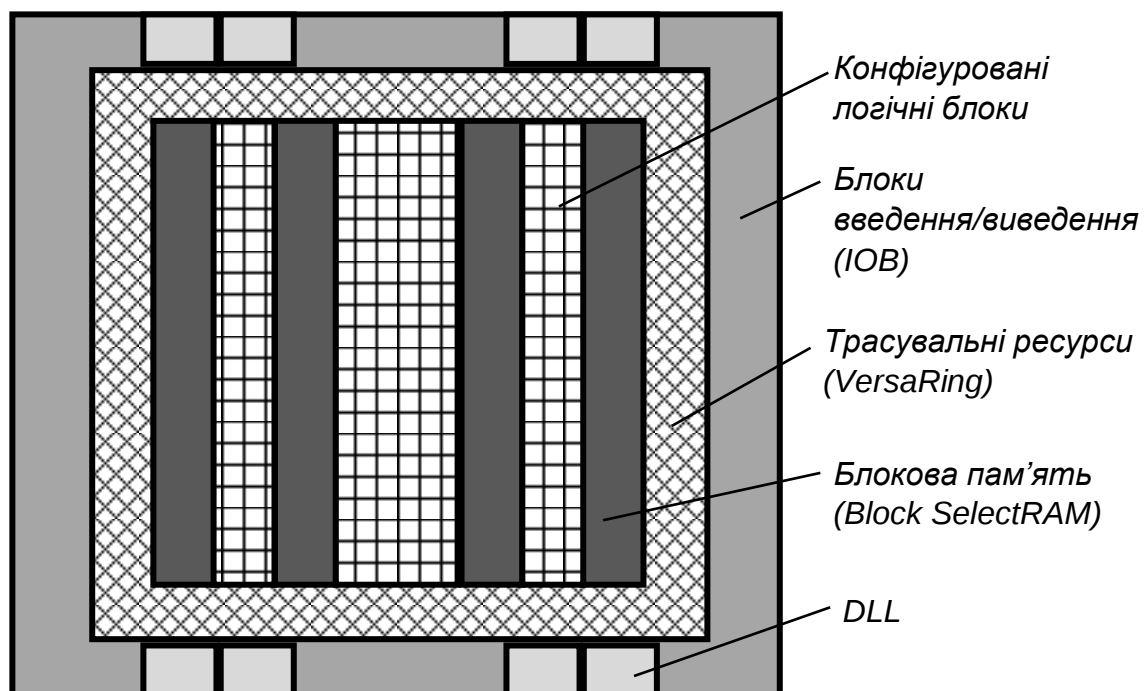


Рисунок 7.7 – Архітектура кристалів сімейства Virtex-E

Сімейство Virtex-E, маючи всі можливості попереднього сімейства, має і ряд суттєвих відмінностей порівняно з Virtex:

- підвищення швидкодії кристалів дозволяє виконувати на їх основі проекти з системними частотами до 240 МГц;
- збільшення максимальної еквівалентної логічної ємності втричі;
- розширення максимальної ємності блочної пам'яті до 1120 Кбіт;
- максимальний об'єм розподіленої пам'яті складає 1 Мбіт;
- збільшення вдвічі кількості блоків цифрового автоналаштування затримок DLL (до восьми) надає можливість для організації ефективного механізму керування синхронізацією;
- збільшення максимальної кількості блоків введення/виведення (до 804) та їх швидкодії у 1.5 рази;
- вдосконалена технологія Virtex SelectI/O забезпечує підтримку 20 різноманітних стандартів сигналів, а саме LVTTTL, LVCMOS2, LVCMOS18, PCI33_3, PCI66_3, GTL, GTL+, SSTL2(I), SSTL2(II), SSTL3(I), SSTL3(II), HSTL(I), HSTL(II), HSTL(III), AGP, TTL, LVDS, BLVDS, LVPECL, TTL;
- використання нових типів корпусів, які дозволяють значно збільшити кількість користувацьких виводів на кристалі;
- зниження напруги живлення «ядра» кристалу до 1.8 В.

Характеристика FPGA Virtex II компанії Xilinx

Сімейство Virtex-II є представником наступного покоління високопродуктивних кристалів великої ємності, які реалізують концепцію Platform FPGA, згідно з якою ПЛІС стає основним компонентом цифрової системи. До складу цього сімейства входять одинадцять типів кристалів, які виготовляються згідно з технологією 0.15/0.12 мкм з восьмишаровою металізацією.

Загальні технічні характеристики Virtex-II роблять це сімейство широко використовуваним для побудови систем передачі даних і цифрової обробки сигналів:

- 1) висока швидкодія, яка дозволяє використовувати внутрішні тактові частоти до 420 МГц;
- 2) широкий діапазон логічної ємності – від 64 до 11648 конфігурованих логічних блоків (відповідно від 40000 до 8000000 системних вентилів) на кристалі;
- 3) велика швидкість обміну даними, яка сягає близько 840 Мб/с по одному каналу вводу/виводу стандарту LVDS (Low-Voltage Differential Signaling);

- 4) розширений об'єм внутрішньої оперативної пам'яті двох видів: розподіленої Distributed RAM, яка реалізовується на базі таблиць перетворення LUT (із чотирма входами) конфігурованих логічних блоків CLB, до 1.5 Мбіт і вбудованої блочної пам'яті Block SelectRAM, яку виконано у вигляді секцій двопортового ОЗП по 18 Кбіт, до 3 Мбіт;
- 5) підтримка високошвидкісних інтерфейсів до модулів зовнішньої пам'яті, а саме DDR-SDRAM, FSRAM, QDR-SRAM, Sigma RAM;
- 6) наявність вбудованої логіки прискореного переносу, яка призначена для виконання високошвидкісних арифметичних операцій;
- 7) включення до структури кристалів блоків апаратних перемножувачів 18x18 біт, які дозволяють реалізовувати швидкодіючі пристрої, що використовують функції множення;
- 8) використання спеціальної логіки каскадування для реалізації функцій з великою кількістю вхідних змінних;
- 9) наявність вбудованих швидкодіючих цифрових модулів керування синхронізацією (Digital Clock Manager, DCM), які виконують точне налаштування фронтів тактових сигналів як всередині кристалу, так і на рівні друкованої плати, множення і ділення частоти синхросигналів, а також зсув фаз із високою роздільною здатністю;
- 10) впровадження технології внутрішніх з'єднань Active Interconnect Technology, що заснована на сегментованій структурі трасування четвертого покоління, дозволяє отримати прогнозовані затримки розпоширення сигналів, які не залежать від коефіцієнта розгалуження за виходом;
- 11) можливість програмування навантажувальної здатності кожного виводу в діапазоні від 2 до 24 мА;
- 12) застосування блоків вводу/виводу з програмованим імпедансом дозволяє виключити використання зовнішніх узгоджувальних резисторів;
- 13) сумісність зі стандартами шин PCI-133 МГц, PCI-66 МГц та PCI-33 МГц;
- 14) підтримка стандартів диференціальної передачі сигналів зі швидкістю 840 Мбіт/с LVDS, BLVDS, LDT, LVPECL;
- 15) необмежена кількість циклів завантаження конфігураційних даних;
- 16) п'ять режимів конфігурування ПЛІС (підлеглий послідовний режим Slave-serial, провідний послідовний режим Master-serial, підлеглий паралельний режим Master Select MAP, периферійного сканування Boundary-scan mode (IEEE 1532));
- 17) надійна система захисту конфігурування даних від несанкціонованого копіювання, що заснована на шифруванні конфігурованої послідовності за стандартом TRIPLE Data Encryption Standart;

- 18) можливість часткової реконфігурації кристалів;
- 19) підтримка периферійного сканування відповідно до специфікації стандарту IEEE Std 1149.1 і конфігурування за стандартом IEEE Std 1532;
- 20) напруга живлення ядра кристала 1.5 В, блоків вводу/виводу від 1.5 до 3.3 В (залежно від обраного сигнального стандарту).

Архітектура ПЛІС сімейства Virtex-II являє собою регулярну структуру, основними елементами якої є: блоки введення/виведення IOB, конфігуровані логічні блоки CLB, секції блочної пам'яті Block SelectRAM, блоки апаратних перемножувачів, цифрові модулі керування синхронізацією DCM і трасувальні ресурси (рис. 7.8).

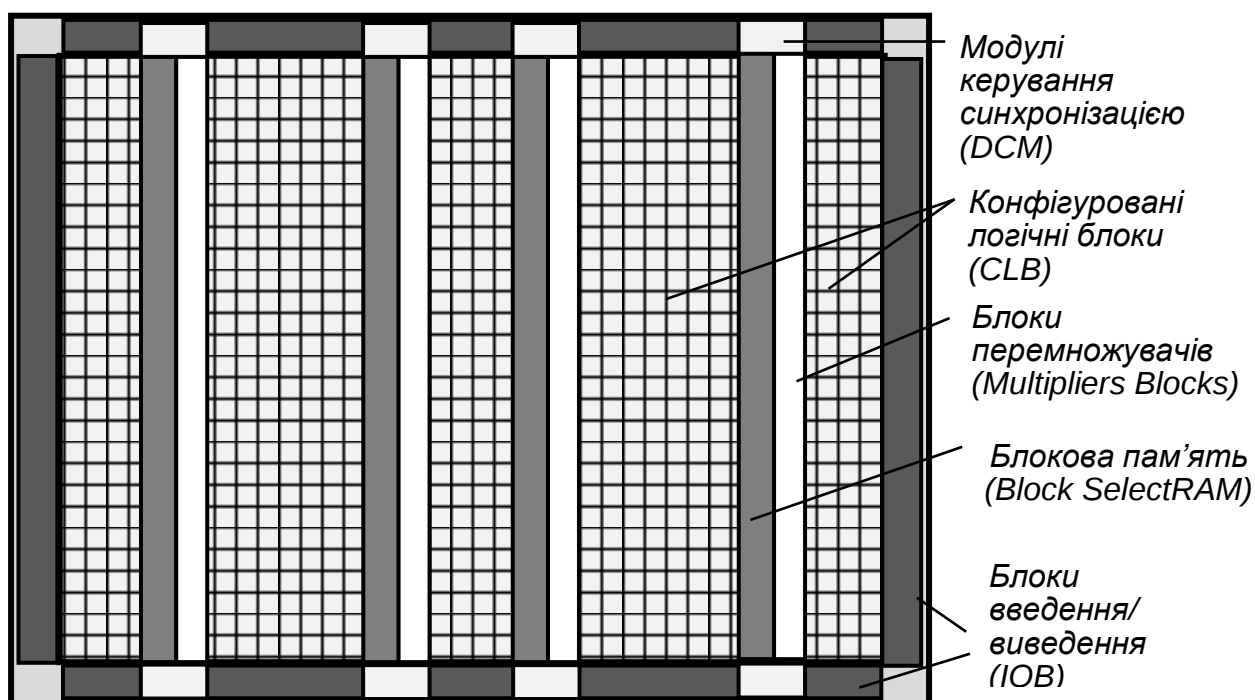


Рисунок 7.8 – Архітектура кристалів сімейства Virtex-II

Програмовані блоки введення/виведення IOB виконують функції комутації і буферизації сигналів, які надходять із входніх контактів кристала на входи конфігурованих логічних блоків і з виходів CLB на вихідні контакти ПЛІС. Використання в блоках IOB вбудованих входніх і вихідніх регістрів з подвоєною швидкістю передачі даних забезпечує реалізацію високопродуктивних режимів передачі інформації в системі, яка проектується.

Кожен конфігурований логічний блок включає в себе чотири однакові секції і два буфери з трьома станами. До складу кожної секції CLB входять два функціональних генератори, які реалізовано у вигляді таблиць перетворення LUT із чотирма входами, два запам'ятовувальні елементи, які конфігуруються як D-тригери або тригери-засуви, і логіка прискореного переносу і каскадування.

Кожен блок пам'яті Block SelectRAM являє собою двопортовий ОЗП з інформаційною ємністю 18 Кбіт, яка може конфігуруватися із різноманітною організацією (розрядністю шини даних і шини адреси). Каскадне об'єднання блоків Block SelectRAM дозволяє реалізовувати масиви оперативної пам'яті великого об'єму прямо на кристалі.

Блоки апаратних перемножувачів пов'язані із сусідніми блоками пам'яті Block SelectRAM. Така структура дозволяє не тільки використовувати перемножувач з різними джерелами двох 18-розрядних операндів, але й оптимально реалізовувати виконання операції добутку із вмістом одного з портів блочного ОЗП.

Цифрові модулі керування синхронізацією DCM дозволяють найефективніше організовувати формування сітки тактових сигналів з потрібними характеристиками, використовуючи операції синтезу частот і зсуву фаз сигналів, які формуються. В модулях DCM використовується дискретний механізм налаштування фази із кроком, який складає $1/256$ тактового періоду. Модулі DCM виконують функції усунення тимчасових перекосів з поширенням сигналів синхронізації не тільки всередині кристала, але й на друкованій платі. Крім того, кожен DCM має змогу керувати чотирма глобальними тактовими мультиплексорами, які дозволяють обирати один з двох входів синхронізації і перемикає їх без створення імпульсних перешкод.

Нове покоління програмованих трасувальних ресурсів, що засновано на технології Active Interconnect Technology, виконує комутацію розглянутих вище елементів архітектури кристалів. Трасувальні ресурси утворюють ієрархічну структуру, основним елементом якої є глобальна трасувальна матриця GRM. Всі блоки введення/виведення, конфігуруванні логічні блоки, секції блочної пам'яті, апаратні перемножувачі і цифрові модулі керування синхронізацією використовують єдину мережу внутрішніх з'єднань і єдиний доступ до глобальної трасувальної матриці.

Для мікросхем сімейства Virtex II фірма Xilinx розробило soft – ядро процесора Microblaze. Воно працює на частотах до 125 МГц.

7.3 Мікросхеми ПСнК FPGA компанії Altera

Мікросхеми FPGA Arria GX Stratix II GX

Перші НВІС сімейства Arria з'явилися в 2007 р. і реалізовувалися на базі технології 90 нм, наступні НВІС реалізовані вже за технологією 28 нм та 20 нм. Це сімейство належить до ПЛІС середнього діапазону і призначене для

вирішення телекомунікаційних задач з підвищеними вимогами за вартістю і енергоспоживанням. Крім цього, починаючи з сімейства Arria V, випущеного в 2011 р., у мікросхеми вбудовано апаратний процесорний блок і блоки тактування. Ці мікросхеми мають той самий набір блоків, що і ПЛІС сімейства Stratix.

Мікросхеми Arria GX містять вбудовані трансивери. Це перше недороге сімейство FPGA компанії Altera з оптимізованою підтримкою протоколів: PCI Express (x1 і x4), Gigabit Ethernet і Serial RapidIO (1,25 і 2,5 Гб/с), SDI, XAUI. Сімейство нараховує 5 представників з об'ємом від 21580 до 90220 логічних елементів, до 4.5 Мбіт пам'яті і до 12 трансиверів. HBIC Arria GX четвертого сімейства забезпечують чудову якість сигналу для трансиверів.

Arria GX розроблено на базі технології, яку спочатку розробляли для Stratix II GX FPGA. Мікросхеми Arria GX і Stratix II GX виконано за технологією 90 нм і відразу випускалися серійно, оминаючи етап інженерних зразків. Arria GX FPGA також включає в себе функції фізичного кодування рівнів напруги. Всі ці особливості сприяють цілісності сигналу, які роблять Arria GX кращим у своєму класі дешевих FPGA з трансиверами.

Ядро для Arria GX побудовано на базі ефективних логічних пристроїв, відомих як адаптивний логічний модуль, АЛМ (Adaptive Logic Module, ALM). АЛМ дозволяє пристроям Arria GX реалізовувати складні логічні операції, арифметичні дії тощо.

АЛМ побудовано за допомогою функціонального перетворювача, або таблиці відповідності LUT, що забезпечує необхідну гнучкість для мікросхем Arria GX і дозволяє компактне розташування логічних елементів. Кожен АЛМ складається з восьми входів, двох суматорів, двох регістрів і двох виходів (рис. 7.9).

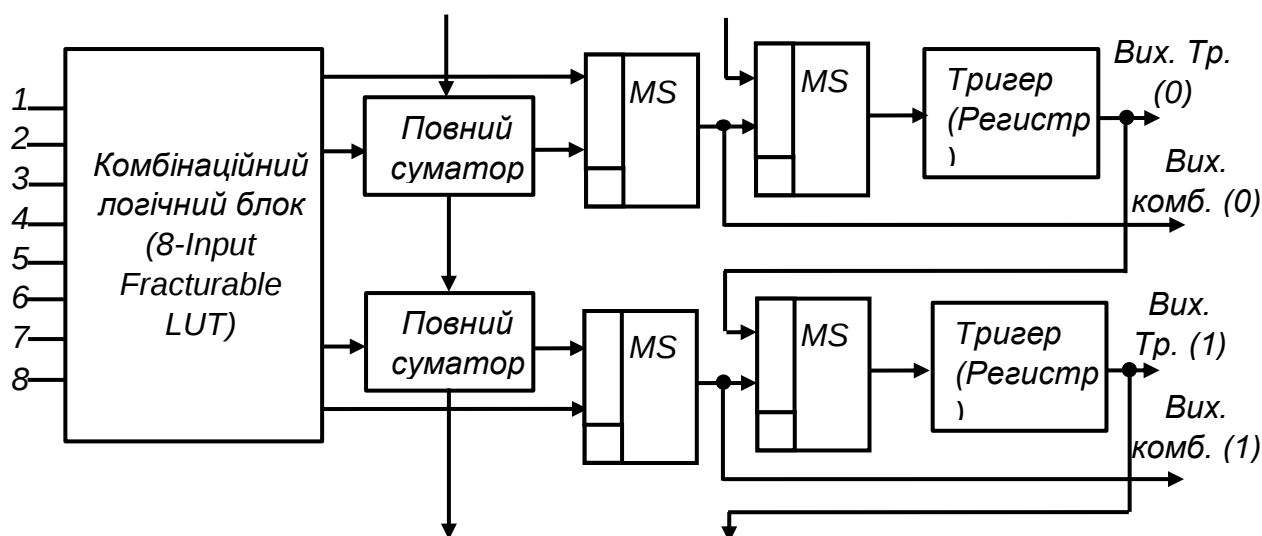


Рисунок 7.9 – Адаптивний логічний модуль Arria GX

Переваги логічної структури Arria GX:

- загальне скорочення числа логічних рівнів, необхідних для більш ефективного розміщення функціональних елементів;
- Arria GX повністю інтегрована із програмним забезпеченням Quartus II для оптимального використання 8-входових таблиць відповідності LUT в АЛМ і маршрутизації міжз'єднань у масиві логічних модулів;
- зниження витрат на реалізацію великих цифрових приладів на невеликій площі.

Мікросхеми FPGA Stratix V

Подальший розвиток ПЛІС типу Stratix отримали у сімействах Stratix V і Stratix 10. Мікросхеми FPGA Stratix V (рис. 7.10) – це перші ПСнК фірми Altera, які виготовлені за технологією 28 нм.

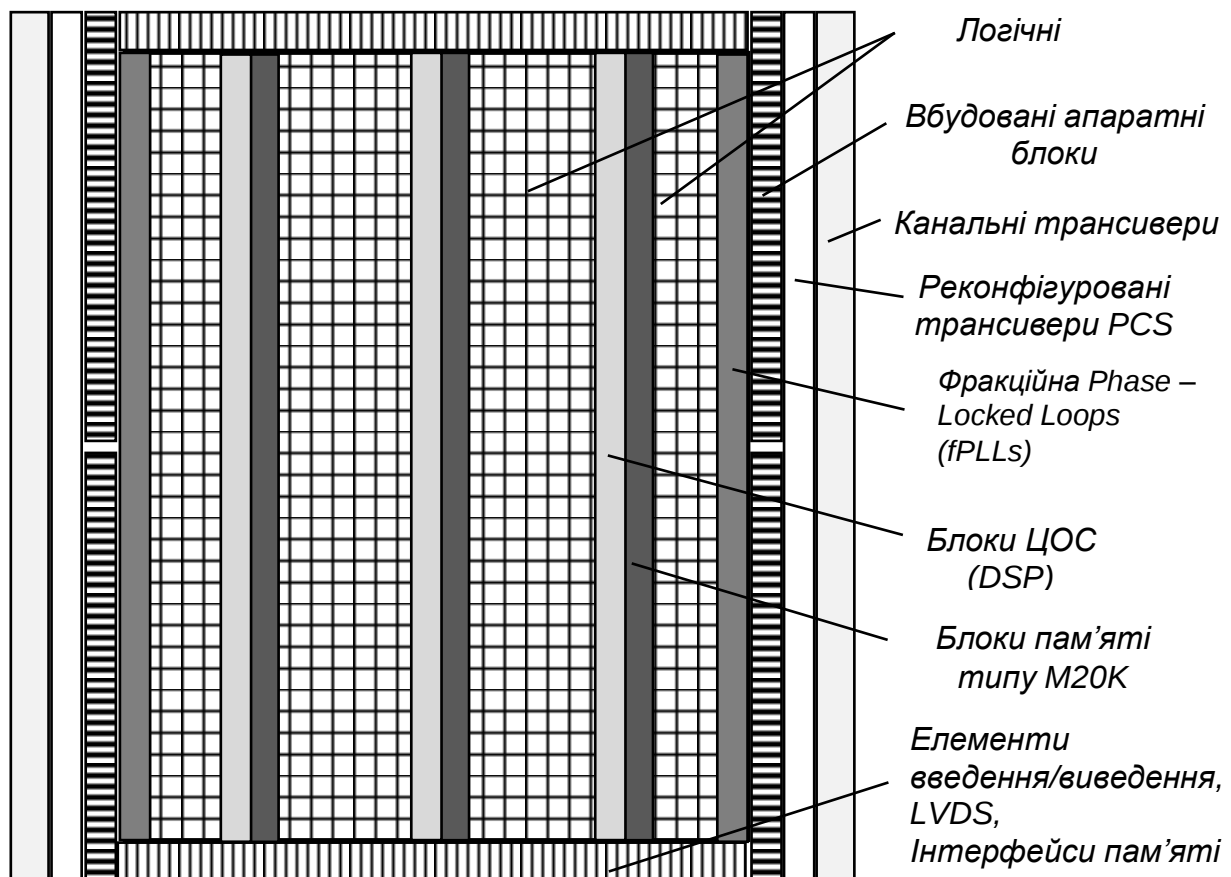


Рисунок 7.10 – Архітектура мікросхеми Stratix V

Сімейство складається з чотирьох типів мікросхем:

Stratix V E – не містить трансиверів і апаратних блоків PCIe, орієнтоване на задачі розробки прототипів цифрових мікросхем.

Stratix V GX – містить вбудовані трансивери з максимальною швидкістю передавання даних 14,1 Гбіт/с.

Stratix V GS – містить вбудовані трансивери з максимальною швидкістю передавання даних 14,1 Гбіт/с і призначено для цифрової обробки сигналів.

Stratix V GT – містить вбудовані трансивери з максимальною швидкістю передавання даних 28 Гбіт/с.

Властивості ПЛІС Stratix V:

Широка смуга пропускання трансиверів з малою потужністю споживання:

- вбудовані трансивери з швидкістю обміну 28 Гб/с та 12,5 Гб/с споживають потужність, меншу 50% порівняно з пристроями попередньої генерації;

- до 6×72 інтерфейсів пам'яті DDR3 на 800 МГц;

- продуктивність обробки сигналів 1,840 GMACS;

- підтримка вбудованих апаратних блоків PCI Express Gen3, Gen2, Gen1;

- вбудовані блоки HardCore та вбудовані IP-блоки у ядрі і трансиверах.

Зменшенню витрат на реалізацію електронної системи сприяють:

- вбудовані апаратні блоки HardCore постачають до 14 млн. вентилів або до 700 тис. додаткових логічних елементів;

- можливість часткової реконфігурації дозволяє зменшити розмір пристрою на платі, вартість і енергоспоживання;

- фракційні ФАПЧ (fPLLs) забезпечують підвищену гнучкість системи синхронізації і підмінюють керовані напругою кварцові генератори (VCXOs);

- інтегрована електронна компенсація дисперсії (EDC) у прийомопередавачах знімає потребу у зовнішньому РНУ для з'єднання з оптичними модулями.

Усі канали трансиверів забезпечені апаратними засобами для прив'язки на фізичному рівні (Physical Medium Attachment, PMA) та рівні кодування (Physical Coding Sublayer, PCS).

Гнучкість розробки проектів забезпечують такі фактори:

- часткова реконфігурація дозволяє змінювати функції ядра у системі;

- динамічна реконфігурація трансиверів дозволяє підтримувати багато протоколів, швидкостей передавання та призначення PMA;

- конфігурування через PCI Express з використанням існуючої у проекті PCI Express полегшує проектування плати.

Застосування Stratix V дозволяє зменшити споживану потужність на 30% порівняно з попередніми ПЛІС. Це забезпечує:

- технологія Programmable Power Technology, яка максимізує продуктивність ядра за одночасним зниженням енергоспоживання;

- технологічний процес 28-нм фірми TSMC, який оптимізовано для зниження споживання;
- напруга ядра 0,85 В;
- часткова реконфігурація;
- вбудовані блоки HardCore.

ПЛІС сімейства Cyclone

ПЛІС сімейства Cyclone розроблені для застосування як компонентів недорогих систем, що працюють з великими об'ємами даних, наприклад, Інтернет додатків та вбудованих систем у промисловості і автомобілебудуванні. Останні покоління сімейства – це Cyclone V і Cyclone 10.

Мікросхеми сімейства Cyclone V включають ПСНК з блоковою структурою типу FPGA і ПСНК з вбудованими процесорними блоками типу Cyclone V SoC FPGA.

Сімейство ПЛІС Cyclone V виготовлено за 28-нм технологією. Основою масиву програмованої логіки є адаптивні логічні модулі, АЛМ (Adaptive Logic Module, ALM), які застосовують у більш дорогих серіях Arria і Stratix (рис. 7.11).

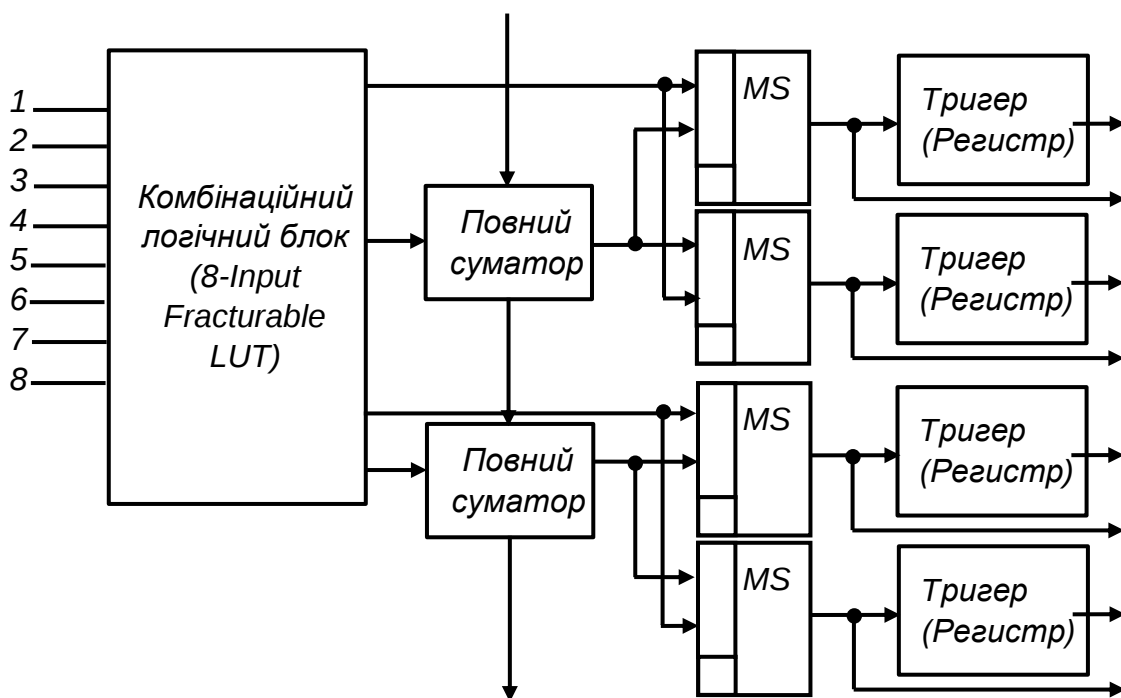


Рисунок 7.11 – Схема адаптивного логічного модуля

Окрім цього мікросхеми сімейства Cyclone V містять, DSP-блоки, змінної точності, вбудоване ОЗП, високошвидкісні трансивери, апаратні блоки

(контролери PCI Express і зовнішньої синхронної пам'яті) та засоби захисту проекту від несакційного копіювання та модифікації (рис. 7.12).

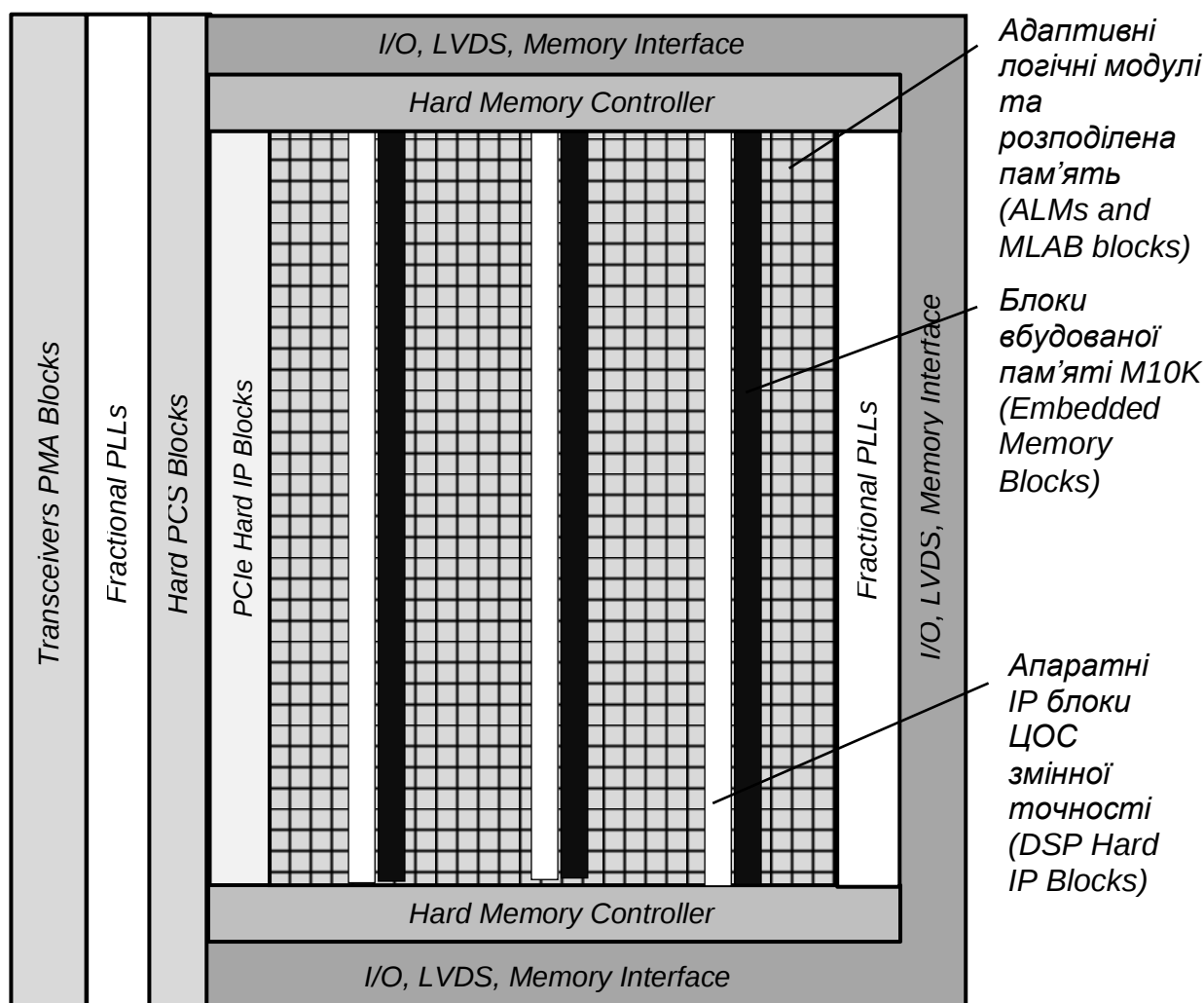


Рисунок 7.12 – Архітектура кристалу FPGA Cyclone V

Блоки розподіленої пам'яті ємністю по 640 біт MLAB blocks можливо застосовувати для формування масивів пам'яті різної ємності. Вони функціонують до частоти 300 МГц. Вбудовані блоки пам'яті M10K ємністю 10 Кбіт призначені для реалізації великих масивів пам'яті, забезпечують велику кількість портів, працюють до частоти 380 МГц.

На периферії кристалу розміщені блоки які формують внутрішній склад даних за обміном інформації (PMA) та блоки, які налаштовують рівні напруг вхідних/вихідних даних (PCS).

Функція динамічного та часткового реконфігурування дозволяє змінювати швидкості обміну даними трансиверів, протоколи та фізичні рівні сигналів на каналі без шкоди для обміну даними на сусідніх каналах.

Ця функція ідеально підходить для додатків, які потребують підтримки мультипротокольних або багатошвидкісних обмінів даними.

Архітектура мережі синхронізації базується на глобальних, квадрантних та периферійних структурах, що підтримується виділеними для синхронізації виводами та мережами ФАПЧ (PLL). Мікросхеми Cyclone V мають 16 глобальних мереж синхронізації з тактовою частотою до 550 МГц. Програмне забезпечення Quartus II визначає усі невикористані ділянки мережі синхронізації і вимикає їх, що знижує споживання енергії.

Мікросхеми ПСнК типу FPGA Intel- Altera десятого сімейства

Мікросхеми десятої генерації фірма фірма Altera розробила і почала випускати як підрозділ Intel Programming Solutions Group (Intel PSG) корпорації Intel, до складу якої увійшла у 2015 році і тому мікросхеми десятої серії мають найменування Intel® xxx 10.

Мікросхеми Intel® Cyclone® 10

Мікросхеми Intel® Cyclone® 10 мають меншу вартість і споживання енергії порівняно з попередніми поколіннями ПЛІС Cyclone. Сімейство Cyclone 10 включає два типи мікросхем, що мають відносно невелику вартість.

Мікросхеми Cyclone 10 GX орієнтовано на розробку високопродуктивних пристроїв: системи промислового зору, робототехніка, автомобільні системи, системи, що працюють з Інтернетом. Інша модель Intel Cyclone 10 LP призначена для недорогих застосувань з малим споживанням потужності, наприклад, обробка невеликих потоків даних, комплекси давачів, контролери електроприводів та інше.

Мікросхеми Intel Cyclone 10 LP виготовлено за технологією 60 нм і оптимізована для низького енергоспоживання (рис. 7.13). Вона містить до 120 тис. логічних елементів, до 288 помножувачів 18×18 та до 230 каналів з LVDS-інтерфейсами. Потрібна напруга живлення 1,0 або 1,2 В. Можливе завантаження 32-розрядного процесорного ядра Nios II з робочою частотою 165 МГц. Установлення процесорного ядра та його налаштування відбувається за допомогою пакетів програм Intel «Quartus» Prime та Intel «Qsis» (system integration tool).

ПЛІС Cyclone 10 GX виготовлено за технологією 20 нм, забезпечують високу продуктивність (до 134 Гфлопс) і розширені можливості введення-виведення (рис. 7.14).

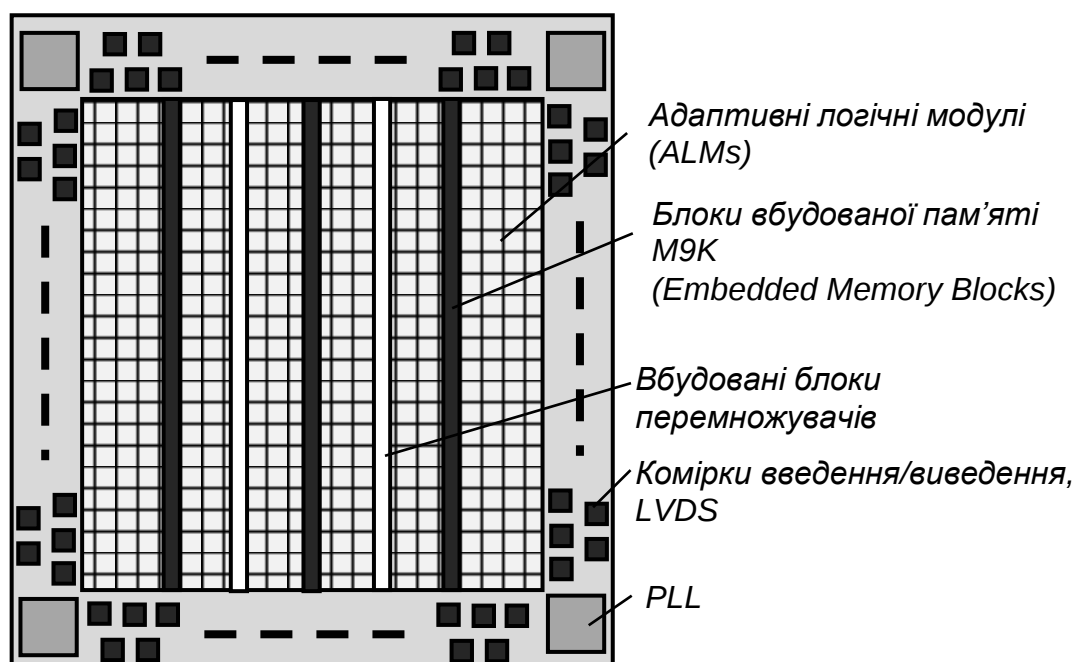


Рисунок 7.13 – Архітектура мікросхеми Intel Cyclone 10 LP

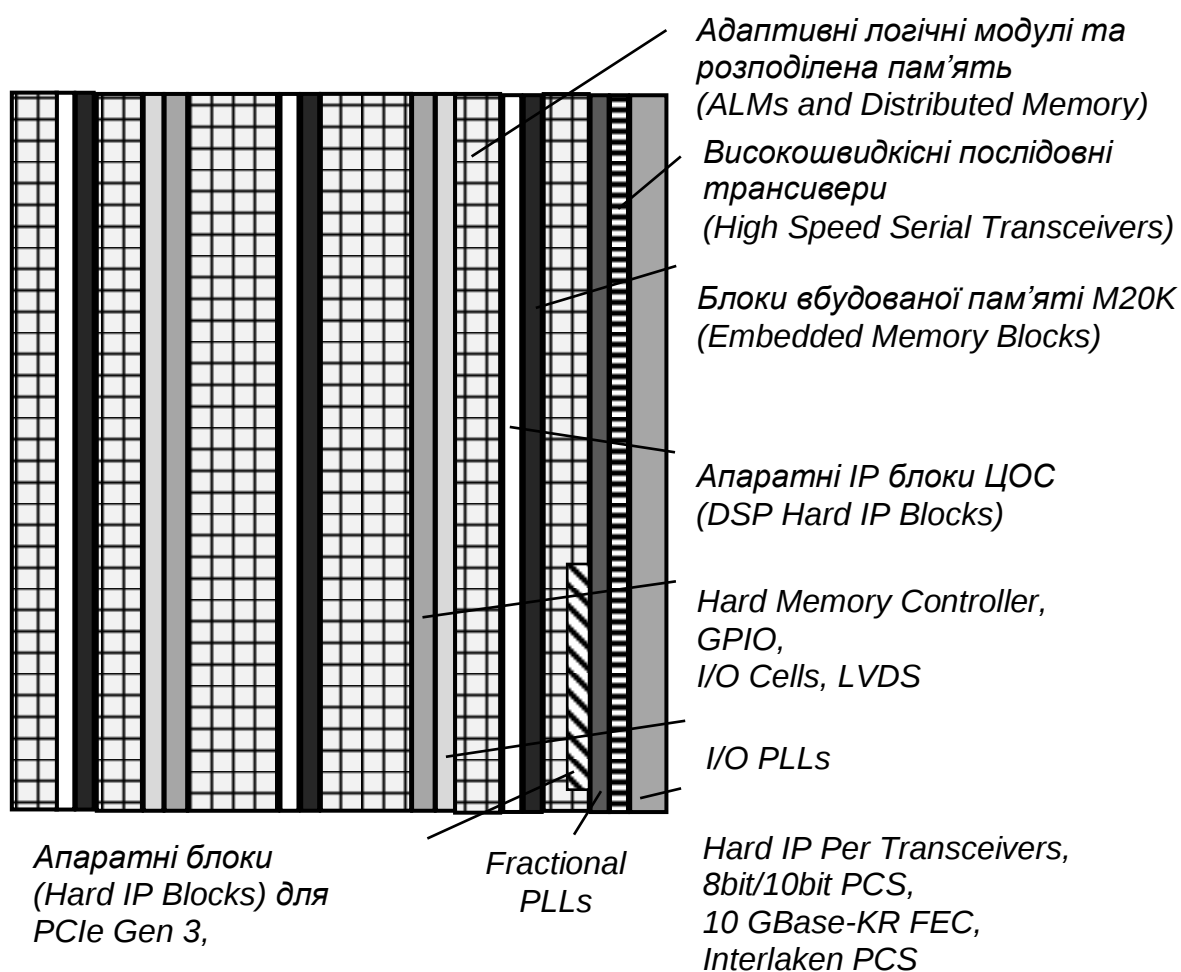


Рисунок 7.14 – Архітектура мікросхеми Intel Cyclone 10 GX

У мікросхемах Cyclone 10 GX збільшена кількість логічних модулів АЛМ, апаратних блоків та розширена їх номенклатура, особливо це стосується блоків обміну даними з іншими пристроями. Мікросхеми містять до 220 тис. логічних елементів, до 80 тис. адаптивних логічних модулів з 8-вхідними таблицями відповідності (LUT), до 192 DSP-блоків змінної точності. Підключення до інших пристроїв можливо з використанням LVDS-інтерфейсів зі швидкістю передачі 1,4 Гбіт/с, мережного порту 10G або шини PCI Express x4. У мікросхемах Cyclone 10 GX вбудовано 72-розрядний інтерфейс зовнішньої пам'яті (DDR3, DDR3L, LPDDR3), який працює на швидкості до 1866 Мбіт/с. Напруга живлення ядра становить 0,9 В.

Мікросхеми Intel® Arria® 10

Мікросхеми середнього класу Arria 10 виробляються за технологією 20-нм і забезпечують баланс між продуктивністю та енергоспоживанням. Вони призначені для розробок, що потребують високої продуктивності за жорсткими обмеженнями вартості та енергоспоживання. Основні сфери використання Arria 10 – телекомунікаційна апаратура і високопродуктивні обчислювальні системи.

Сімейство Arria 10 включає два типи мікросхем FPGA і один тип з вбудованою процесорною системою.

ПЛІС Arria 10 GT – містять до 78 трансиверів зі швидкістю передавання даних до 25,78 Гбіт/с;

Arria 10 GX – ПЛІС, що містять 78 трансиверів зі швидкістю передавання даних до 17,4 Гбіт/с;

Arria 10 SX – система на кристалі на базі двоядерного процесора ARM Cortex A9.

ПЛІС Arria 10 включають до 1,15 млн еквівалентних логічних елементів, а також більше 3300 апаратних помножувачів 18×19 (рис. 7.15). Удосконалені апаратні DSP-блоки змінної розрядності забезпечують швидкість обробки даних до 1,5 Тфлопс.

На кристалах розміщено апаратні контролери з підтримкою швидкісних інтерфейсів зовнішньої пам'яті (у тому числі DDR4 з швидкістю передачі 2666 Мбіт/с та з кубом гібридної пам'яті зі швидкістю передачі до 15 Гбіт/с), також контролери шини PCI Express Gen3 x8. Мікросхеми Arria 10 містять двоядерний процесор ARM Cortex A9. Пропускна здатність каналів зв'язку Arria 10 підвищилася у чотири рази порівняно з Arria 5 завдяки трансиверам зі швидкістю передавання даних до 25,78 Гбіт/с.

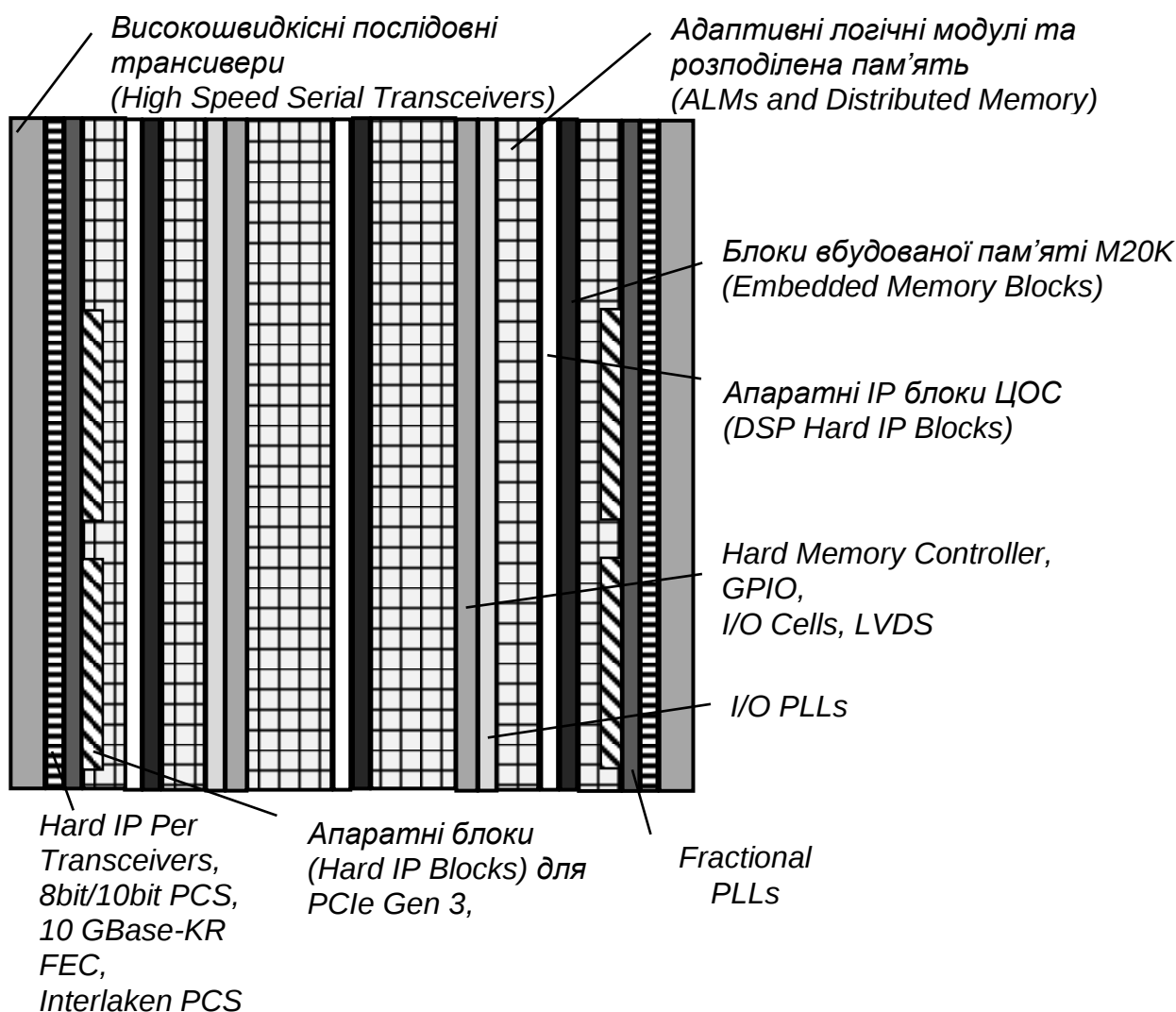


Рисунок 7.15 – Архітектура мікросхеми FPGA ПЛІС Intel Arria 10 GT, GX

Мікросхеми Intel® Stratix® 10 GX

Intel® Stratix® 10 GX забезпечує продуктивність масиву програмованої логіки до 1 ГГц і містить до 5,5 млн. еквівалентних логічних елементів на кристалі (рис. 4.16). Висока продуктивність програмованої логіки забезпечується новою архітектурою HyperFlex™ компанії Altera із застосуванням 14-нанометрового технологічного процесу Intel Tri-Gate. Архітектура HyperFlex використовує тригери в усіх вузлах міжз'єднань логічної матриці, а не тільки у логічних елементах. Це дозволяє запобігти критичним затримкам проходження та обробки сигналів і швидко узгоджувати частотно-часові характеристики системи, що розробляється. Зростання продуктивності логічної матриці приблизно вдвічі також дозволило підвищити ефективність використання системних ресурсів і знизити споживану потужність FPGA.

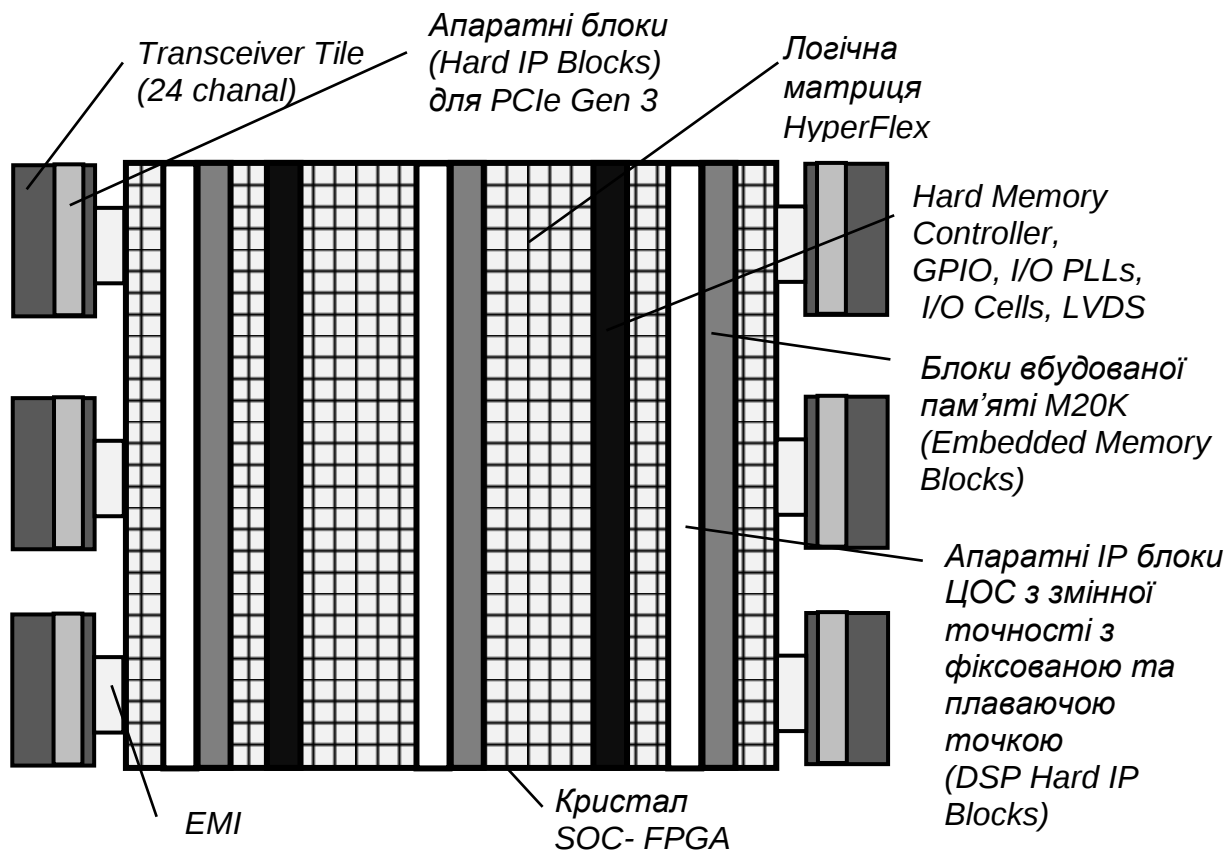


Рисунок 7.16 – Архітектура мікросхеми FPGA ПЛІС Intel® Stratix® 10 GX

У свою чергу для розширення можливостей масив програмованої логіки складається з адаптивних логічних модулів (adaptive logic module, ALM) фірми Intel і мікросхема містить багатий набір апаратних блоків високої продуктивності, включаючи:

- вбудовані блоки пам'яті M20K (20 kbit);
- блоки ЦОС (DSP blocks) змінної точності сумісні з пристроями з плаваючою точкою;
- синтез дробних і цілочислених значень частот PLLs;
- апаратні контролери пам'яті і PHY для інтерфейсів зовнішньої пам'яті;
- чарунки введення/виведення загального призначення.

Вбудовані блоки синхронізації сімейства Intel® Stratix® 10 використовують для синтезу частот синхронізації тільки виділені гілки маршрутизації, що потрібні для конкретного застосування, з цілого дерева синхронізації. Усі пристрої у системі підтримують дрібнозернисте часткове реконфігурування логічного масиву, дозволяючи добавляти або утримувати логіку із масиву у процесі функціонування системи.

Всі варіанти сімейства містять послідовні високошвидкісні трансивери, що містять блоки формування кодів обміну даними (PMA) і фізичним налаштуванням рівнів напруги для інтерфейсів (PCS), які можуть бути використані для реалізації різних галузевих стандартів та комерційних протоколів. На додаток до апаратних блоків PCS, Intel® Stratix® 10 пристрої містять кілька апаратних IP-блоків реалізації PCI Express, які підтримують різновиди Gen1, Gen2, Gen3 у конфігурації x1/x2/x4/x8/x16 ліній і апаратний 10GBASE-KR/40GBASE-KR4 FEC для кожного трансивера. Апаратні IP-блоки PCS, FEC та PCI Express звільняють основні логічні ресурси, економлять енергію і збільшують продуктивність.

Результатом цих інновацій є такі здобутки:

- підвищення продуктивності логічного ядра: архітектура HyperFlex у поєднанні з із застосуванням 14-нанометрового технологічного процесу Intel Tri-Gate підвищило вдвічі продуктивність порівняно з попередніми сімействами;
- зменшення споживаної потужності: мікросхеми Intel® Stratix® 10 споживають до 70% меншу потужність порівняно з попередньою генерацією завдяки застосуванню 14-нанометрового технологічного процесу Intel Tri-Gate, архітектурі ядра HyperFlex і опції зниження потужності, яка вбудована в архітектуру;
- зростання щільності елементів на кристалі: мікросхеми Intel® Stratix® 10 мають у 5 разів вищий ступінь інтеграції з 5,5 млн. еквівалентних логічних елементів на кристалі, понад 229 Мбіт вбудованої блокової пам'яті (M20K) та 11,520 перемножувачів розрядністю 18×19;
- покращення застосування трансиверів: до 96 каналів трансиверів об'єднано за технологією інтеграції гетерогенних 3D-систем у корпусі (System in Package, SiP), підтримується передавання даних кристал-кристал зі швидкістю 28.3 Gbps та 28.3 Gbps на об'єднуючій платі з сигналом нормуючого кола, у якому можливе загасання сигналу завбільшки 30 дБ;
- покращення продуктивності ЦОС: блоки ЦОС змінної точності мають можливість працювати у режимах з фіксованою точкою та з плаваючою точкою до 10 Терафлопс;
- додаткові апаратні IP-блоки: до мікросхем Intel® Stratix® 10 включено апаратні IP-блоки, які були відсутні у мікросхемах попередніх генерацій (контролер пам'яті у кожному банку з 48 вводів/виводів загального призначення, у кожній секції трансивера апаратний блок PCIe Gen3 ×16 з повним протоколом і апаратний блок 10GBASE-KR/40GBASE-KR4 FEC у кожному каналі трансивера;

- розширення системи синхронізації: мікросхеми Intel[®] Stratix[®] 10 мають програмоване дерево синтезу сигналів синхронізації, дерево синхросигналів синтезується відповідно за потребою, підвищує гнучкість та зменшує потужність, яку споживають сигнали тактування;
- додаткові ядра ФАПЧ (PLLs): схеми ФАПЧ у мікросхемах Intel[®] Stratix[®] 10 формують частоти синхронізації, які пропорційні як цілому числу, так і дрібному (fPLLs), що значно підвищує кількість ФАПЧ доступних попереднім поколінням.

7.4 ПЛІС ПСнК FPGA фірми Xilinx

Мікросхеми сьомої серії фірми Xilinx

Загальні відомості

Фірма Xilinx випустила програмовані схеми сьомої серії, до складу якої входять мікросхеми програмованої логіки FPGA Xilinx 7 і програмована система на кристалі Synq-7000 SoCs.

Мікросхеми FPGA серії Xilinx[®] 7 включають три нових сімейства, які забезпечують повний діапазон системних вимог, починаючи від недорогих, малогабаритних, малобюджетних застосувань до телекомунікаційних з найвищою смугою пропускання, швидкодією та логічною ємністю і до високопродуктивних систем обробки цифрової інформації.

Сьома серія містить:

Сімейство Artix[®]-7: оптимізовано для застосування у пристроях найрізноманітнішого призначення низької вартості і споживаної потужності за умови корпусів невеликих розмірів.

Сімейство Kintex[®]-7: оптимізовано за співвідношенням ціна – продуктивність, що вдвічі краще, ніж у мікросхем попередньої генерації, включаючи FPGA нових класів.

Сімейство Virtex[®]-7: оптимізовано для досягнення максимальної продуктивності і ємності з підвищенням вдвічі продуктивності.

Високі можливості пристроїв досягнуто застосуванням архітектури, яка з'єднує ресурси на кристалі за колонками – так звана технологія stacked silicon interconnect (SSI) technology. Мікросхеми ПЛІС 7 серії мають високу продуктивність за умови низького енергоспоживання, виконані відповідно до технологічних норм 28 нм з підзатворним діелектриком з високою діелектричною проникністю. У них досягнуто підвищення непаралельної обробки інформації у системі до 2,9 Тб/с на введення/виведення, еквівалентної ємності 2 мільйонів логічних елементів, продуктивності цифрової обробки

сигналів (DSP) 5,3 ТМАС/с, при цьому споживають енергії на 50% менше, ніж пристрої попередніх генерацій і є повністю програмованою альтернативою повністю замовних мікросхем (ASSP) та БМК (ASIC).

Особливості архітектури ПЛІС FPGA сьомої генерації фірми Xilinx

Покоління мікросхем програмованої логіки з архітектурою FPGA представлено трьома серіями ПЛІС Artix-7, Kintex-7 и Virtex-7, що виробляються за технологією металевого затвору з високим коефіцієнтом діелектричної проникності підзатворного діелектрика (High-K Metal Gate, НКМГ) з роздільною здатністю 28 нм. У ПЛІС усіх серій використана однакова масштабована топологія логічних і спеціалізованих апаратних блоків.

Основу архітектури кристалів серій Artix-7, Kintex-7 и Virtex-7 утворює масив конфігурованих логічних блоків CLB, який складається з двох секцій. Усі три серії використовують секції двох типів SLICEM і SLICEL (рис. 7.17).

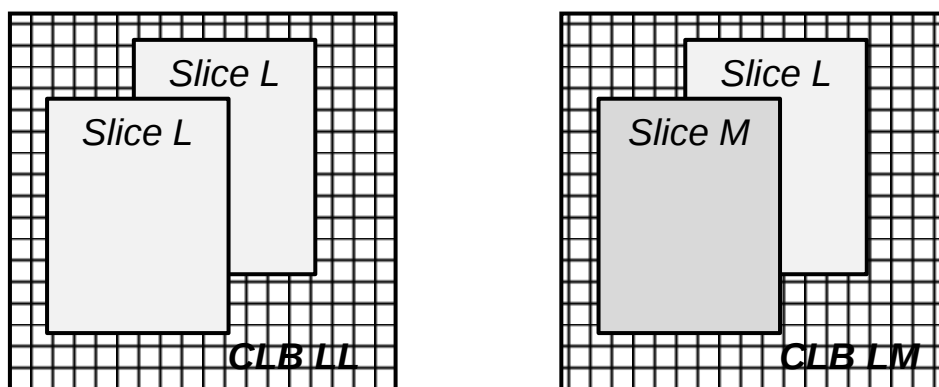


Рисунок 7.17 – Будова конфігурованих логічних блоків сьомої серії FPGA фірми Xilinx

Кожна секція складається з чотирьох поєднаних між себе складових частин (рис. 7.18) і містить чотири таблиці перетворення LUT на шість входів і вісім тригерів, що з'єднані з ними.

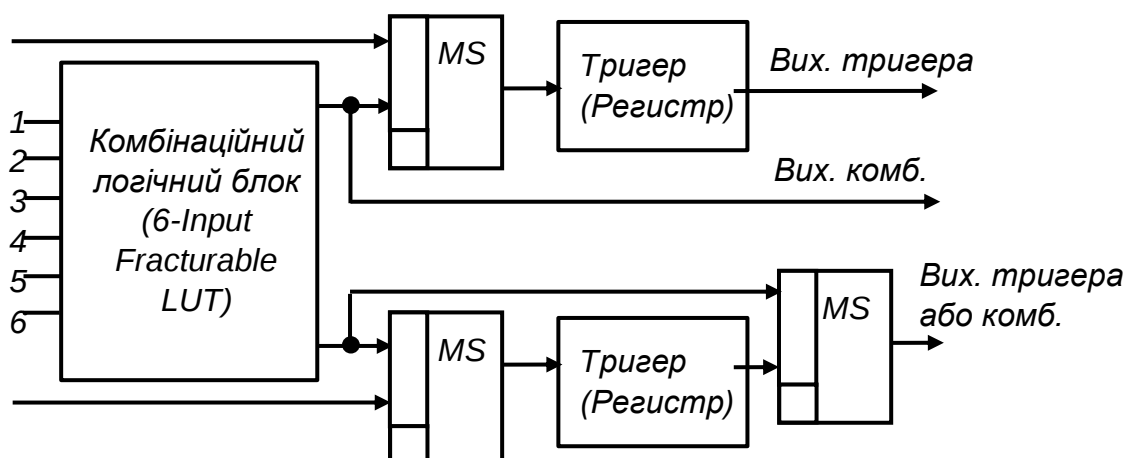


Рисунок 7.18 – Схема складової частини секції КЛБ

Розташування елементів на кристалах Artix-7, Kintex-7 и Virtex-7 наведено на рис. 7.19, а їх кількість у табл. 7.1. ПЛІС сьомої серії мають стовпову архітектуру (Advanced Silicon Modular Blocks, ASMBL), як і попередні сімейства, починаючи з Virtex-4. Мікросхему виконано у вигляді вертикальних блоків з компонентами різних типів.

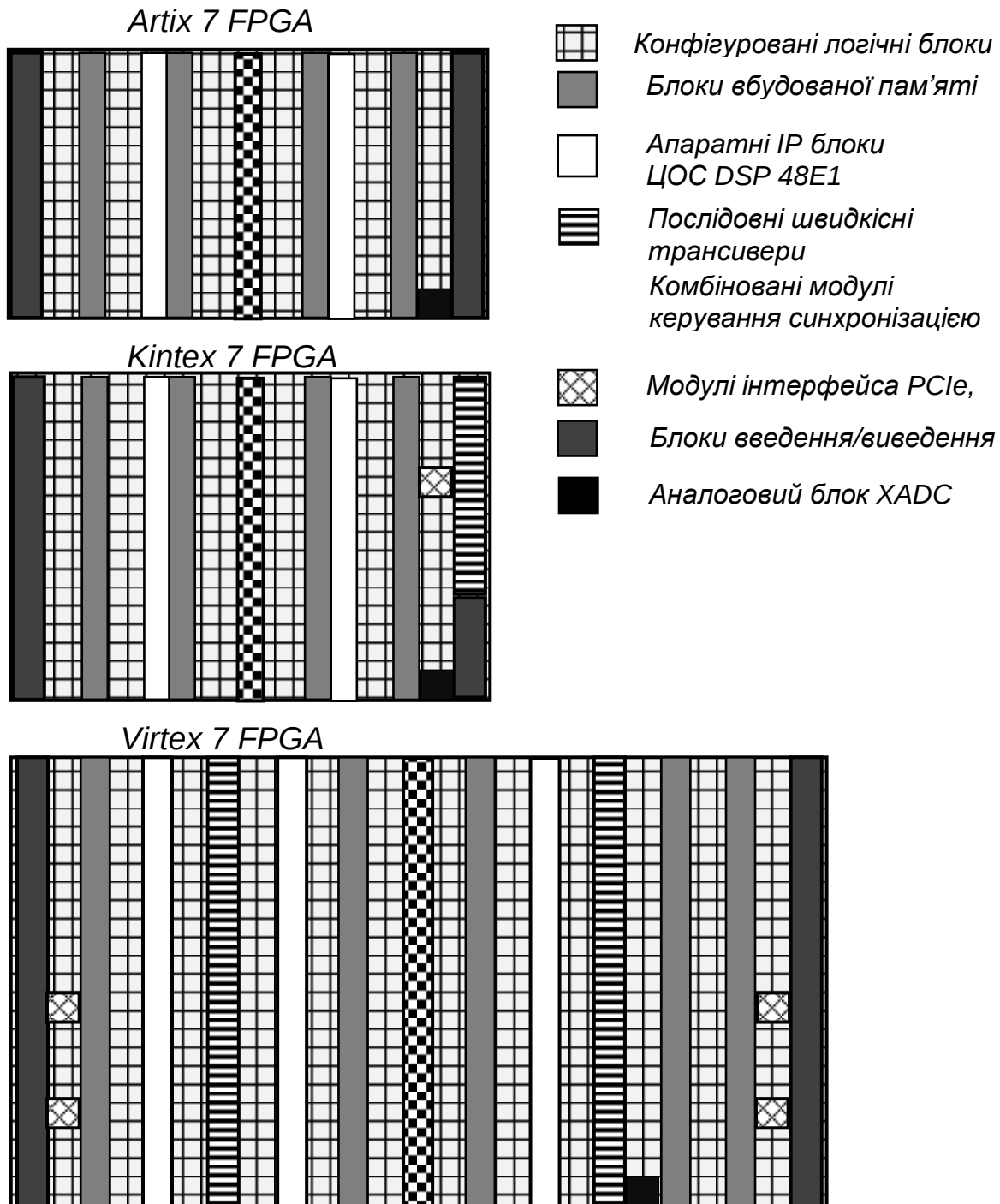


Рисунок 7.19 – Архітектура ПЛІС серій Artix-7, Kintex-7 та Virtex-7

Блоки розробляються окремо один від одного, і за потреби з них можна скласти мікросхему з потрібним співвідношенням ресурсів. Такі підсімейства

ПЛІС з різним співвідношенням блоків у термінології фірми Xilinx носять назву платформ.

Таблиця 7.1 – Порівняння мікросхем FPGA сімейств 7 серії

	Сімейство Artix-7	Сімейство Kintex-7	Сімейство Virtex-7
Логічні чарунки, кількість	215 тис.	478 тис.	1955 тис
Блоки ОЗП, загальна ємність	13 Мбіт	34 Мбіт	68 Мбіт
Модулі ЦОС, кількість	740	1920	3600
Пікова продуктивність ЦОС, оп/с	929	2845	5335
Аналоговий блок, кількість	1	1	1
Трансивери, кількість	16	32	96
Максимальна швидкість трансиверів, Гбіт/с	6,6	12,5	28,05
Максимальна швидкість послідовного обміну (повний дуплекс), Гбіт/с	211	800	2784
Інтерфейси PCI, кількість, тип	×4 Gen2	×8 Gen2	×8 Gen3
Інтерфейси пам'яті, швидкість, Мбіт/с	1,066	1,866	1,866
Кількість виводів вх/вих	500	500	1200
Напруга живлення на вх/вих	1,2 В, 1,35 В, 1,5 В, 1,8 В, 2,5 В, 3,3 В	1,2 В, 1,35 В, 1,5 В, 1,8 В, 2,5 В, 3,3 В	1,2 В, 1,35 В, 1,5 В, 1,8 В, 2,5 В, 3,3 В
Тип корпусу			

Блочна пам'ять Block RAM на кристалах серій Artix-7, Kintex-7 и Virtex-7 має ту саму організацію, що і в ПЛІС серії Virtex-6. Кожен модуль двопортової блочної пам'яті ємністю 36 кбіт може бути використано як два незалежні блоки об'ємом 18 кбіт. Модулі пам'яті мають вбудовану систему виявлення і корекції помилок та спеціальну схему управління для реалізації пристроїв «першим зайшов – першим вийшов» (FIFO).

Перевагами ПЛІС 7-генерації порівняно з попередніми ПЛІС серій Virtex-6 и Spartan-6 є:

- зниження рівня споживаної потужності;
- зростання продуктивності пристроїв і систем, що реалізуються;
- мінімізація затримок поширення сигналів синхронізації за рахунок удосконаленої комплексної системи розподілу тактових сигналів на кристалі;

- впровадження модернізованих блоків управління синхронізацією (Clock Management Tile, CMT);
- високошвидкісні блоки вх/вих SelectIO™ з підтримкою інтерфейсу пам'яті DDR3 до 1,866 Мбіт/с;
- високошвидкісний послідовний зв'язок на основі вбудованих гігабітних трансиверів від 600 Мбіт/с до максимальної швидкості 6,6 – 28,05 Гбіт/с, які підтримують спеціальний режим малого енергоспоживання, оптимізований для інтерфейсу зв'язку між мікросхемами;
- аналого-цифровий блок XADC конфігурований користувачем, з давачами температури і напруги;
- модулі цифрової обробки сигналів (DSP slices) з помножувачем 25×18 , 48-розрядним акумулятором, попереднім суматором для високопродуктивної фільтрації;
- потужні модулі управління синхронізацією (clock management tiles, CMT), фазове автопідстроювання частоти (PLL) та блоки синхронізації змішаного режиму (mixed-mode clock manager, MMCM) для високої точності і низького джитера;
- застосування інтегрованих апаратних модулів інтерфейсу PCI Express наступного покоління до третьої генерації $\times$ Gen3;
- можливість реалізації у кристалах серій Kintex-7 і Virtex-7 модулів інтерфейсу PCI Express на основі синтезованих IP-ядер;
- широкий діапазон конфігурованих опцій;
- підтримка розширеної кількості однополюсних і диференціальних цифрових стандартів введення/виведення з рівнями сигналів від 1,2 В до 3,3 В;
- застосування вдосконалених блоків введення/виведення, які підтримують режим енергозберігання.

У складі ПЛІС нової генерації використовується аналого-цифровий блок XADC. Основу структури XADC утворюють два 12-розрядних аналого-цифрових перетворювачі (АЦП) і мультиплексор (рис. 7.20). До блоку XADC належать вбудовані давачі напруги живлення та температури. Блок XADC підтримує 17 зовнішніх вхідних каналів. Комутація аналогових сигналів здійснюється мультиплексором. Кожен АЦП дозволяє виконувати перетворення вхідного аналогового сигналу з частотою дискретизації 1 млн відліків/с і з точністю 0,1%. Присутність блоку XADC дозволяє повністю реалізувати пристрої цифрової обробки низькочастотних сигналів на базі одного кристалу без використання зовнішніх АЦП.

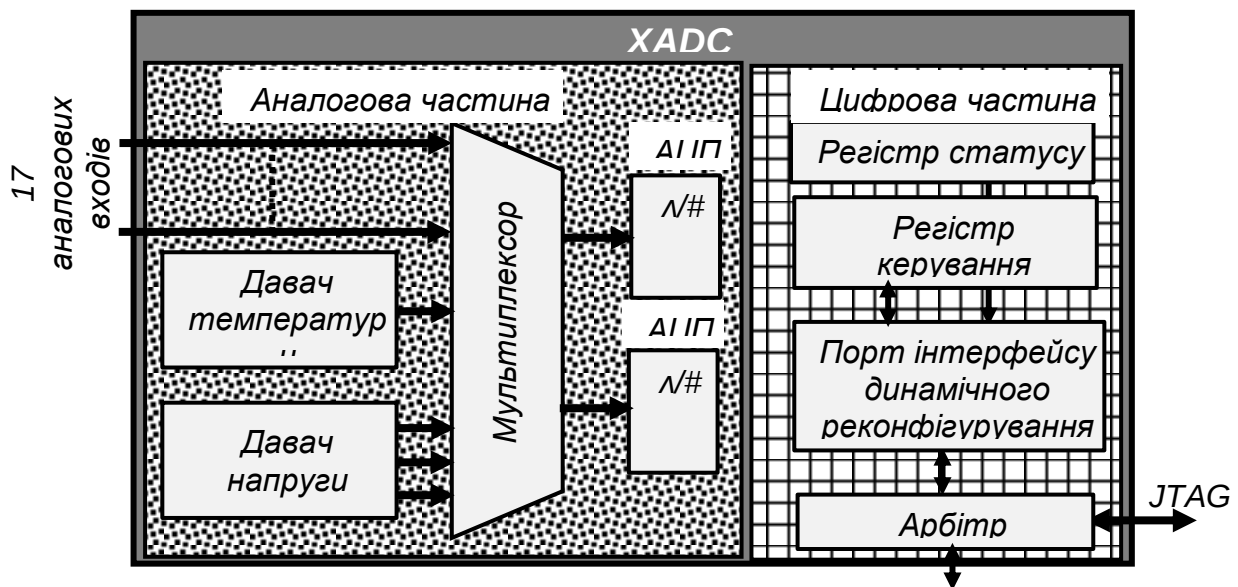


Рисунок 7.20 – Схема аналого-цифрового блоку XADC

Апаратний аналого-цифровий блок XADC можливо застосовувати у складі мікропроцесорних систем, що реалізовані на основі конфігурованих 3 2-розрядних ядер сімейства MicroBlaze. На рисунку 7.21 наведено приклад вбудованої мікропроцесорної системи, яка включає модуль XADC та здійснює реєстрацію та обробку значень аналогових сигналів і передає результати обчислень через мережний інтерфейс. Наведену систему можливо реалізувати на базі кристалів програмованої логіки серій Artix-7, Kintex-7 и Virtex-7, які містять більше 100 000 логічних чарунок.

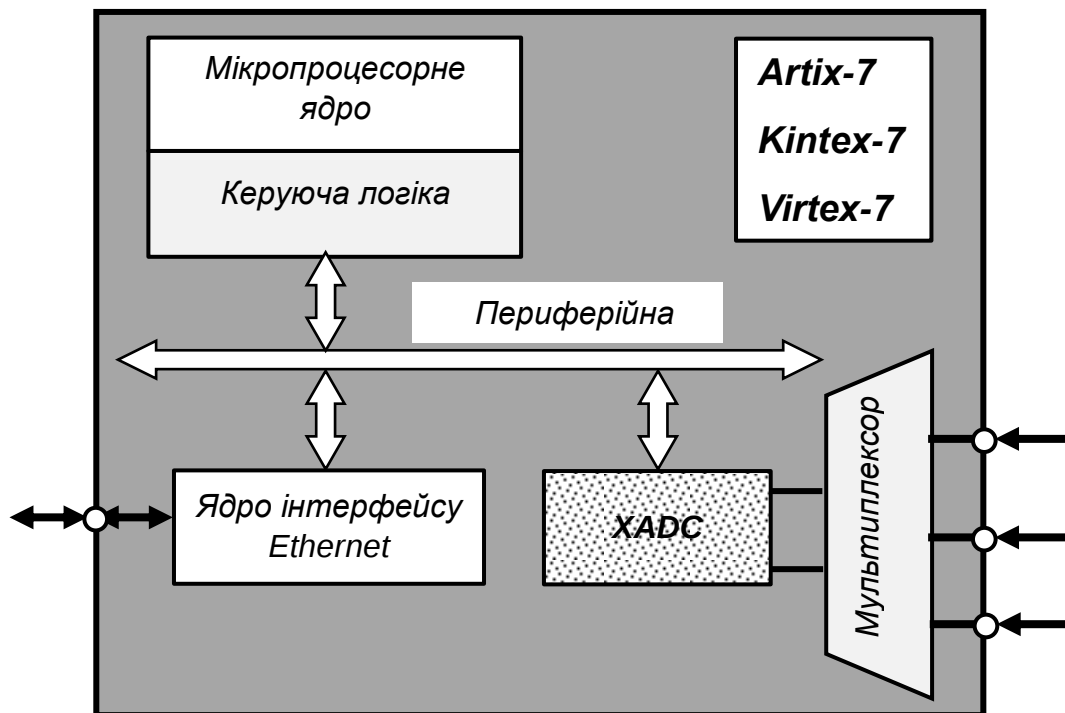


Рисунок 7.21 – Приклад вбудованої мікропроцесорної системи, яка включає модуль XADC

ПЛІС серії Artix-7

Сімейство Artix-7 порівняно з Spartan-6 має ряд переваг: вдвічі меншим енергоспоживанням і підвищенням продуктивності на тридцять відсотків. Особливості сімейства Artix-7:

- оптимізовано для масового виробництва некоштовної продукції;
- можливість обробки аналогових сигналів (технологія Agile Mixed Signal);
- максимальна швидкість передавання 6,6 Гбіт/с;
- вбудовані блоки цифрової обробки сигналів DSP48E1 та інтерфейса PCI Express;
- орієнтовані на побудову портативних пристроїв;
- заміщують у розробках мікросхеми серій Spartan-3 и Spartan-6.

ПЛІС сімейства Kintex-7

Мікросхеми серії Kintex-7 – це нове сімейство, що дозволяє досягнути максимального значення показників ціна / продуктивність. ПЛІС Kintex-7 призначені для реалізації високопродуктивної логіки, цифрової обробки сигналів та послідовних інтерфейсів, за умови зниження вартості на 50% порівняно з попереднім сімейством. Особливості сімейства Kintex-7:

- енергоспоживання зменшено на 50%;
- можливість обробки аналогових сигналів (технологія Agile Mixed Signal);
- більшу кількість модулів двопортової блокової пам'яті Block RAM з загальним об'ємом пам'яті до 34,4 Мбіт;
- більша кількість секцій ЦОС DSP48E1;
- включають модифіковані послідовні швидкісні прийомопередавачі RocketIO типу GTX з максимальною швидкістю передавання та прийому 12,5 Гбіт/с;
- містять апаратні модулі інтерфейсу PCI Express, які підтримують швидкість передавання даних 2,5 і % Гбіт/с;
- призначені для побудови комунікаційних систем (волоконооптичних ліній зв'язку, LTE, WiMax), опрацювання відео, медичних систем.

ПЛІС сімейства Virtex-7

Сімейство Virtex-7 призначено для реалізації високопродуктивних телекомунікаційних пристроїв та систем. Застосування технологічного процесу 28 нм дозволило вдвічі підняти логічну ємність і швидкодію, вдвічі зменшити енергоспоживання порівняно з сімейством попередньої генерації Virtex-6.

Особливості ПЛІС сімейства Virtex-7:

- включає три підсімейства, що оптимізовані для різних застосувань;

- містить до двох мільйонів логічних чарунок;
- розміщує модифіковані послідовні швидкісні трансивери RocketIO типу GTX з максимальною швидкістю передавання та прийому до 28,05 Гбіт/с;
- включає блок обробки аналогових сигналів AMS);
- має вбудовані блоки PCI Express Gen2 та Gen3;
- об'єм пам'яті до 96 Мбіт;
- продуктивність цифрової обробки сигналів до 6,7 тера операцій множення з додаванням у секунду.

ПЛІС сімейства Virtex-7 призначені для побудови систем дротового та бездротового зв'язку, радіолокації, цивільних систем обробки інформації.

Основні особливості апаратної платформи UltraScale+

Нова генерація мікросхем сімейства UltraScale+ фірми Xilinx відбувається за технологією 16 нм. До їх складу входять мікросхеми Xilinx UltraScale+ FPGA – це Kintex® UltraScale + FPGA і Virtex® UltraScale+ FPGA, а також програмовані мультипроцесорні системи на кристалі Zynq® UltraScale + MPSoC.

Сімейство мікросхем UltraScale+ базується на повністю програмованій архітектурі, яка обіймає множину вузлів від розташованих на кристалі транзисторів FinFET до кристалів у 3D-мікросхемах. Архітектура суміщує удосконалені комутовані логічні блоки (CLB), різке підвищення кількості пристроїв маршрутизації та передову систему синхронізації, характерну для ASIC з високопродуктивною ЦОС, інтерфейсом пам'яті PNY і послідовними інтерфейсами.

Перелік основних особливостей мікросхем UltraScale+ наведено далі.

У мікросхемах реалізовано наступне покоління засобів маршрутизації, система синхронізації, подібна до тієї, що застосовується у мікросхемах ASIC, розширені можливості застосування логічних ресурсів (комутовані логічні блоки, CLB, функціонально розширені з метою їх використання до 90%). Відбувся стрибок у швидкодії та ступеня завантаження логічних ресурсів. Вони займають меншу площу на кристалі та мають більшу продуктивність, яка зросла вдвічі порівняно з попередніми розробками. Ефективне розміщення CLB знизило затримку у міжз'єднаннях.

Високошвидкісні каскадні чарунки пам'яті призначені для запобігання вузьких місць ЦОС та обробки пакетів даних.

Розширені чарунки DSP, які містять 27×18-розрядні помножувачі та подвійні суматори, що дає стрибок у підвищенні продуктивності з виконання

арифметичних операцій з фіксованою та плаваючою точкою відповідно до стандарту IEEE 754.

Ступінчасте підвищення функціональності, смуги пропускання між кристалами у конструкції мікросхеми типу 3D.

Велика пропускна здатність введення/виведення і значне скорочення часу очікування проходження даних через декілька інтегрованих апаратних блоків для 100G Ethernet з інтерфейсом RS-FEC, 150G Interlaken, і PCIe® Gen4.

Статичне й динамічне стробування живлення для великої кількості функціональних елементів для значної економії живлення.

Рівень захисту нової генерації з застосуванням розширеного дешифрування та аунтефікації бітового потоку, ключа-перемішування для підвищення безпеки програмування пристрою.

Підтримка DDR4 до 2566 Мбіт/с для забезпечення пропускної здатності інтерфейсу пам'яті. Пам'ять UltraRAM реалізує інтегровані потужні запам'ятовувальні пристрої SRAM.

Інноваційна технологія оптимізації з'єднань між компонентами для додаткового підвищення на 20...30% продуктивності на 1 Вт споживаної потужності.

Застосування багатопроцесорних технологій MPSoC, що обіймають програмні та апаратні можливості для керування у режимі реального часу, обробки графіки, відео, сигнальних пакетів за умови забезпечення багаторівневої безпеки та надійності проекту.

Пристрої на кристалі UltraScale розміщені у стовпцях матриці. Ресурси стовпців об'єднуються у різних сполученнях для забезпечення оптимальних можливостей розроблюваного пристрою за параметрами та вартістю. В основі лежить система обробки, яка повністю або частково апаратними ядрами у стовпцях заміщує програмовані логічні ресурси. Ресурси синхронізації поділяються на сегменти. Кожен сегмент може мати свою тактову частоту та синхронізувати стовпець, що налічує 60 комутованих логічних блоків.

Kintex UltraScale+™ FPGAs:

Ці мікросхеми розширили кількість ПСнК у середній категорії вартості, водночас забезпечуючи підвищення продуктивності і зниження часу затримки сигналів для значної кількості додатків, які включають бездротові мережі MIMO, NX100G і ЦОС великої інтенсивності. Використовуючи перевагу архітектури UltraScale, яка базується на архітектурі повністю замовних мікросхем класу ASIC, мікросхеми Kintex UltraScale+ оптимізовані для

використання з САПР Vivado® Design Suite і для прискорення проектування застосовують методологію проектування UltraFAST™.

Підвищення продуктивності і наявність на кристалі пам'яті UltraRAM знижують вартість пристрою, що розробляється. Ємність пам'яті UltraRAM інтегрованої на кристалі становить до 36 Мбіт СОЗП. Восьмикратне зростання ємності блокової пам'яті порівняно з традиційною вбудованою пам'яттю. Високопродуктивні периферійні пристрої реалізовані з ефективним енергозберіганням. Технологія програмного з'єднання системи для оптимізації міжз'єднань інструментів та IP-ядр у режимі глибокого сну. Автоматичне узгодження інтерфейсів. Мікросхеми мають багаточисленні варіанти живлення, які забезпечують оптимальний баланс між потрібною продуктивністю системи і найменшим споживанням енергії. Критичні затримки послідовної пропускну здатності зменшено більше ніж на 50% порівняно з мікросхемами Kintex UltraScale і більш ніж у 4 рази відносно сімейства Kintex-7. Швидкість обміну даними на материнській платі 16 ГГбіт/с та 28 ГГбіт/с, між кристалами 32,75 ГГбіт/с та підтримується зв'язок кристал-оптична мережа. Висока густина Вх/Вих підвищує питому площу та енергоефективність, що припадає на один контакт. На кристалі розміщені блоки PCI Express.

Основні логічні ресурси мікросхем сімейства Kintex UltraScale+ FPGAs:

- кількість системних логічних чарунок 355950 – 1143450;
- тригерів у комутованих логічних блоках (CLB) 325440 – 1045440;
- таблиці відповідності (LUT) 162720 – 522720;
- ємність розподіленої пам'яті (RAM) 4,7 – 9,8 Мбіт;
- кількість блоків пам'яті 360 – 984;
- ємність блоків пам'яті 12,7 – 34,6 Мбіт;
- кількість блоків пам'яті UltraRAM 48 – 128;
- ємність блоків пам'яті UltraRAM 13,5 – 36 Мбіт;
- кількість модулів ЦОС 1368 – 1968.

Virtex UltraScale+ FPGAs

Мікросхеми сімейства Virtex UltraScale+ FPGAs мають більший ступінь інтеграції порівняно з сімейством Kintex UltraScale+, забезпечують вищу пропускну здатність трансиверів, вищу продуктивність обчислень ЦОС, вищу ємність пам'яті на кристалі можливу для архітектури UltraScale. Мікросхеми також мають багаточисленні варіанти живлення, які забезпечують оптимальний баланс між потрібною продуктивністю системи і найменшим споживанням енергії.

Основні логічні ресурси мікросхем сімейства Virtex UltraScale+ FPGAs:

- кількість системних логічних чарунків 862050 – 2851800;
- тригерів у комутованих логічних блоках (CLB) 325440 – 2607360;
- таблиці відповідності (LUT) 394080 – 1303680;
- ємність розподіленої пам'яті (RAM) 25,3 – 70,9 Мбіт;
- кількість блоків пам'яті 720 – 2016;
- ємність блоків пам'яті 25,3 – 70,9 Мбіт;
- кількість блоків пам'яті UltraRAM 320 – 960;
- ємність блоків пам'яті UltraRAM 90 – 270 Мбіт;
- кількість модулів ЦОС 2280 – 9024.

Співвідношення основних ресурсів сімейств Kintex UltraScale+ і Virtex UltraScale+ є таким, що Kintex має на одну логічну чарунку більше секцій ЦОС і більш пристосовано для задач цифрової обробки сигналів. Сімейство Virtex UltraScale+ орієнтовано на комунікаційні додатки з високою сумарною пропускною здатністю апаратних прийомопередавачів, а також на розробку прототипів (з огляду на те, що у сімействі Virtex реалізовано максимальну абсолютну кількість ресурсів). У новому поколінні застосована рекордна кількість секцій ЦОС (11904) та прийомопередавачів (128) – у мікросхемі XCVU13P.

7.5 Програмовані системи на кристалі з вбудованими процесорними блоками

ПЛІС типу «система на кристалі» з вбудованими блоками включають у себе програмовані й фіксовані області. У фіксованих областях чітко реалізовані блоки, що виконують певні функції – апаратні ядра (Hard cores, hard-ядра). В інших областях кристала розміщується програмована користувачем частина.

Розглянемо декілька прикладів ПЛІС з блоковою структурою, до яких відноситимемо мікросхеми з вбудованими процесорними ядрами.

Мікросхеми сімейства Excalibur фірми Altera були одними з перших ПЛІС типу програмована «система на кристалі» з вбудованими блоками процесорів.

В основі SoC лежить FPGA APEX20KE логічною ємністю від 100 тис. до 1 млн вентилів. Компанія Altera реалізувала в SoC стандартне апаратне процесорне ядро 32-розрядного RISC-процесора ARM9 на одному кристалі з логічною матрицею APEX (рис. 7.22).

Процесорне ядро працює на частоті до 200 МГц.

Excalibur містить внутрішній однопортовий СОЗП ємністю до 250 кбайт і двопортовий СОЗП ємністю до 120 кбайт.

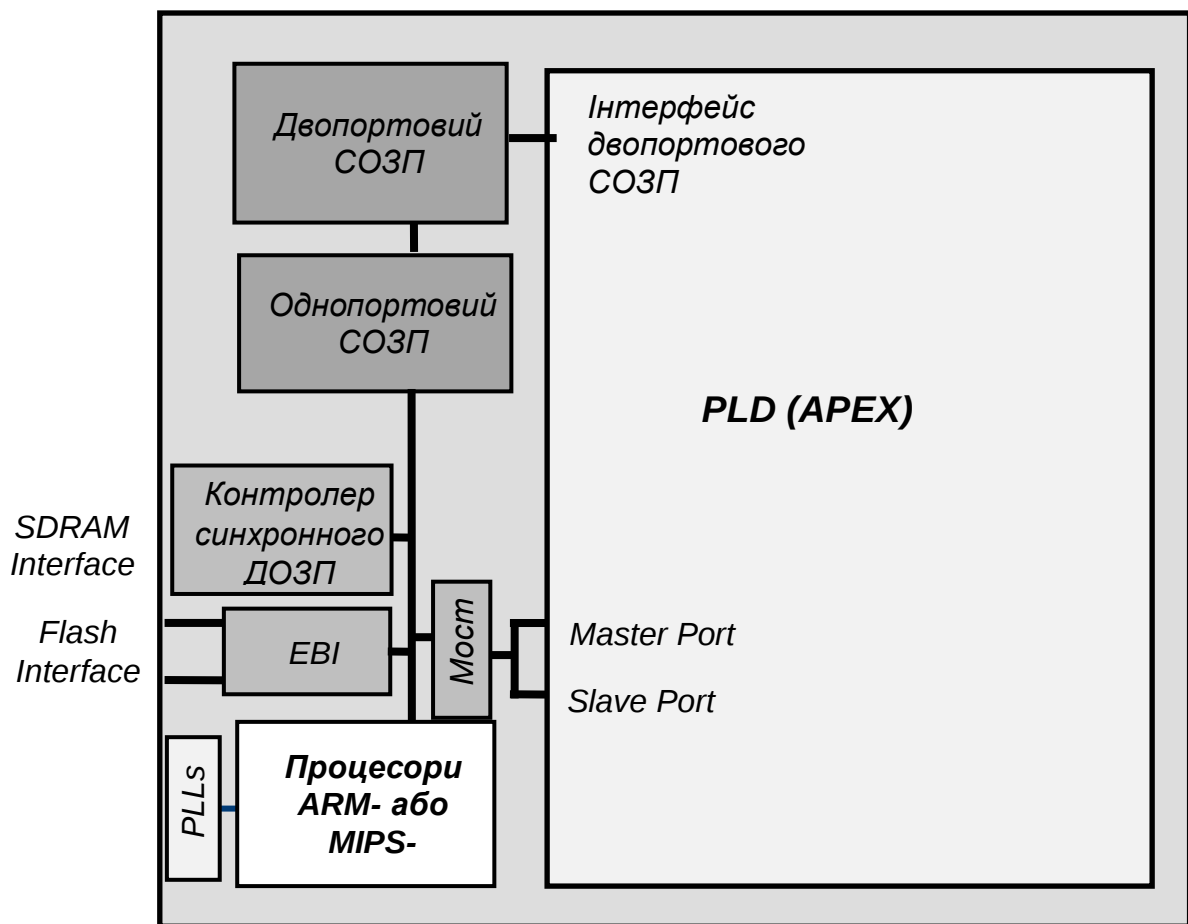


Рисунок 7.22 – План кристала ПЛІС Excalibur

Кількість програмованих користувачем виводів I/O – від 173 до 521.

На кристалах сімейства розташовано фіксовані периферійні вузли універсальних асинхронних прийомопередавачів і таймерів.

Обмін даними між процесором і пам'яттю на кристалі, периферійними вузлами, а також між процесором і програмованою логічною матрицею відбувається за дворівневою високопродуктивною 32-розрядною шиною AMBA (Advanced Microcontroller Bus Architecture) конвеєрного типу з тактовою частотою від 100 до 200 МГц.

Сімейство Virtex-II Pro компанії Xilinx

Сімейство Virtex-II Pro призначено для створення систем на базі IP-ядер та замовних параметризованих модулів. Мікросхеми сімейства оптимізовані для реалізації закінчених рішень у сфері телекомунікацій, бездротового зв'язку, побудови мереж, засобів відео- та цифрової обробки інформації. В архітектурі мікросхем уперше застосовані прийомопередавачі RocketIO та процесорні ядра PowerPC. Виготовляються вони за КМОН-технологією з топологічними нормами 0,13 мкм та з дев'ятьма мідними шарами металізації, що дозволило

зменшити розміри кристалу та енергоспоживання порівняно з мікросхемами попередніх серій.

До складу сімейства Virtex-II Pro входять десять типів ПЛІС, які містять від 352 до 13904 конфігурованих логічних блоків. Архітектура матриць Virtex-II та Virtex-II Pro однакова, втім мікросхеми Virtex-II Pro мають більшу швидкодію за меншою напругою живлення, відмінну конфігураційну послідовність і призначення виводів корпусу.

Перевагами сімейства Virtex-II Pro є:

1) наявність до двадцяти чотирьох вбудованих високошвидкісних приймачів Rocket I/O, які засновано на технології Mindspeed's SkyRail, зі швидкістю обміну даними до 3.125 Мб/с;

2) включення в архітектуру кристалів до чотирьох процесорних блоків PPC405 (PowerPC RISC);

3) збільшення максимального об'єму внутрішньої оперативної пам'яті кожного виду: розподіленого ОЗП до 1,7 Мбіт і вбудованого ОЗП до 10 Мбіт;

4) розширення максимальної логічної ємності кристалів до 13904 конфігурованих логічних блоків;

5) збільшення більше ніж утричі кількості блоків апаратних 18-розрядних перемножувачів;

6) використання технології SelectI/O-Ultra забезпечує підтримку 17-ти однополюсних і п'яти диференціальних сигнальних стандартів.

Архітектурні особливості ПЛІС сімейства Virtex-II Pro дозволяють оптимальним шляхом виконувати на їх основі розробку систем на кристалі. При цьому в одному корпусі ПЛІС вдається повністю реалізувати функції процесора і всіх периферійних пристроїв, включаючи різноманітні інтерфейси вводу/виводу. Гнучка комплексна система трасувальних ресурсів кристалів сімейства Virtex-II Pro створює ефективний механізм поєднання процесорних блоків і оточуючої програмної логіки. Реалізація процесорних функцій на апаратному рівні, у вигляді вбудованих блоків PPC405, забезпечує досягнення високої продуктивності систем, що проектуються.

В архітектурі ПЛІС Virtex-II Pro можна виділити модулі загального призначення і спеціалізовані модулі (рис. 7.23). У модулі загального призначення входять:

- конфігуровані логічні блоки (CLB);
- блокові ОЗП (Block SelectRAM) з об'ємом пам'яті у блоці 18 кбіт;
- блоки множення (Multipliers Blocks) – до 556, 18×18 біт.

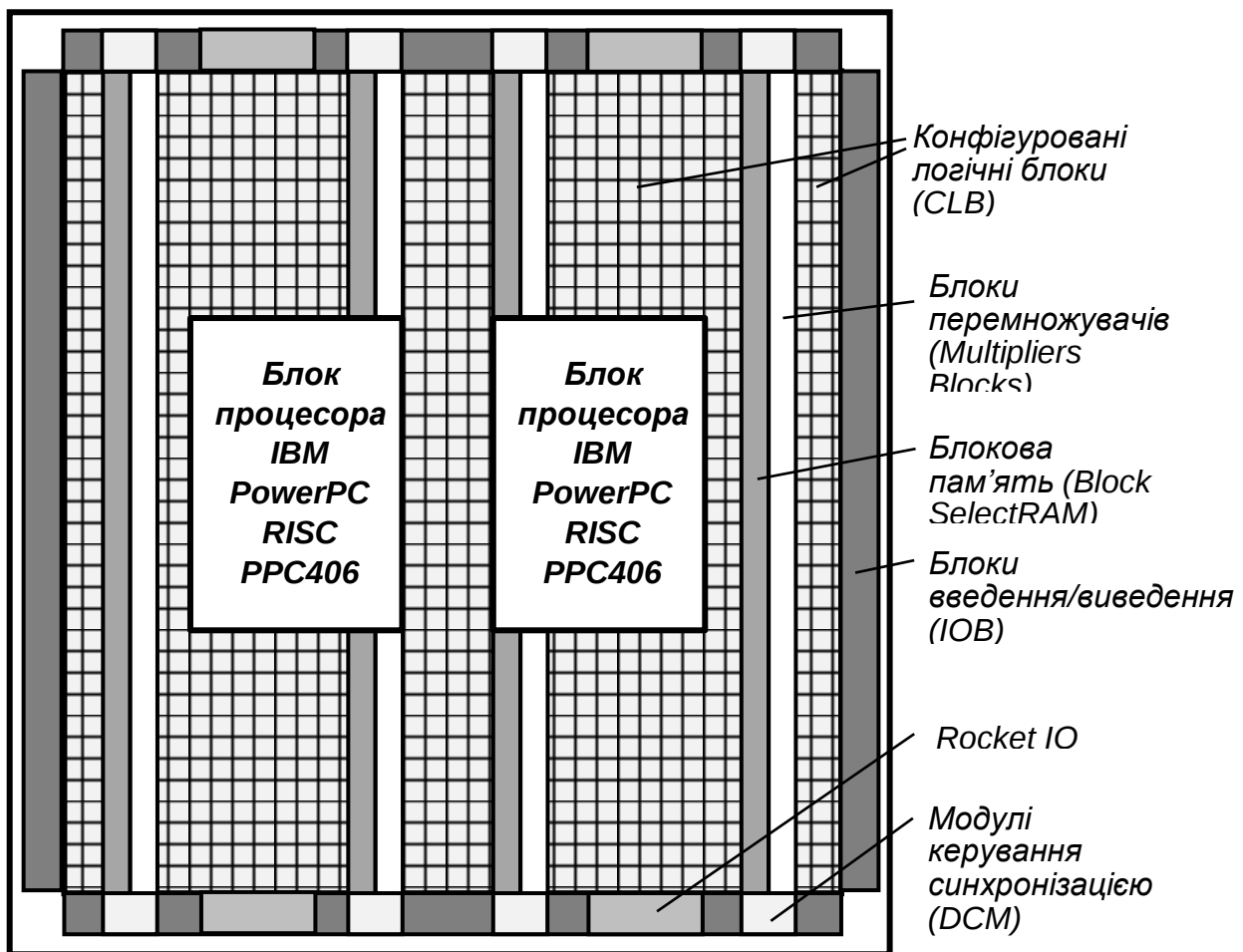


Рисунок 7.23 – Архітектура кристала ПЛІС сімейства Virtex-II Pro

У спеціалізовані модулі входять:

- вбудовані послідовні приймачі із швидкістю передачі в дуплексному режимі до 3,125 Гбіт/с на канал;
- ядра RISC-процесорів IBM PowerPC.

RocketIO є повністю дуплексним послідовним прийомопередавачем (SERDES), що підтримує з'єднання від 2 до 24 каналів з пропускнуою здатністю від 622 Мбіт/с до 3,125 Гбіт/с. Швидкість двобічної передачі даних – 120 Гбайт/с. У кожному каналі можливий режим внутрішнього кола зворотного зв'язку. Прийомопередавач має вбудовану схему формування і відновлення тактових сигналів (CDR), можливість вирівнювання частоти шляхом введення/видалення символів, програмованим виділенням коми, 8-, 16- або 32-біт внутрішнім інтерфейсом, 8- /10-біт кодером і декодером. RocketIO сумісний з протоколами передач Fibre Channel, Gigabit Ethernet, 10 Gb Attachment Unit Interface (XAUI) і широкосмуговими прийомопередавачами. Конфігуровані користувачем значення внутрішнього узгоджувального опору приймача/передавача складають 50/75 Ом.

Доступні п'ять рівнів вихідної диференціальної напруги. Напруга живлення приймача 2,5 В [23].

Процесорний блок PowerPC – це вбудоване hard-ядро на тактову частоту до 400 МГц з гарвардською архітектурою, п'ятиступеневим конвеєрним трактом передачі даних, апаратними засобами множення/ділення. Блок також містить тридцять два 32-розрядних регістра загального призначення, асоціативні двонаправлені схеми кеш-пам'яті команд і даних ємністю 16 Кбіт кожна, блок управління пам'яттю, 64-входові буфери трансляції/перегляду (TLB, Translation Look aside Buffers), інтерфейс вбудованої спеціальної пам'яті. Розміри сторінки можуть змінюватися в межах від 1К до 16 Мбіт. Є вбудований таймер. Процесорний блок підтримує шинну архітектуру IBM CoreConnect, операції налагодження і трасування. Його енергоспоживання мале: 0,9 мВт/МГц.

Для узгодження рівнів логічних сигналів використовуються різні напруги живлення логічного ядра і блоків введення/виведення (IOB). Застосовуються технологія Stlect I/O, яка дозволяє кожен блок IOB запрограмувати відповідно з визначеним стандартом (20 стандартів). Є модулі, які вирівнюють часові параметри сигналів на кристалі, внаслідок чого відсутній дриб'язг фронтів.

Молодші різновиди кристалів не мають апаратного ядра процесора або мають одне ядро. Кількість програмованих логічних ресурсів у мікросхем сімейства є достатньою для реалізації soft-ядра процесора. Це дає можливість організовувати у разі потреби на базі програмованих логічних чарунок сопроцесор, який виконує специфічні команди, що не увійшли до базового ядра та є ключовими (рис. 7.24).

ПЛІС сімейств Virtex можуть успішно використовуватися для створення високошвидкісних обчислювальних і телекомунікаційних приладів, шинних інтерфейсів (наприклад, PCI, PCI-X, FlexBus-4, USB, FireWire), мережних пристроїв і контролерів. Наявність апаратних перемножувачів дозволяє найбільш ефективно реалізувати на основі ПЛІС сімейства Virtex-II і Virtex-II Pro системи цифрової обробки сигналів.

Системи проектування пристроїв на ПЛІС фірми Xilinx.

Детальний облік особливостей структури кристалів FPGA і CPLD здійснюється у спеціалізованих САПР.

Відомі САПР фірми Xilinx Foundation Series і Alliance Series з 2003 року трансформувалися в системи ISE (Integrated Synthesis Environment) Foundation і ISE Alliance версії 6.1i.

Остання версія інтегрованого програмного забезпечення (ПЗ) дозволяє підвищити швидкодію останніх моделей ПЛІС до 400 МГц і забезпечити ефективне конструювання на кристалі меншої площі.

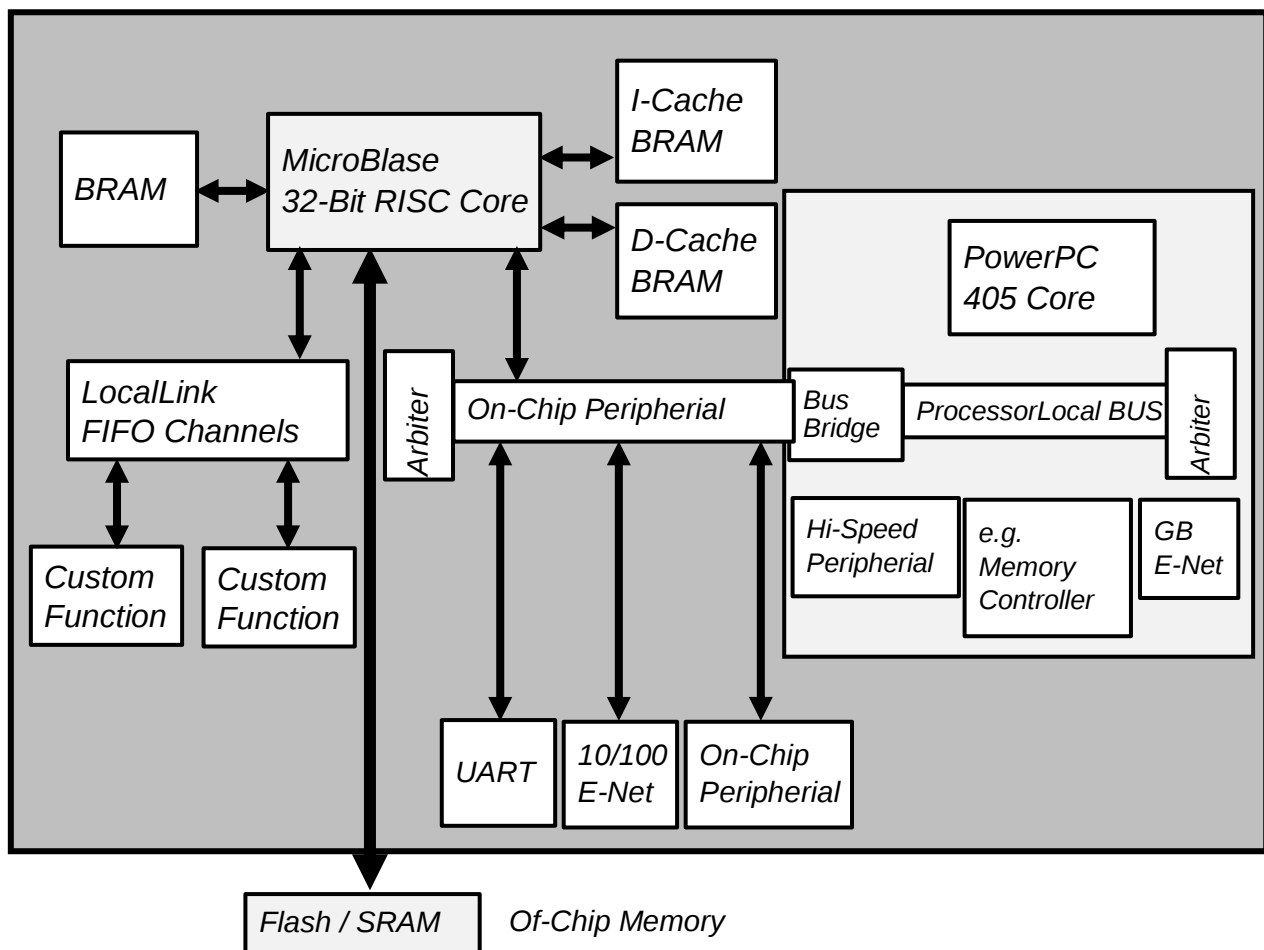


Рисунок 7.24 – Архітектура пристрою на ПЛІС Virtex-II Pro, що має апаратне процесорне ядро PowerPC та сопроцесор на базі soft-ядра MicroBlaze

Для ПЛІС фірми Xilinx ємністю до 300 тис. вентилів застосовуються САПР ISE BaseX і вільно поширювана ISE WebPack.

Для спрощення взаємодії різних САПР використовується стандартний формат файлів обміну даними EDIF (Electronic Data Interchange Format).

ПСНК типу Cyclone V SoC FPGA з вбудованими процесорними системами

Мікросхеми сімейства Cyclone V включають ПСНК з вбудованими процесорними системами типу Cyclone V SoC FPGA. До ПСНК з вбудованими процесорними системами належать такі підсімейства:

- Cyclone V SE – містить апаратний процесорний блок (одно- або двоядерний);
- Cyclone V SX – містить двоядерний апаратний процесорний блок і вбудовані трансивери з максимальною швидкістю 3,125 Гбіт/с;

– Cyclone V ST – містить двоядерний апаратний процесорний блок і вбудовані трансивери з максимальною швидкістю 5 Гбіт/с.

Архітектуру кристала Cyclone V SoC FPGA наведено на рис. 7.25.

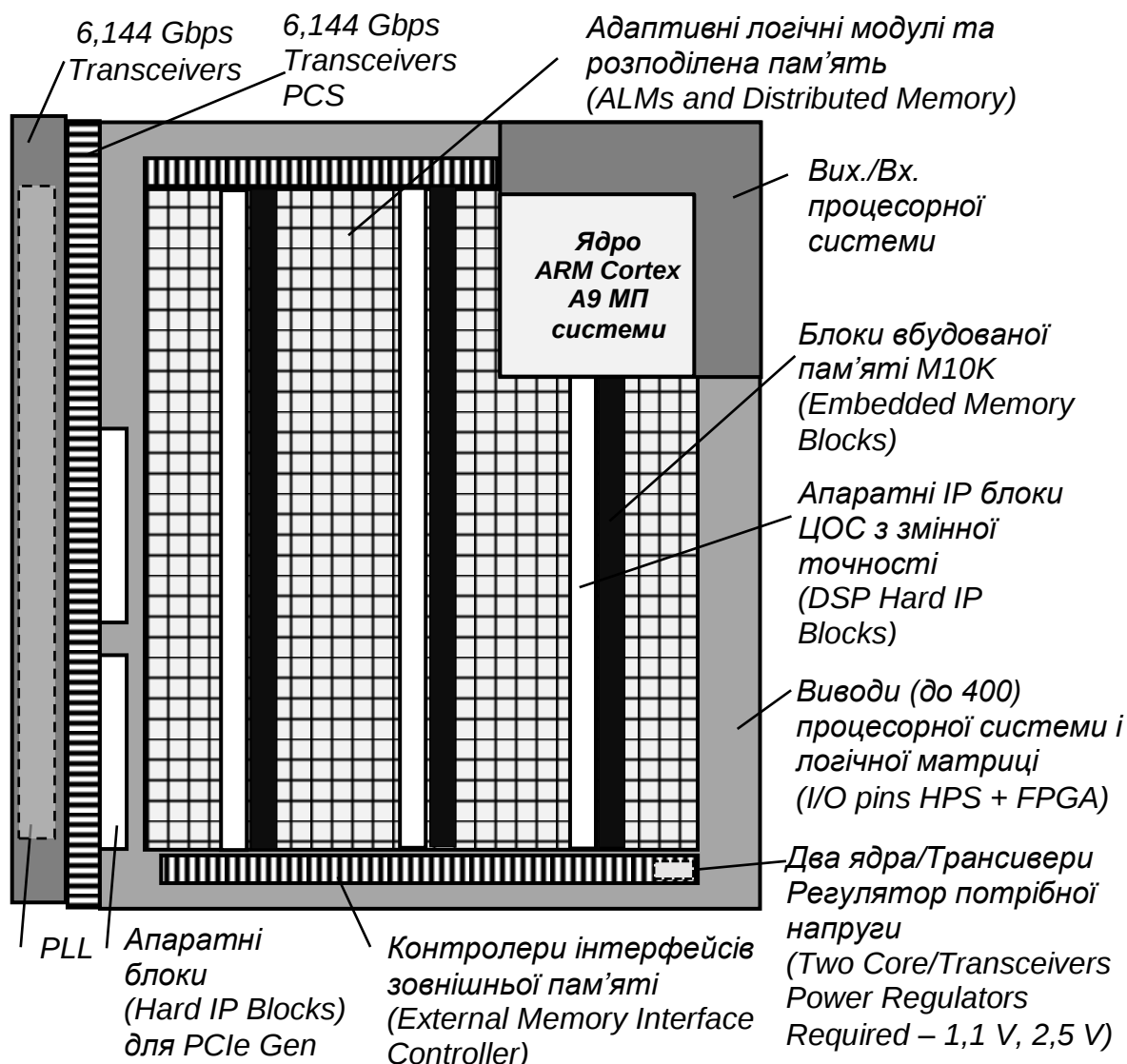


Рисунок 7.25 – Архітектура кристала Cyclone V SoC FPGA

Процесорна апаратна система (Hard Processor System, HPS) побудована на базі одно- або двоядерних процесорів ARM Cortex-A9 MPCore з максимальною частотою до 925 МГц.

Вбудовані апаратні периферійні пристрої знімають потребу у необхідності використовувати для виконання цих функцій програмовану логіку, зберігаючи більше ресурсів матриці FPGA для виконання спеціальних додатків користувача і зниження енергоспоживання.

Апаратні багатопортові контролери пам'яті, відділяючи процесор і FPGA-логіку, підтримують різні типи ОЗП (DDR2, DDR3 і LPDDR2) та мають

інтегровані пристрої корекції помилок кодів (error correction code, ECC) для високої надійності та безпеки критично важливих застосувань.

Широкосмугові міжз'єднання між HPS та матрицею FPGA забезпечують продуктивність обміну даними не досягну за використанням двох кристалів окремо для процесора і для логічної матриці. Ця інтеграція забезпечує:

- пропускну здатність понад 100 Гбіт/с;
- когерентність даних інтегрованих на кристалі;
- значне енергозбереження внаслідок ліквідації зовнішніх шляхів обміну даними між процесором і FPGA.

Гнучкість масиву програмованої логіки дозволяє розробляти різноманітні системи, застосовуючи IP користувача або стандартні попередньо налаштовані IP від фірми Intel або від інших розробників. Це дозволяє:

- швидко адаптуватися до зміни проекту або зміни інтерфейсу і стандартів протоколу;
- додавати користувачем відповідне апаратне забезпечення масиву програмованої логіки для прискорення алгоритмів критичних до часу виконання;
- швидко запустити процесор без попередньої колосальної діяльності з програмування, тестування та інше, що зменшує одноразові витрати порівняно з мікросхемами ASIC.

Інтегрування на одному кристалі багатой кількості апаратних IP блоків знижує загальну вартість системи, споживану потужність і час розробки, підвищує продуктивність, надійність і гнучкість, системи що проектується. Мікросхеми Intel® SoC FPGAs призначені:

- для збереження гнучкості завантаження процесора і програмованої логічної матриці послідовністю конфігурування, системного скидання процесора, незалежності інтерфейсів пам'яті, які відповідають реалізації на двох кристалах;
- збереження цілості й надійності даних за допомогою блоків ECC;
- захист пам'яті DRAM відокремленням процесора і матриці з інтегрованими пристроями захисту пам'яті;
- увімкнення налаштування системного рівня з адаптивним налаштуванням для усього пристрою.

Сімейство ПСНК Arria 10 з вбудованою процесорною системою

Це сімейство належить до ПЛІС середнього діапазону і призначені для вирішення телекомунікаційних задач з підвищеними вимогами за вартістю і енергоспоживанням. Починаючи з сімейства Arria V, випущеного в 2011 р., у мікросхеми вбудовано апаратний процесорний блок, основою якого є

двоядерний процесор ARM Cortex A9, і блоки тактування. Ці мікросхеми мають той самий набір блоків, що і ПЛІС сімейства Stratix.

Останньою розробкою у цьому сімействі є мікросхеми середнього класу Arria 10, що виробляються за 20-нм технологією. Вони призначені для розробок, що потребують високої продуктивності, за жорсткими обмеженнями вартості та енергоспоживання. Основні сфери використання Arria 10 – телекомунікаційна апаратура і високопродуктивні обчислювальні системи.

Мікросхеми Arria 10 SX 0 містять двоядерний процесор ARM Cortex A9 (рис. 7.26), 48 трансиверів зі швидкістю передавання даних до 17,4 Гбіт/с і до 660 тис. еквівалентних логічних елементів. Процесор працює на частоті до 1,5 ГГц.

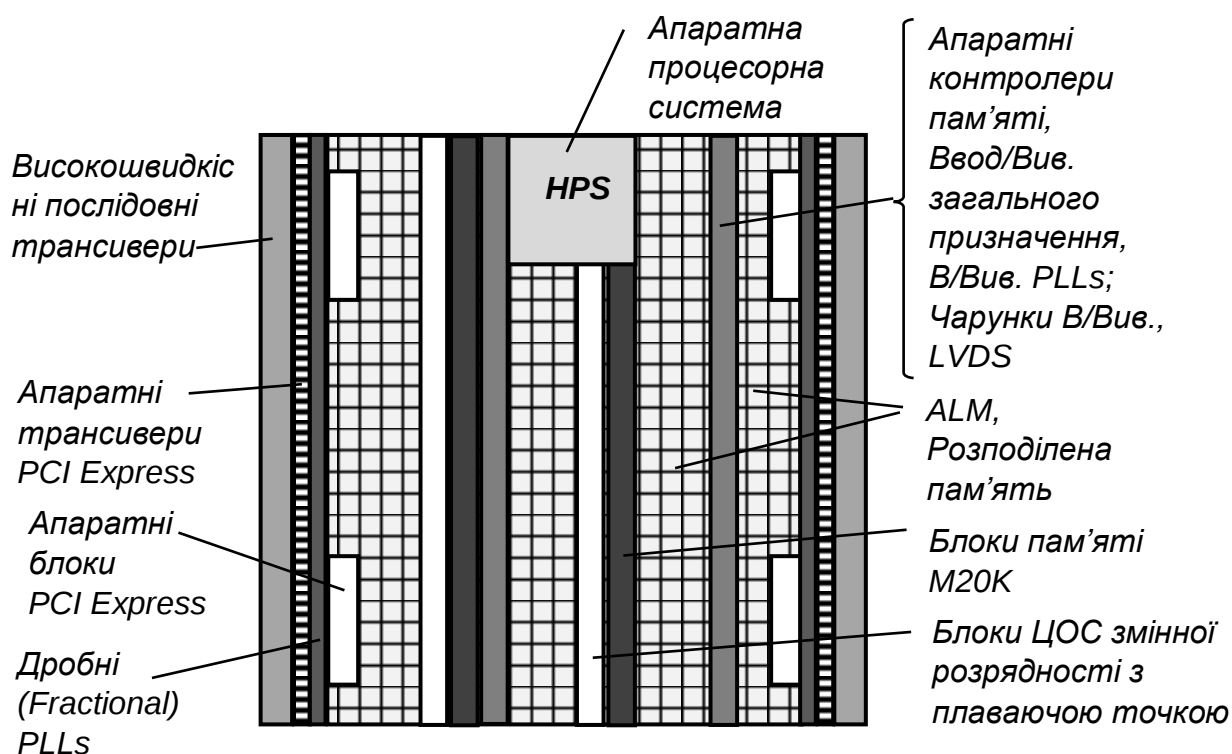


Рисунок 7.26 – Архітектура кристала ПСНК сімейства Arria® 10 SoC FPGA

На кристалах розміщено удосконалені апаратні DSP-блоки змінної розрядності, які забезпечують швидкість обробки даних до 1,5 Тфлопс, апаратні контролери з підтримкою швидкісних інтерфейсів зовнішньої пам'яті (у тому числі DDR4 з швидкістю передачі 2 666 Мбіт/с та з кубом гібридної пам'яті зі швидкістю передачі до 15 Гбіт/с), також контролери шини PCI Express Gen3 x8.

Сімейство ПСНК Stratix 10 з вбудованою процесорною системою

Сімейство Stratix 10 є найбільш продуктивним серед ПСНК фірми Intel-Altera. Сімейство Stratix 10 містить три різновиди мікросхем типу система у корпусі (System in Package, SiP) з вбудованою процесорною системою і

мікросхему програмована система-на-кристалі SOPC FPGA, які призначені для використання у відповідних сферах сучасної радіoeлектроніки: комунікація, дротовий та бездротовий зв'язок, обчислення, збереження інформації, медицина, випробування тощо.

До сімейства з вбудованою процесорною системою належать такі мікросхеми:

Stratix 10 SX – ПСнК на базі 64-розрядного процесора ARM Cortex-A53 плюс підтримка усіх функцій мікросхем Stratix 10 GX;

Stratix 10 TX – ПСнК на базі чотириядерного 64-розрядного процесора ARM Cortex-A53 з підтримкою H- і E-трансиверів, які забезпечують два режими роботи (56 Гбіт/с у режимі PAM 4 або 30 Гбіт/с у режимі NRZ), плюс підтримка усіх функцій мікросхем Stratix 10 GX і Stratix 10 SX;

Stratix 10 MX – ПСнК на базі чотириядерного 64-розрядного процесора ARM Cortex-A53 з підтримкою H- і E-трансиверів, які об'єднані в одному корпусі з високопродуктивною пам'яттю (HBM2) DRAM об'ємом до 16 Гбайт.

ПЛІС FPGA та ПСнК сімейства Stratix 10 створені за високопродуктивною архітектурою HyperFlex™ компанії Altera із застосуванням 14-нанометрового технологічного процесу Intel Tri-Gate, містить до 5,5 млн. еквівалентних логічних елементів, до 144 високошвидкісних трансиверів (до 56 Гбіт/с) та забезпечує продуктивність більше 10 Тфлопс у процесі цифрової обробки сигналів одинарної точності, що забезпечує вдвічі вищу продуктивність порівняно з попередніми поколіннями.

Архітектура HyperFlex використовує тригери в усіх вузлах міжз'єднань логічної матриці, а не тільки у логічних елементах. Це дозволяє запобігти критичних затримок проходження та обробки сигналів і швидко узгоджувати частотно-часові характеристики системи, що розробляється. Зростання продуктивності логічної матриці приблизно вдвічі також дозволило підвищити ефективність використання системних ресурсів і знизити споживану потужність FPGA.

ПЛІС FPGA та SoCs сімейства Stratix 10 підтримують робочу частоту, що перевищує 1 ГГц і мають вдвічі кращу продуктивність порівняно з існуючими 28 нм FPGA ПЛІС старших моделей. У системах з вимогами обмеження споживаної потужності ПЛІС сімейства Stratix 10 дозволяють розробникам скоротити споживання енергії на 70% за умови збереження продуктивності пристрою на рівні попереднього покоління.

ПЛІС FPGA та SoCs сімейства Stratix 10 відрізняються найвищим рівнем продуктивності у промисловості та системній інтеграції і містять (рис. 7.27):

– більше 5,5 млн. логічних елементів на одному кристалі;

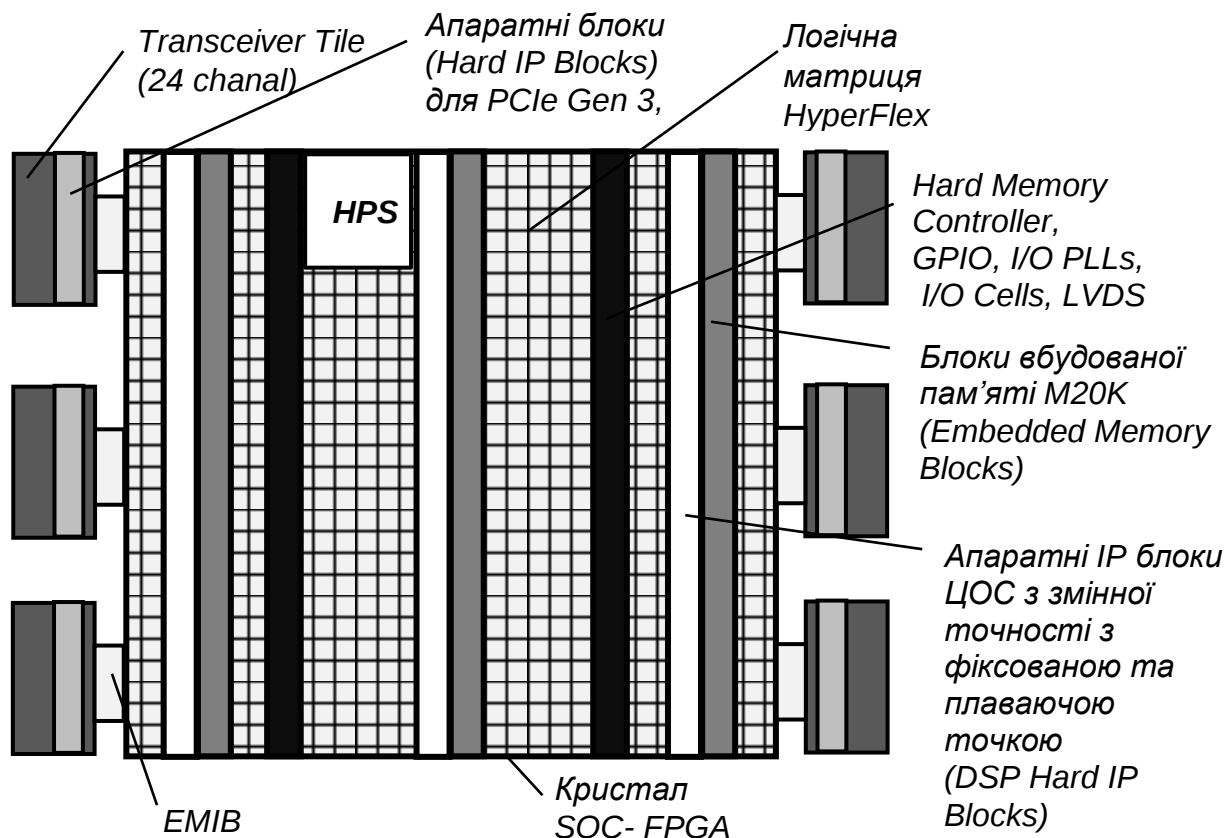


Рисунок 7.27 – Архітектура кристала ПСНК типу Intel Stratix 10 SoCs

- високошвидкісні прийомопередавачі (до 144 одиниць) з пропускнуою здатністю до 56 Гбіт/с, що у чотири рази вище, ніж у попередніх пристроях;
- вбудовані апаратні блоки цифрової обробки сигналів (DSP), які мають продуктивність понад 10 трлн. операцій з плаваючою точкою за секунду (10 TeraFLOPs);
- апаратний 64-бітний 4-ядерний процесор ARM Cortex-A53 з робочою частотою до 1,5 ГГц (Stratix 10 SX SoCs);
- схеми підтримки швидкісного послідовного інтерфейсу пам'яті з пропускнуою здатністю понад 2,5 Тбіт/с;
- схеми паралельного інтерфейсу пам'яті з пропускнуою здатністю понад 2,5 Тбіт/с для підтримки ОЗП типу DDR4 SDRAM з частотою 2 666 Мбіт/с;
- інтегрований пристрій менеджера безпеки (Secure Device Manager, SDM) для гнучкості оновлення коду конфігурації, забезпечення повнофункціонального захисту даних та IP-ядр;
- функція заборони фізичного копіювання (Physically Unclonable Function, PUF);
- систему виявлення та знешкодження поодиноких збоїв (Single Event Upset, SEU), які викликані іонізуючим випромінюванням;

- сумісність коду з кодом SoCs попередніх генерацій;
- сумісність призначення виводів з мікросхемами ПЛІС FPGA та SoCs сімейства Arria 10, що забезпечує легку взаємозаміну мікросхем у пристроях.

До складу ПЧНК Intel® Stratix® 10 SoCs входить апаратна процесорна система (Hard Processor System, HPS) на базі 64-розрядного чотириядерного процесора ARM Cortex-A53, що працює на частоті до 1,5 ГГц і логічна матриця HyperFlex™ FPGA. Процесор Cortex-A53 також підтримує 32-розрядний режим роботи. Блок керування конфігурацією та безпекою (Secure Device Manager, SDM) забезпечує різносторонній захист HBIC Stratix 10 від поодиноких збоїв (Single Event Upset, SEU), які викликані іонізуючим випромінюванням. Завдяки цьому Stratix 10 є оптимальним рішенням для систем військового призначення, безпеки «хмарних сховищ» та обчислювальних центрів, інших систем, що потребують високих вимог до багаторівневого захисту.

Всі HBIC-сімейства Stratix 10 реалізовані за технологією інтеграції гетерогенних 3D-систем у корпусі (System in Package, SiP), що забезпечує високу масштабованість, гнучкість використання і швидкість для створення нових рішень у сфері швидкісного передавання даних. Процес побудови гетерогенної 3D-системи у корпусі ґрунтується на об'єднанні окремих кристалів з програмованою логічною матрицею за технологією EMIB (Embedded Multi-die Interconnect Bridge), що розроблена фірмою Intel. Залежно від сфери застосування пристрою, що розробляється, у корпусі можливе розташування кристала FPGA та кристалів, на яких розміщені швидкісні трансивери з відмінними засобами модуляції та з підтримкою нових стандартів передавання даних (PCIe Gen4, Multi-Port Ethernet), схеми пам'яті SRAM і DRAM, кристали з аналоговими схемами, мікросхеми ASIC, мікросхеми процесорів ПЧНК, кристали, які виконані з іншими технологічними нормами. Ці можливості ілюструють рис. 7.28 та рис. 7.29.

Архітектура мікросхем Stratix 10 для сфери телекомунікації, що виконані за гетерогенною технологією Intel 3D SiP, наведено на рис. 7.30.

Технологія EMIB забезпечує значно більшу швидкодію та високу цілісність сигналів за меншої складності і вартості системи порівняно з альтернативними технологіями. Зв'язок між швидкодіючими пристроями відбувається через EMIB, не друковану плату (рис. 7.31, рис. 7.32). За рахунок цього здійснюється значне скорочення довжини ліній зв'язку, зменшення паразитних ємностей та індуктивностей та часу затримки поширення сигналів, підвищення однорідності ліній зв'язку між кристалами, зменшення джитера та збільшення когерентності сигналів. В результаті значно полегшується проектування друкованої плати і тестування розроблюваної системи.

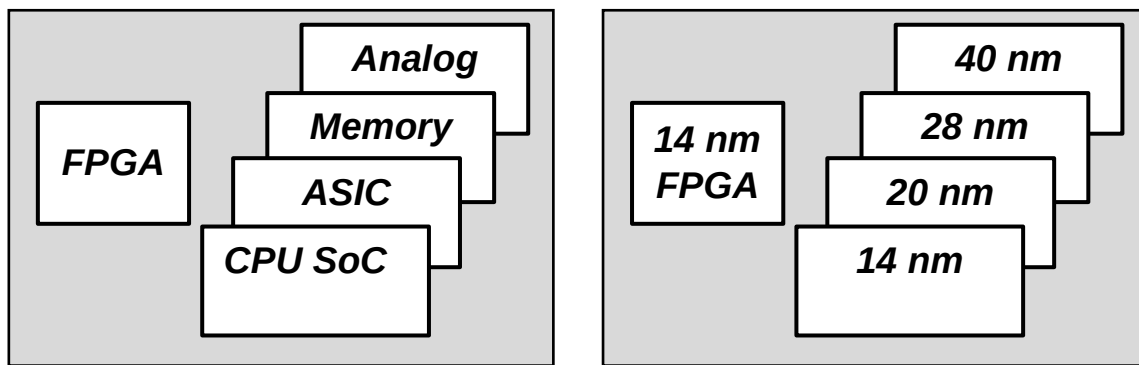


Рисунок 7.28 – Суміщення в одному корпусі кристалів відмінного функціонального призначення та з різними технологічними нормами

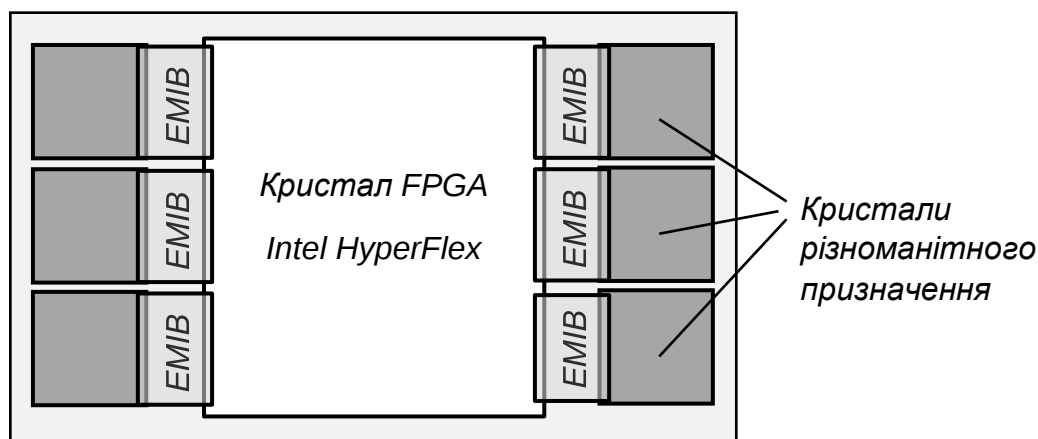


Рисунок 7.29 – Архітектура мікросхем Stratix 10 для різноманітних сфер призначення, що виконані за гетерогенною технологією Intel 3D SiP

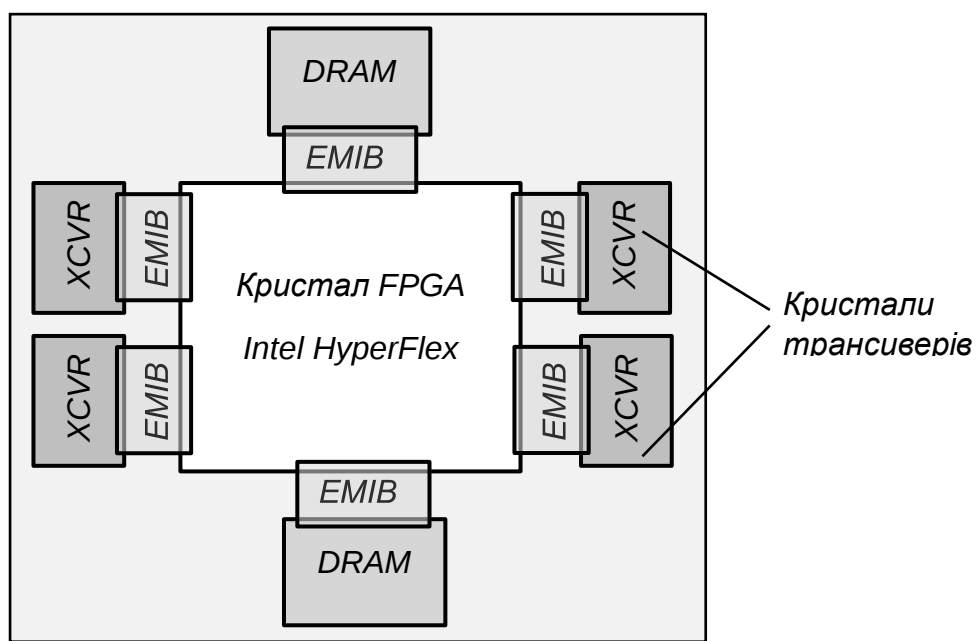


Рисунок 7.30 – Архітектура мікросхем Stratix 10 для сфери телекомунікації, що виконані за гетерогенною технологією Intel 3D SiP

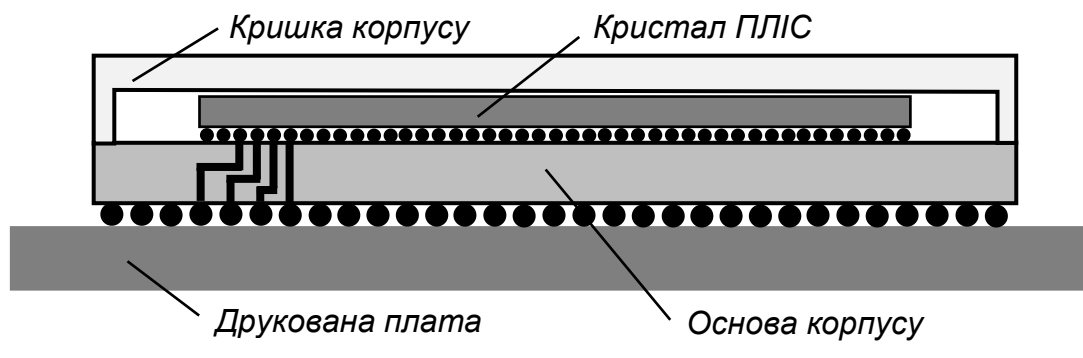


Рисунок 7.31 – Звичайний корпус ПЛІС

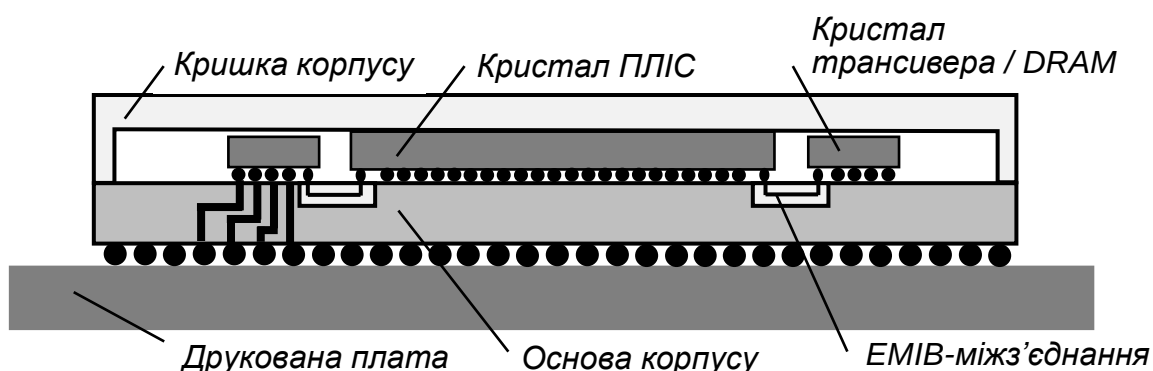


Рисунок 7.32 – Корпус ПЛІС Stratix 10 з використанням технології EMIB

Об'єднання логічної матриці HyperFlex™ FPGA і процесора ARM Cortex-A53 на кристалі забезпечує ідеальне рішення для бездротового зв'язку G5, програмного забезпечення для сфери радіоприйому, безпечних обчислень у військових застосуваннях, для функції віртуалізації у мережах (network function virtualization, NFV), прискорення продуктивності центрів даних.

Сімейство Zynq UltraScale+ фірми Xilinx

Нова генерація сімейства Zynq UltraScale+ виробляється за технологією 16 нм. Це за визначенням фірми Xilinx «повністю програмована система на кристалі», яка являє собою не просто процесори з програмованою периферією, а повноцінну FPGA, що серед апаратних ядр має процесорну підсистему ARM-класу. Попередній варіант, Zynq-7000, належить до серії 7, виконаною за технологією 28 нм. У ньому застосовувалося апаратне ядро ARM Cortex-A9 з двома 32-розрядними ядрами. Нові мікросхеми Zynq UltraScale+ віднесено до класу багатопроцесорна система на кристалі (БПСнК). Відмінність між термінами «мультипроцесорна» (multi-core) і «багатопроцесорна» (many-core), що прийняті у мікроелектронній галузі, полягає в тому, що у першому випадку –

це набір однакових ядер, об'єднаних на кристалі локальними зв'язками, загальною шиною тощо. Прикладом мультипроцесорних систем є сучасні процесори Intel Core або ARM Cortex-A. Наступним кроком є розміщення на кристалі процесорів з несхожою архітектурою, що оптимізовані для виконання відповідних завдань. Це ускладнює проектування, втім дозволяє домогтися більшої ефективності у використанні обчислювальних ресурсів.

Мікросхеми Zynq UltraScale+ MPSoC містять такі компоненти (рис. 7.33):

- 4-ядерний 64-розрядний процесор загального призначення ARM Cortex A53;
- 2-ядерний 32-розрядний процесор реального часу ARM Cortex R5;
- графічний процесор ARM Mali-400MP;
- відеокодек H.265, здатний обробляти потоки FullHD (60 кадрів за секунду) або 4K2K (15 кадрів у секунду);
- матриця програмованих чарунок, які можливо запрограмувати як прискорювач, пікова продуктивність такого прискорювача може досягати одиниць ТМАС/с (триліонів операцій «помноження з накопичуванням»), що перевершує на декілька порядків можливості 4-ядерного ARM.

У наступній генерації БСнК реалізовано задум «свій процесор для кожного класу завдань». Набір процесорів загального призначення для прикладних програм, процесору реального часу для важливих застосувань і графічного сопроцесору є практично стандартним для сучасних обчислювальних систем (наприклад, високопродуктивних планшетів). До того мікросхема має матрицю програмованих чарунок.

Сімейство поділено на три платформи: призначені для задач управління (Control), обробки відео (Vision) та роботи з мережею (Network). Платформи різняться співвідношенням і набором основних ресурсів. Наприклад, у мікросхемах, призначених для роботи з мережами, відсутній відеокодек, проте є апаратні ядра Interlaken і 100G Ethernet.

Мікросхеми Zynq® UltraScale + MPSoCs поєднують процесорну 64-розрядну систему Arm®, яка базується на ядрі Cortex®-A53, і забезпечують ключові підсистеми для багатодіапазонних, мультирежимних сотових радіостанцій і кабельної інфраструктури з процесором реального часу Arm Cortex-R5 та архітектурою UltraScale. Вони є першими у промисловості повністю програмованими мікросхемами типу MPSoC.

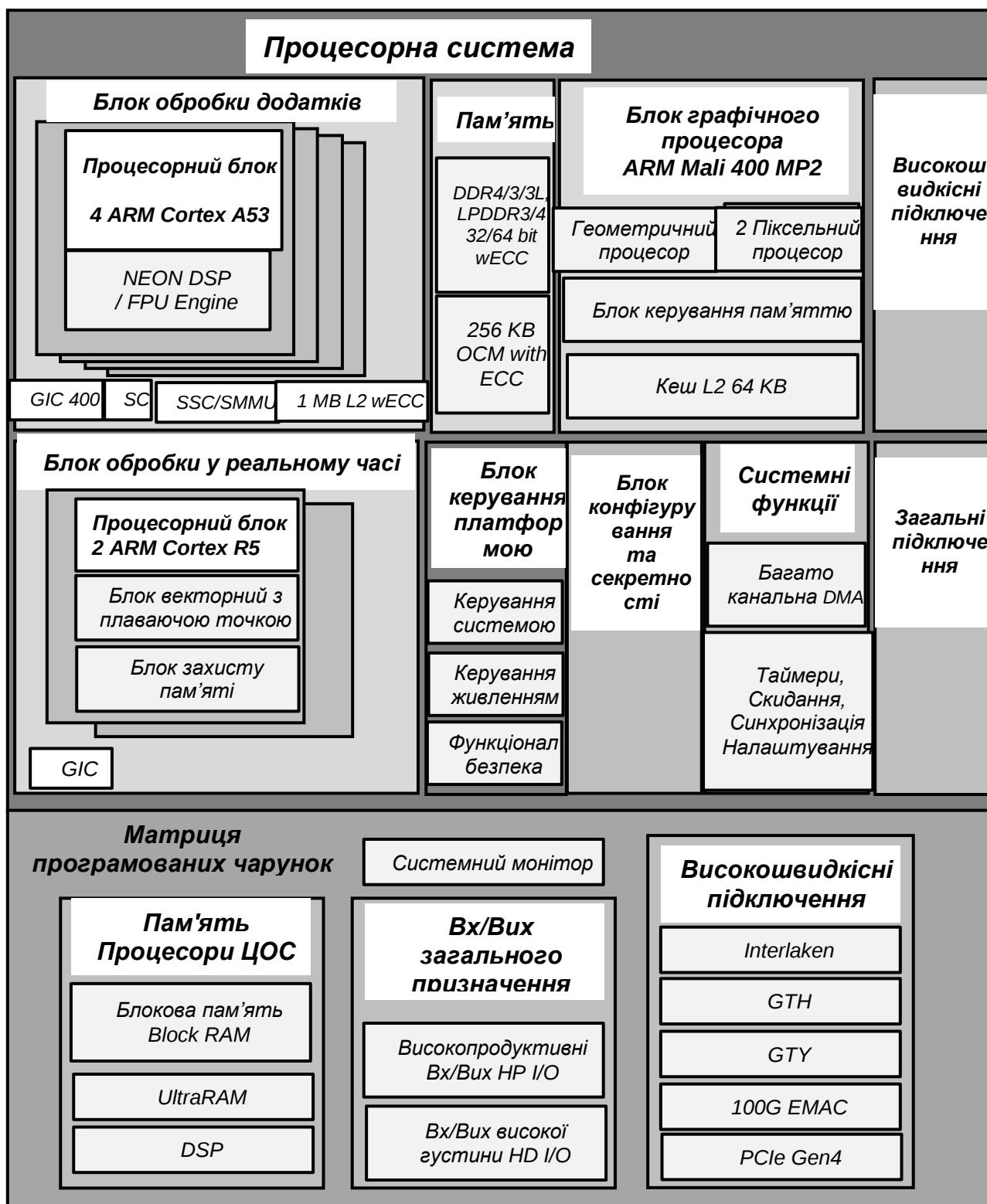


Рисунок 7.33 – Архітектура багатопроцесорної системи на кристалі Zynq UltraScale+ MPSoC

Процесорна система. Процесорна система складається з чотирьох ядерного Arm Cortex-A53 (APU) та двоядерного Arm Cortex-R5 (RPU) з робочими частотами до 1,3 ГГц та 600 МГц відповідно. Робота з відео-додатками забезпечується вбудованим графічним процесором Mali™-400MP з частотою

до 466 МГц. Для підтримки функцій процесорів до системи додано периферійні пристрої зі спеціалізованими функціями. Для спряження з зовнішньою пам'яттю зберігання даних або конфігурації процесорна система містить мультипротокольний контролер динамічної пам'яті, контролер DMA, контролер флеш-пам'яті NAND, контролер SD/eMMC, контролер Quad SPI.

На додаток до інтерфейсів зовнішньої пам'яті APU включає кеш-пам'ять першого рівня (L1) та кеш-пам'ять другого рівня (L2); процесор RPU включає кеш-пам'ять L1. Усі підсистеми пам'яті тісно пов'язані між собою, і кожна має доступ до мікросхеми пам'яті ємністю 256 Кбайт.

Для високошвидкісного обміну даними процесорна система включає два трансивери, що містять чотириканальні передавачі (TX) і приймачі (RX), так звані PS-GTR трансивери, які забезпечують швидкість передавання даних до 6,0 Гбіт/с. Ці трансивери можуть обмінюватися даними з високошвидкісними периферійними блоками, які підтримують PCIe до 5,0 GT/s (Gen2); SATA зі швидкістю передавання даних до 1,5 Гбіт/с, 3,0 Гбіт/с, або 6,0 Гбіт/с; до двох ліній порту дисплею зі швидкістю передавання даних 1,62 Гбіт/с, 2,7 Гбіт/с або 5,4 Гбіт/с. Трансивери процесорної системи PS-GTR можуть обмінюватися даними з компонентами USB 3.0 і послідовними гігабітними медіа незалежними інтерфейсами (and Serial Gigabit Media Independent Interface, SGMII).

Для загальних зв'язків процесорна система включає пару контролерів USB 2.0, контролер I2C, контролер CAN2.0B відповідно до ISO11898-1, UART. Існує також чотири з трьома швидкостями функціонування Ethernet MACs та входи/виходи загального призначення (GPIO) розрядністю 128 біт, з яких 78 розрядів доступні через MIO, а 96 – через EMIO. Широка смуга пропускання з'єднань базується на шині і протоколі зв'язку Arm AMBA® AXI4, яка зв'язує блоки обробки даних з периферійними пристроями і забезпечує сполучення між процесорною системою та програмованою логікою.

Багатопроцесорна ПСнК для роботи з радіочастотними сигналами Zynq® UltraScale+ RFSoc

Мікросхеми сімейства Zynq® UltraScale+™ RFSoc розміщує на кристалі платформу, що складається з процесорної системи, яка містить чотириядерний 64-розрядний процесор Arm® Cortex™-A53 і двоядерний процесор coe Arm Cortex-R5 для обробки сигналів багатосмугових, сотових радіостанцій та кабельної інфраструктури (DOCSIS).

Архітектура мікросхем сімейства Zynq® UltraScale+™ RFSoc (рис. 7.34) об'єднує програмовану логіку та АЦП і ЦАП радіочастотного діапазону

(RF-ADCs і RF-DACs) і програмні рішення (soft-decision FECs) для повного програмного забезпечення обробки радіосигналів, включаючи безпосереднє перетворення відліків даних радіосигналів, дозволяючи CPRI™ і перетворення гігабітного Ethernet-у радіочастотний діапазон на одній добре програмованій СнК.

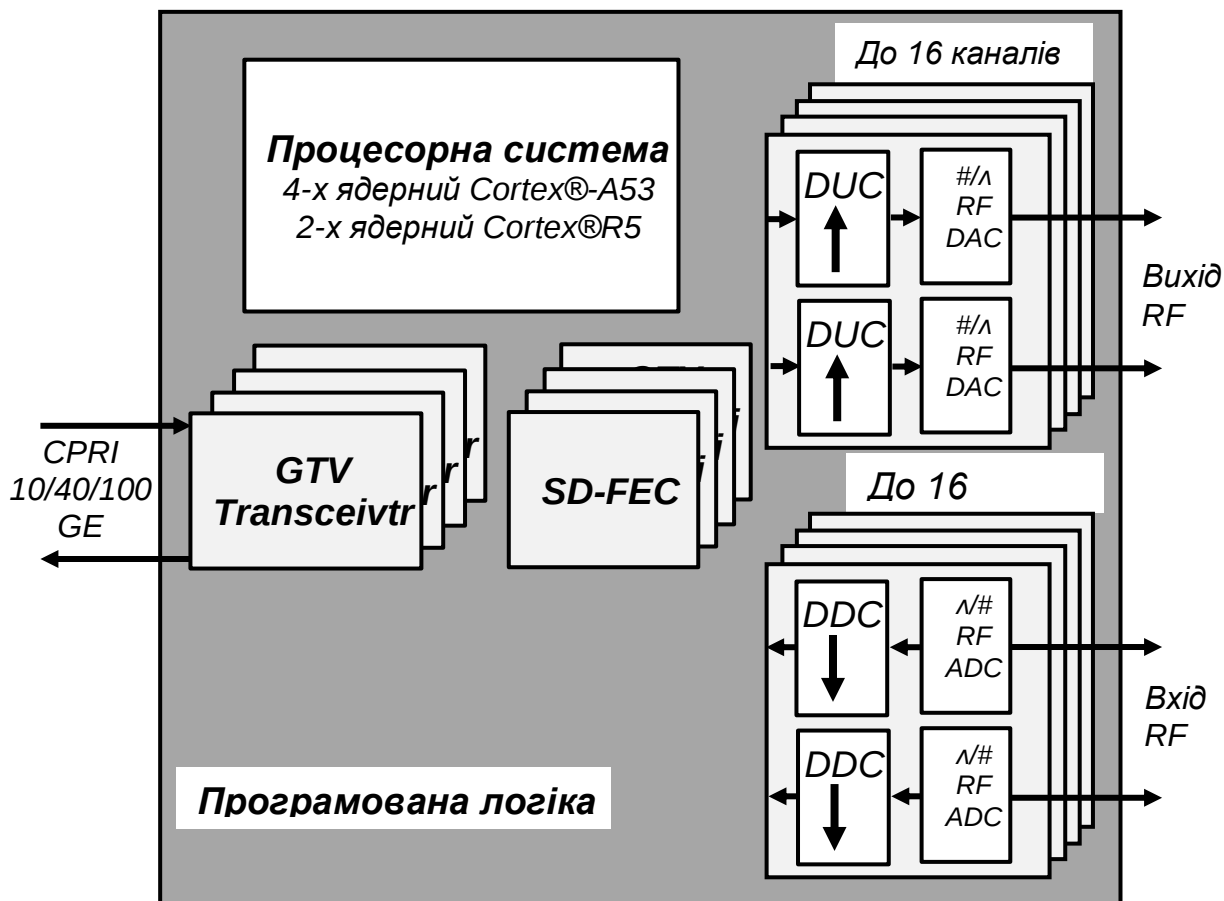


Рисунок 7.34 – Спрощена структурна схема мікросхеми сімейства багатопроцесорної системи на кристалі Zynq UltraScale+ RFSoc

На кристалі інтегровано до 16 каналів перетворювачів RF-АЦП і RF-ЦАП. Частота відліків перетворювача RF-АЦП для вхідної частоти до 4 ГГц може бути до 4096 Гбіт/с з відмінним значенням спектральної щільності. Перетворювач RF-ЦАП формує на виході сигнал несучої частоти до 4 ГГц, використовуючи другу зону Найквіста згідно з теоремою відліків, і забезпечує відмінну спектральну щільність для швидкості оновлення до 6,554 Гбіт/с.

Радіочастотні перетворювачі даних також містять потужний цифровий знижувальний перетворювач частоти (digital down converters, DDCs) і цифровий підвищувальний перетворювач (digital up converters, DUCs), які включають можливість програмування інтерполяції та проріджування, 48-бітний генератор з цифровим керуванням (numerically controlled oscillator, NCO), складний змішувач.

Більш ускладнену схему багатопроцесорної системи на кристалі Zynq UltraScale+ RFSoc наведено на рис. 7.35.

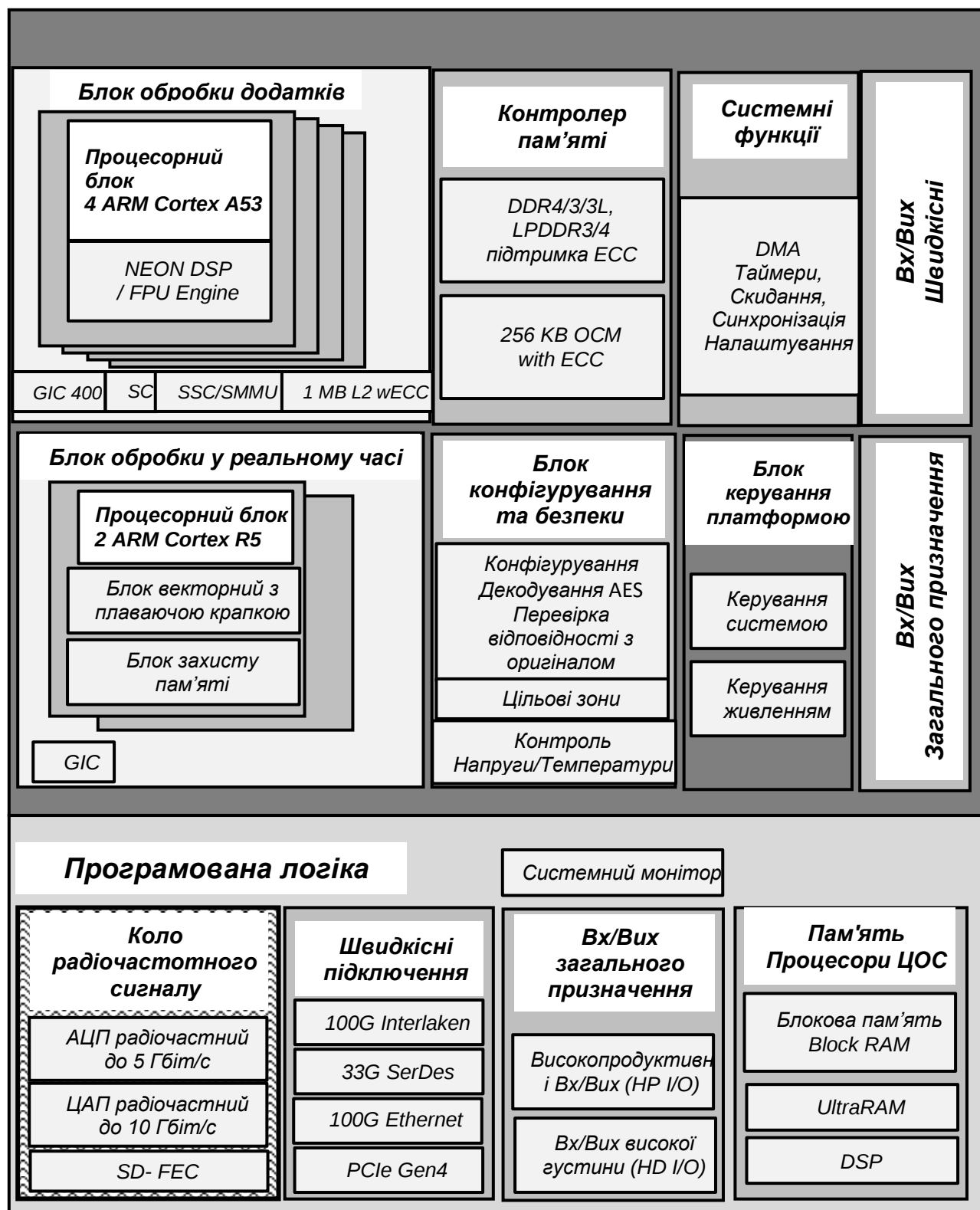


Рисунок 7.35– Архітектура багатопроцесорної системи на кристалі Zynq UltraScale+ RFSoc

Програмне рішення прямого виправлення помилок (soft-decision forward error correction, SD-FEC) є гнучким засобом корекції помилок у режимі декодування Turbo для бездротових застосувань таких як LTE і LDPC, режими кодування/декодування у бездротовому зв'язку 5G, кабельних модемах DOCSIS 3.1. Блоки SD-FEC для гнучкого програмного декодування та кодування даних є засобом контролю помилок за передаванням даних через ненадійні комунікаційні канали або комунікаційні канали з завадами.

Підсистема перетворювачів

Мікросхеми Zynq UltraScale+ RFSocS містять підсистему РЧ-перетворювачів. Для досягнення високої точності, високої швидкості, ефективності потужності перетворювачі конфігуруються по одному для реальних даних або можуть бути конфігуровані по двоє для реальних та уявних даних на вх/вих. РЧ-АЦП 12-розрядний підтримує швидкість відліків 2,058 Гіга-відліків/с або 4,096 Гіга-відліків/с залежно від обраного пристрою.

Перетворювач РЧ-ЦАП 14-розрядний і підтримує швидкість відліків 6,554 Гіга-відліків/с. Кожен перетворювач містить 48-бітний генератор з цифровим керуванням (numerically controlled oscillator, NCO) та визначені високошвидкісні, високопродуктивні буферні каскади з диференціальним входом і з каліброваними резисторами (термінаторами) опором 100 Ом, інтегрованими на кристалі. Секція РЧ ЦАП має одну петлю синхронізації і синхронізується миттєво. Фільтри інтерполяції РЧ ЦАП можуть діяти на частотах, що кратні 1X (тому діє як обхідний фільтр), 2X, 4X або 8X, де X відповідає 0,8 від значення частоти Найквіста за умови загасання сигналу у смузі затримання 89 дБ.

Мікросхеми Zynq UltraScale+ RFSocS рекомендовані для застосування у багатьох сферах:

- бездротові мережі зв'язку нової генерації 5G і LTE (повна підтримка на частоті 6 ГГц і нижче на поодинокій мікросхемі, висока продуктивність DSP для основної смуги частот 5G, варіанти з вбудованими ядрами LDPC SD-FEC, реалізація пристрою проміжної частоти у міліметровому діапазоні частот);
- віддалений доступ до кабельної мережі DOCSIS 3 на фізичному рівні (аналоговий радіочастотний пристрій за обмеженнями з потужності і форм-фактора, логічні ресурси для майбутньої реалізації повнодуплексного IP);
- пристрої радіолокації та військового зв'язку (радіолокатор з масштабованою фазованою антенною решіткою, забезпечує відліки сигналів

у L-діапазоні і S-діапазоні, частково прямий відлік у C-діапазоні, налаштованість апаратного та програмного забезпечення);

- тестування та вимірювання (розробники можуть створювати швидкісні багатофункціональні пристрої для генерації та аналізу сигналів, використовуючи пряму вибірку радіочастотних сигналів, дуже гнучку конфігуровану логіку та програмованість);

- супутниковий зв'язок (використовуючи інтегровані RF-DAC / ADC та програмовану логіку, розробники мають можливість на базі процесора Arm реалізувати швидкісні модеми для підключення до наземної системи обробки;

- обробка трьох вимірних відображень.

Зменшення витрат на обмін даними між пристроями попередньої обробки сигналів у радіочастотному діапазоні (RF front ends, RFFE) – фільтрація, підсилення, зниження несучої частоти, й пристроями цифрової обробки сигналів (digital front end, DFE), є ключовим завданням для того, щоб зробити ці технології комерційно вигідними. Іншою ключовою вимогою є підвищення гнучкості і програмованості RFFE для скорочення часу виходу на ринок і забезпечення платформою для вирішення широкого спектру задач наступної генерації потреб радіотехніки.

Щороку об'єм даних, що передається через мобільні бездротові мережі, зростає на 50%. В інших мережах з використанням радіотехнологій, наприклад, DOCSIS 3.1, існує також потреба розширення пропускної здатності каналу. Нові кабельні архітектури, такі як (remote PHY, R-PHY) і перехід на повністю цифрові оптичні мережі забезпечує повністю симетричний двобічний обмін зі швидкістю, більшою ніж 1 Гбіт/с.

В усіх випадках потрібен радіоканал з широкою смугою пропускання. Для мобільного зв'язку у діапазоні близько 6 ГГц RFFEs мають підтримувати сигнал смугою пропускання до або вище 400 МГц для несучої складової, а також з урахуванням суміжних каналів пропускна здатність має становити 3 ГГц. Для попередніх викривлень у цифрових каналах (digital pre-distortion, DPD) за умови передачі та контролю зворотного зв'язку, для лінеаризації потужності підсилювачів радіочастоти потрібна смуга пропускання більше 1 ГГц.

Аналогічні вимоги висуваються до пропускної здатності для підтримки повністю симетричних мереж за стандартом DOCSIS. Для перетворення великого об'єму відліків переданих даних і попередньої цифрової обробки (DFE) потрібні інтерфейси введення/виведення зі швидкістю дискретизації декілька гігабіт.

Цифрова обробка сигналів використовує новітні досягнення у сфері мікроелектроніки. Це зменшує споживану потужність за умови підвищення продуктивності. Проте аналогові компоненти обробки радіочастотного сигналу займають місце на платі та споживають велику потужність, що відображується на параметрах усієї системи.

У радіолокації для підвищення параметрів системи застосовують фазовані антенні решітки (ФАР). Додавання сигналів від декількох каналів ФАР підвищує співвідношення с/ш (SNR). Складання сигналів часткових каналів передавачів з відповідними фазами дозволяє підвищити потужність сигналу випромінювання та керувати діаграмою направленості ФАР. З цією метою застосовувалися окремі мікросхеми (рис. 7.36), які опрацьовували сигнали за допомогою окремих аналогових схем, мікросхем АЦП, цифрових пристроїв зниження частоти сигналу, інтерфейсних мікросхем для зв'язку з мікросхемою цифрової обробки сигналів, і навпаки для формування сигналу для передавача.

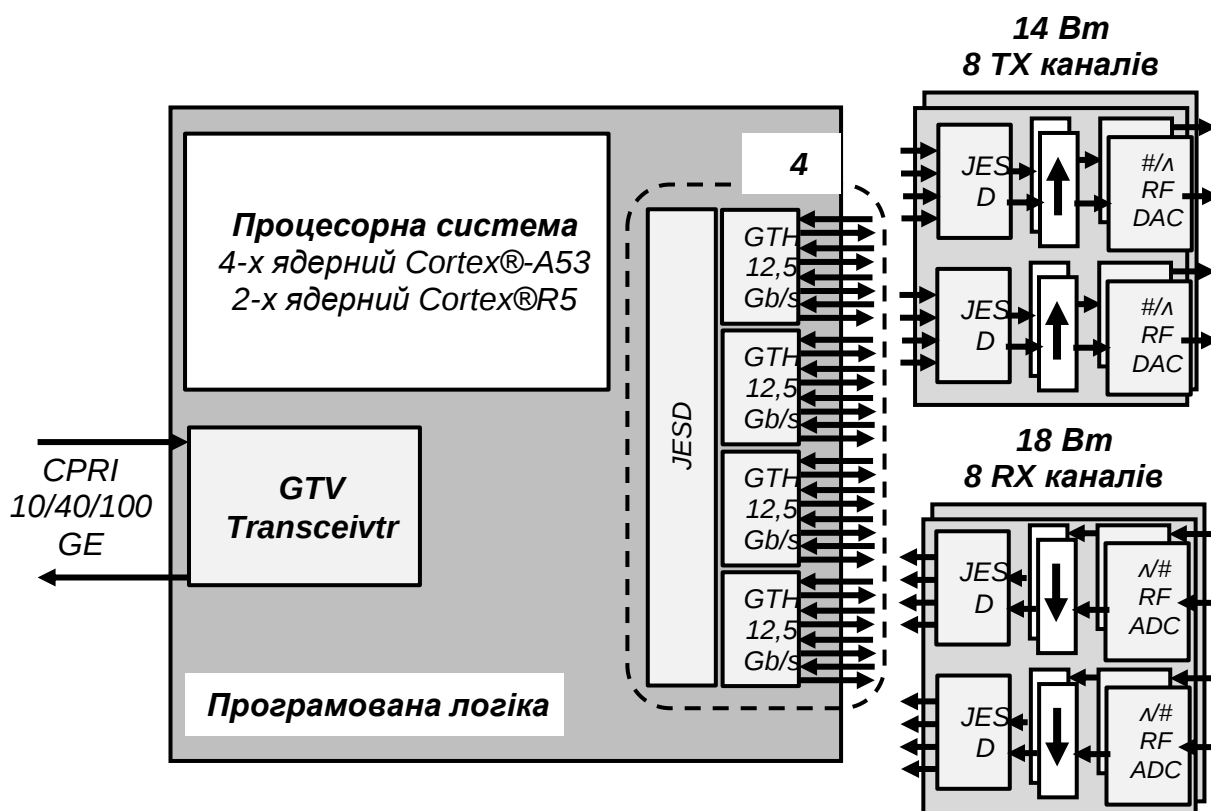


Рисунок 7.36 – Структурна схема обробки сигналів фазованої антенної решітки на окремих аналогових і цифрових мікросхемах

Використання у складі мікросхеми швидкодіючих АЦП та ЦАП дозволяє безпосередньо робити відліки радіочастотного сигналу для цифрової обробки. Зовнішні компоненти АЦП і ЦАП не потрібні, що зменшує споживану

потужність і габаритні розміри пристрою. На рис. 7.37 наведено спрощення схеми 8 приймачів-8 передавачів (8T8R).

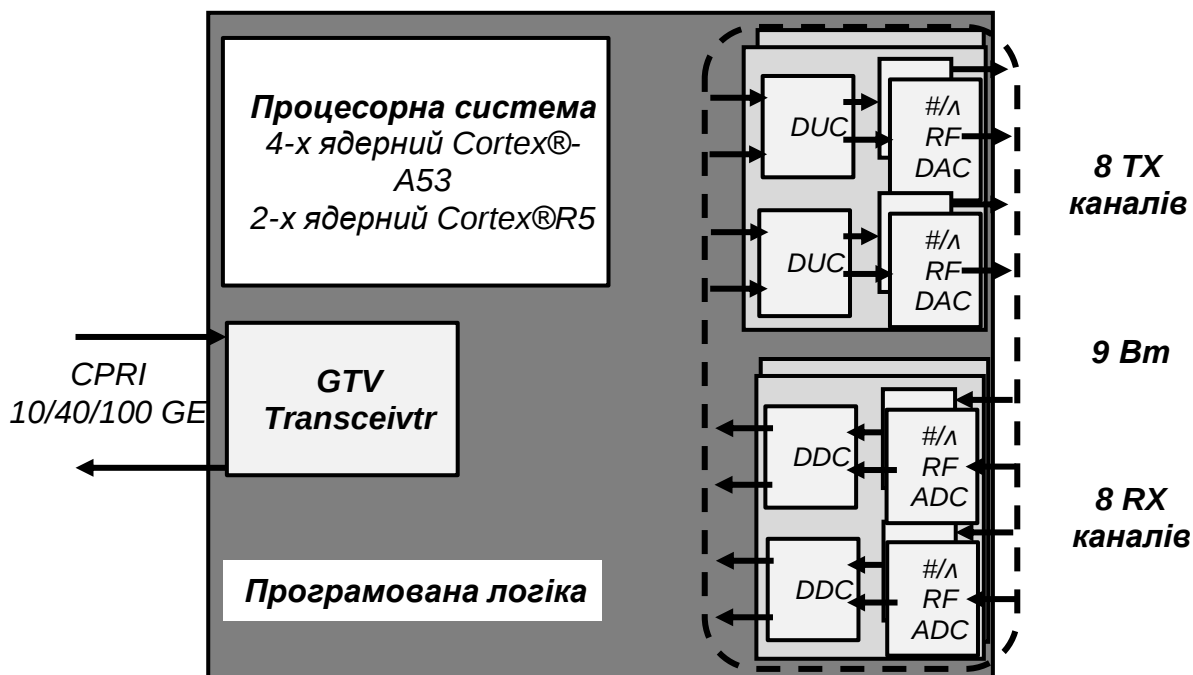


Рисунок 7.37 – Структурна схема обробки сигналів фазованої антенної решітки на мікросхемі Zynq UltraScale+ RFSoc

Повністю програмовані пристрої дискретизації у діапазоні радіочастот, що інтегровані на кристалі, ліквідують, зовнішні інтерфейси і значно зменшують споживану потужність системи. Інтегровані перетворювачі зменшують споживану потужність до 9 Вт порівняно з 36 Вт у разі реалізації пристрою обробки сигналів на дискретних компонентах. Це є критичним для бортової апаратури.

Аналогові радіочастотні сигнали обробляються після перенесення інформації з несучої частоти на значно меншу проміжну частоту для подальшої цифрової обробки. Для цього застосовується супергетеродинна схема радіоприймача (рис. 7.38). Перетворення аналогового сигналу у цифрову послідовність відбувається на проміжній частоті. Після АЦП цифровий інформаційний сигнал надходить до НВІС FPGA або ПСнК, де спочатку здійснюється цифрове зниження частоти (DDC), а потім безпосередньо цифрова обробка. Така схема потребує значної кількості зовнішніх компонентів, споживає відносно велику потужність, займає на друкованій платі багато місця, потребує спеціальних заходів для захисту від впливу завад і побічних паразитних каналів прийому.

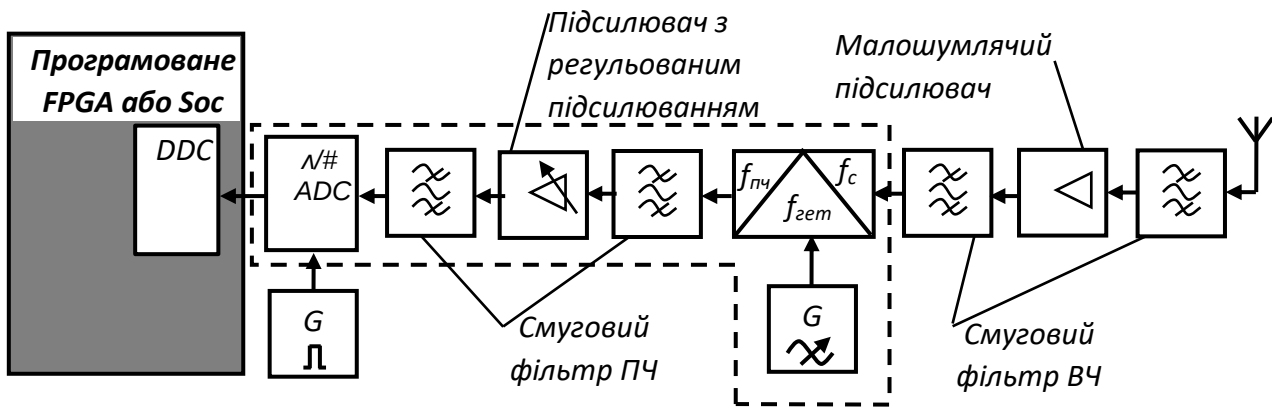


Рисунок 7.38 – Схема супергетеродинного приймача з цифровою обробкою сигналів

Мікросхеми з інтегрованими радіочастотними АЦП та ЦАП зменшують складність пристроїв попередньої обробки радіосигналів та кількість дискретних компонентів, зменшується споживана потужність. Висока частота дискретизації АЦП і ЦАП значно спрощує вимоги до аналогової фільтрації, покращує компроміс між динамічним діапазоном (SNR) та смугою сигналу у цифровому домені обробки, обробляючи та фільтруючи вихідний сигнал АЦП у потрібному нам діапазоні. Реалізується схема приймача прямого підсилення (рис. 7.39).

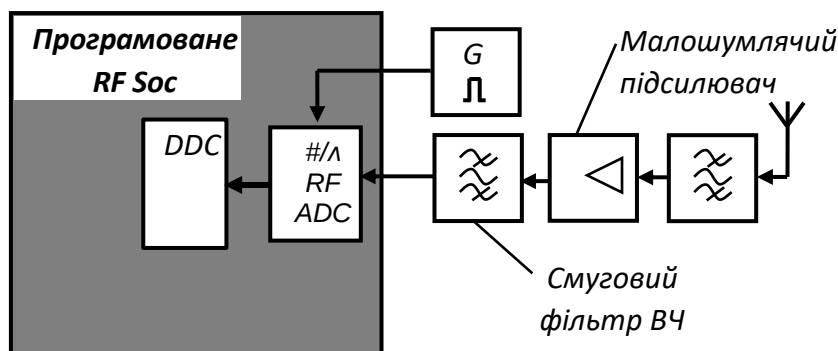


Рисунок 7.39 – Схема приймача на основі мікросхеми Zynq UltraScale+ RFSoc

Пряме перетворення аналогового радіочастотного сигналу дозволяє перенести обробку у цифрову область, в якій використовуються передові КМОН-технології за тієї самої функціональності за меншою займаною площею і потужністю. Переміщення значного об'єму в сферу цифрової обробки дозволяє реалізувати більш гнучкі програмні рішення. Програмовані ПЛІС та СнК фірми Xilinx є природними платформами для інтеграції перетворювачів з прямим відліком радіочастотних сигналів.

Велика частина пропускну́ї здатності, що не використовується, відповідно до частоти Найквіста може бути застосована для відбудови сигналу з обмеженою смугою, для підвищення лінійності перетворення. Реалізація сигналу у цифровій формі дає більшу продуктивність та простоту спрощення обробки. Зменшені та ліквідовані традиційні для аналогової обробки радіосигналу перекручення та завади, наприклад, пульсації у смузі пропускання фільтрів, зміни групової затримки, проникнення сигналу гетеродину в інші кола тощо.

Присутність на кристалі надшвидкісних перетворювачів значно полегшує розробку трансмітерів, як для радіомереж, так і кабельних сучасних мереж (рис. 7.40).

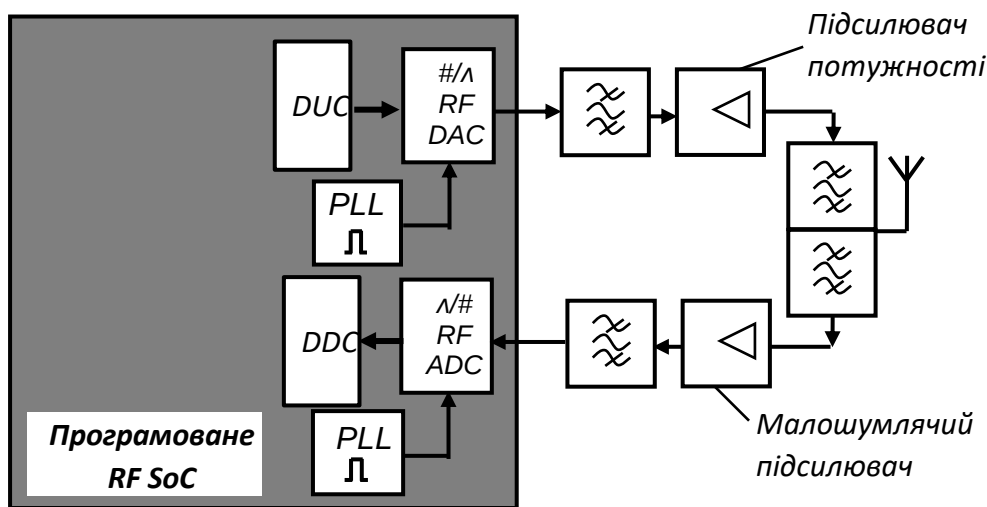


Рисунок 7.40 – Реалізація прийомника-передавача на базі мікросхеми Zynq UltraScale+ RFSoc

7.7 Контрольні запитання і завдання

1. Які чинники сприяли появі ПЛІС типу «програмована система на кристалі»?
2. Які особливості та переваги мікросхем типу ПСнК?
3. Що таке ІР-ядра і які функції вони реалізують?
4. Що таке hard-ядра?
5. Порівняйте між собою ІР-ядра і hard-ядра.
6. Які ПЛІС належать до «ПСнК» з однорідною структурою?
7. Які процесорні ядра застосовують у «ПСнК» з однорідною структурою?
8. Охарактеризуйте ПЛІС ПСнК з однорідною структурою сімейства Stratix фірми Altera.

9. Охарактеризуйте ПЛІС з однорідною структурою сімейства ПСНК Virtex фірми Xilinx.
10. Охарактеризуйте ПЛІС з однорідною структурою сімейства ПСНК FPGA Virtex II фірми Xilinx.
11. Порівняйте архітектуру ПСНК Virtex і Virtex II фірми Xilinx.
12. Які особливості архітектури та складу мікросхем FPGA Stratix V фірми Altera?
13. Охарактеризуйте ПЛІС ПСНК сімейства Cyclone V фірми Altera.
14. Охарактеризуйте ПЛІС ПСНК сімейства Intel® Cyclone® 10 фірми Intel.
15. Охарактеризуйте ПЛІС ПСНК сімейства Intel® Arria® 10 фірми Intel.
16. Охарактеризуйте ПЛІС ПСНК сімейства Intel® Stratix® 10 GX.
17. Які особливості конструкції мікросхем Intel® Stratix® 10 GX?
18. Які особливості архітектури ПЛІС FPGA сьомої генерації фірми Xilinx: Artix-7, Kintex-7, Virtex-7?
19. Охарактеризуйте основні особливості апаратної платформи UltraScale+ FPGA фірми Xilinx.
20. Які особливості ПЛІС «SoC» зі вбудованими блоками?
21. Які функції реалізують вбудовані блоки?
22. Охарактеризуйте ПЛІС «SoC» сімейства Excalibur.
23. Охарактеризуйте сімейство Virtex-II Pro компанії Xilinx.
24. Які особливості ПСНК типу Cyclone V SoC FPGA з вбудованими процесорними системами.
25. Охарактеризуйте сімейство ПСНК Arria 10 з вбудованою процесорною системою.
26. Які особливості має архітектури та конструкції має ПСНК типу Intel Stratix 10 SoC?
27. Наведіть архітектуру багатопроцесорної системи на кристалі Zynq UltraScale+ MPSoC фірми Xilinx та поясніть її склад.
28. Наведіть архітектуру багатопроцесорної системи на кристалі Zynq UltraScale+ RFSocS фірми Xilinx та поясніть її склад.
29. Які можливі сфери застосування мікросхеми Zynq UltraScale+ RFSoc та які її переваги?

8. ПРОГРАМОВАНІ СИСТЕМИ НА КРИСТАЛІ КОНТРОЛЕРНОГО ТИПУ

8.1 Мікросхеми типу система на кристалі фірми Cypress першої генерації

Стрімкий розвиток технології виробництва інтегральних мікросхем призвів до того, що до ВІС мікроконтролерів почали включати не тільки АЦП та ЦАП, але багато інших додаткових периферійних пристроїв: програмовані аналогові підсилювачі, компаратори, лічильники-таймери з достатньо гнучким програмуванням, різноманітні послідовні порти введення/виведення, контролери світлодіодних та рідкокристалічних індикаторів і панелей тощо. Такі ВІС може віднести до більш-менш повних аналого цифрових систем на кристалі. Проте вони не мали однієї важливої для проектування системи особливості – можливості налаштування наявних аналогових і цифрових блоків у бажаній структурі та встановлювання їх функції на свій розсуд.

У 2001 – 2003 роках фірма Cypress Semiconductor Corp. випустила аналого-цифрову програмовану систему на кристалі (СНК) під торговою маркою PSoC (Programmable System on Chip), що містить базові компоненти цифрових мікроконтролерів і достатньо ефективні набори реконфігуруваних цифрових і аналогових блоків. Аналогові PSoC-блоки можуть бути використані дуже гнучко, оскільки, по-перше, мають широкий спектр налаштування конфігурації (фільтри, підсилювачі та компаратори, ЦАП та АЦП), а по-друге, їх можна раціональніше з'єднати між собою за допомогою дуже ефективної матриці перемикачів.

Проте, такі пристрої, реалізовані на основі лічильників і порозрядних суматорів (за модулем), значно зменшили складність і спростили конфігурації налаштування цифрової частини SOC. Як наслідок, архітектура, системо- та схемотехнічні рішення PSoC виявилися досить успішними. Втім як цифрові реконфігурувані блоки застосовуються 8-розрядні функціонально закінчені пристрої, а не набори програмованих логічних вентилів.

Мікросхеми першої генерації PSoC Cypress в основі своєї архітектури мали вбудовані апаратні ядра:

- центральний процесор;
- пам'ять;
- програмовані аналогові та цифрові блоки.

«Аналогова підсистема» (матриця конфігурованих аналогових блоків) складається з конфігурованих блоків на базі матриці з програмованими резисторами (Continuous Time, СТ) і звичайного операційного підсилювача та конфігурованих аналогових блоків на основі схем на комутованих конденсаторах і операційному підсилювачі (SC).

Аналогові блоки типу дозволяють реалізувати:

- програмовані підсилювачі;
- програмовані компаратори;
- програмовані фільтри нижніх і верхніх частот 2-го порядку;
- програмовані смугові фільтри;
- пристроїв вибирання – збереження;
- АЦП різних типів;
- цифро-аналоговий перетворювач (ЦАП).

Конфігурування, програмування мікросхем PSoC та розробка на їх основі систем відбувалися у середовищі проектування PSoCDesigner. Середовище розробки дозволяє користувачу розробляти структурні і принципові схеми системи, а також основні програми її функціонування. Для спрощення цього процесу застосовуються модулі користувача – це готові програми, які знаходяться у бібліотеці оболонки PSoC Designer. Кожен такий модуль конфігурує внутрішні ресурси кристала для виконання тих або інших функцій. Кількість модулів, які водночас можна розмістити в одній мікросхемі PSoC, залежить від числа займаних ними цифрових і аналогових блоків.

На базі мікросхем PSoC було розроблено багато різноманітних пристроїв, які було наведено на сайті фірми Cypress Semiconductor Corp. і не тільки.

Переваги мікросхем PSoC:

- зменшують кількість компонентів;
- адаптовані до зміни вимог розробника;
- спрощують розробку і впровадження проекту.

Для прикладу порівняємо традиційну схему сенсора системи охорони на мікроконтролері) і схему, в якій застосовується мікросхема PSoC.

Традиційне рішення вимагає операційного підсилювача для нормування вхідного сигналу, ФНЧ для очищення сигналу від завад, контролера з внутрішніми схемами АЦП і ЦАП, зовнішнім кварцом та конденсаторами, вихідного підсилювача, цифрової схеми для роботи з індикаторами (рис. 8.1).

Застосування мікросхеми PSoC усе значно спрощує (рис. 8.2). Схема потребує мінімальної кількості компонентів, зменшується вартість.

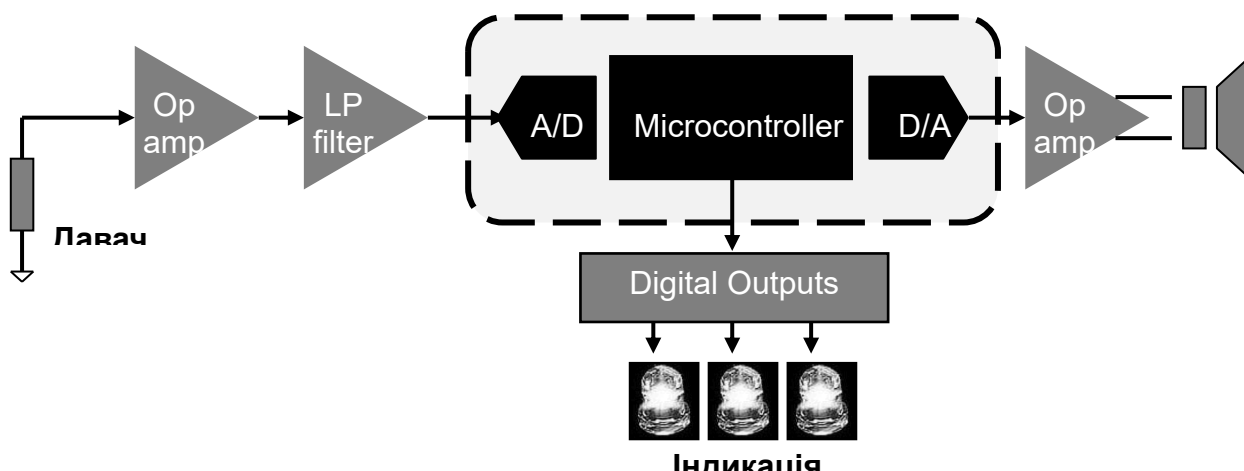


Рисунок 8.1 – Традиційна схема сенсора системи охорони на мікроконтролері

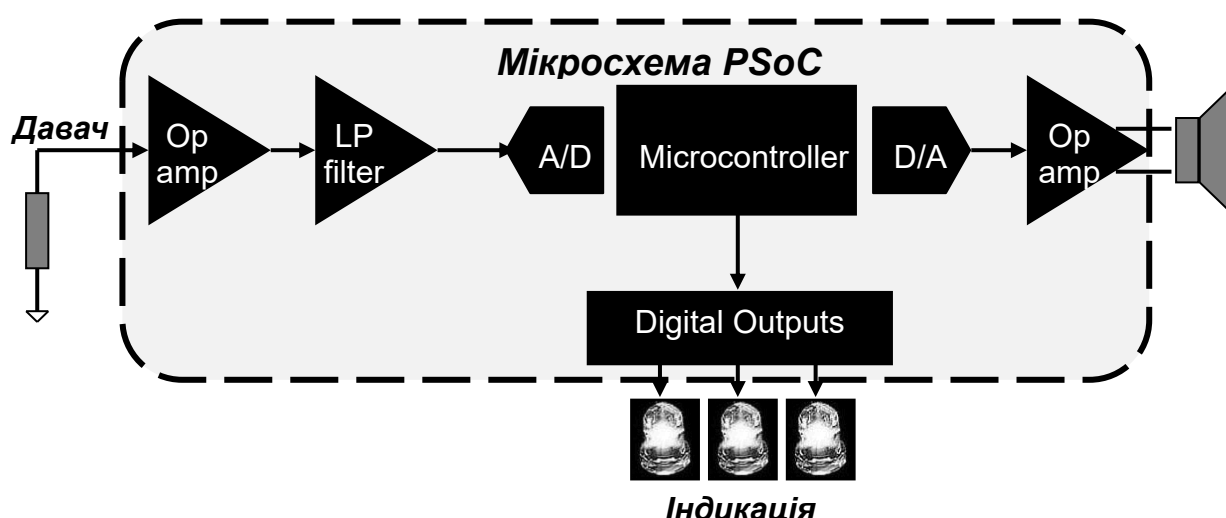


Рисунок 8.2 – Схема сенсора системи охорони на мікросхемі PSoC

8.2 Основні характеристики сімейства PSoC®3

Мікросхеми сімейства PSoC®3 є подальшим розвитком фірмою Cypress програмованих аналого-цифрових схем на кристалі. У своїй архітектурі PSoC®3 поєднує процесорне ядро (CPU) з дуже гнучкою аналоговою та цифровою підсистемами.

Сімейство PSoC®3 є високопродуктивною конфігурованою цифровою системою, що містить такі інтерфейси, як USB, I2C та CAN. Окрім комунікаційних інтерфейсів, цифрова частина PSoC містить програмовану матрицю логічних елементів, гнучку систему комунікацій до системи введення/виведення та мікропроцесорне ядро 8051. Застосування широко поширеного процесорного ядра 8051 значно розширило коло користувачів. Порівняно з попереднім сімейством PSoC, де було застосовано як цифрові реконфігуровані блоки 8-розрядні функціонально закінчені пристрої, а не

набори програмованих логічних вентилів, підвищилася гнучкість і можливості цифрової системи та портів введення/виведення.

Особливості сімейства мікрсхем PSoC®3

У своїй архітектурі PSoC PSoC®3 поєднує процесорне ядро (CPU) з дуже гнучкою аналоговою та цифровою підсистемами (рис. 8.3). До складу PSoC входять такі основні частини:

- процесорне ядро 8051;
- підсистема пам'яті ;
- підсистема програмування, налаштування та тестування;
- порти введення/виведення;
- блок генерування тактових імпульсів;
- блок керування живленням;
- цифрова підсистема;
- аналогова підсистема.

Підсистема процесорного ядра

Підсистема CPU PSoC 8051 реалізована на основі одноциклового конвеєризованого 8-розрядного CPU, здатного працювати на частотах до 67 МГц. Процесорне ядро побудовано на базі конвеєрної RISC архітектури, що виконує більшість інструкцій за 1–2 такти. Це забезпечує пікову продуктивність до 33 MIPS з двома тактами на виконання інструкції. Набір інструкцій CPU є повністю сумісним з набором MCS-51 та оптимізованим для 8-бітної обробки даних та виконання логічних операцій. Основними типами операцій, що підтримуються, є:

- арифметичні операції;
- логічні операції:
- операції пересилання даних;
- бітові операції;
- операції переходів.

Однотактове ядро 8051 забезпечує приблизно на порядок вищу продуктивність порівняно зі стандартним 8051. Тактова частота ядра є програмованою, що дає можливість налаштовувати споживану потужність згідно з вимогами конкретної задачі.

Системна шина та контролер прямого доступу до пам'яті (ПДП) забезпечують обмін даними між процесорним ядром та периферійними пристроями, а також між периферійними пристроями напряму. Окрім того, системна шина та контролер ПДП забезпечують конфігурування PSoC під час завантаження.

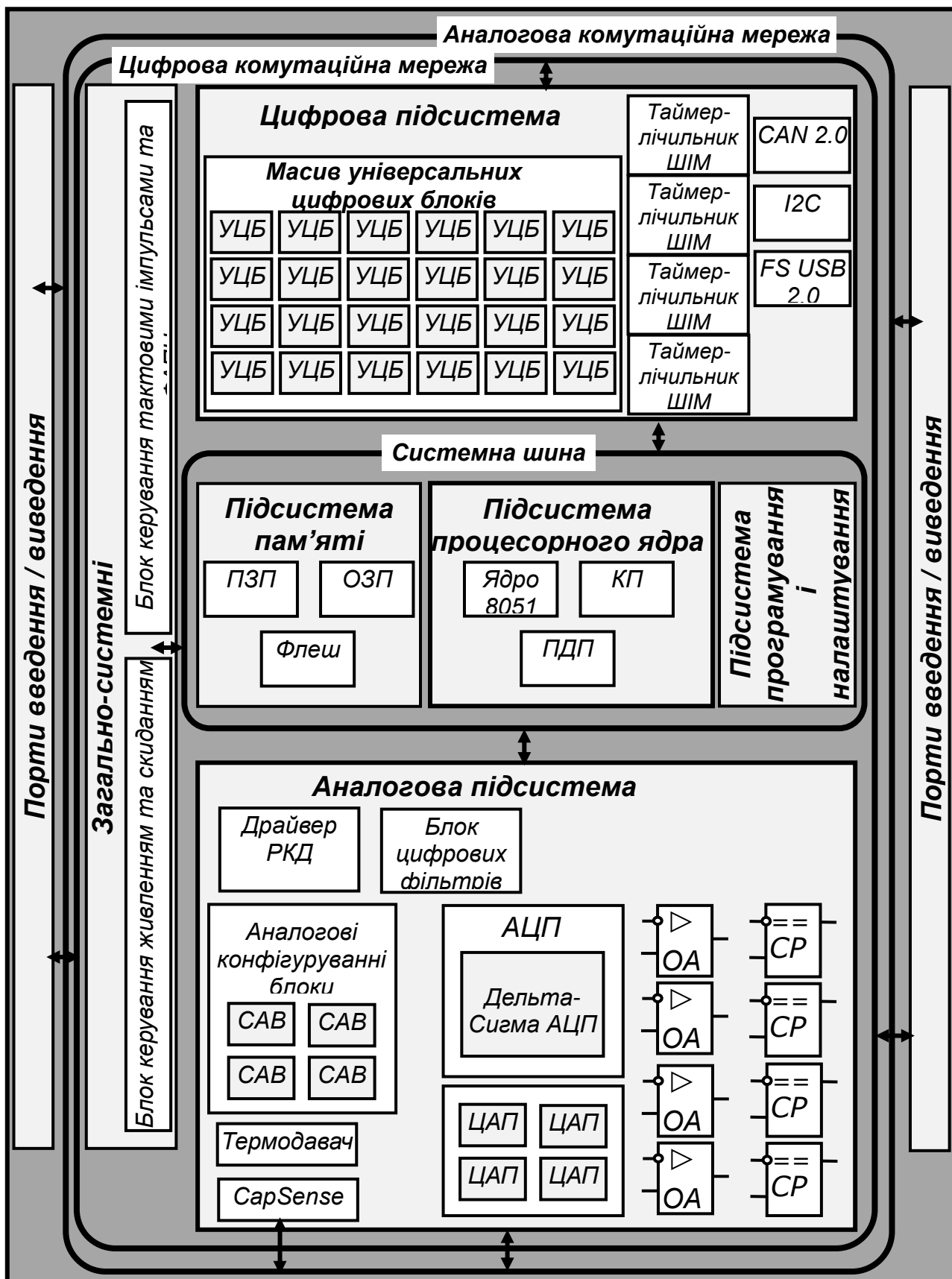


Рисунок 8.3 – Спрощена структурна схема PSoC типу CY8C38

Розвинута підсистема пам'яті подібна першому поколінню PSoC.

Периферійні цифрові блоки поповнилися блоками інтерфейсу CAN 2.0b, лічильником та широтно-імпульсним модулятором (ШІМ). На конфігурованих цифрових блоках можуть бути реалізовані стандартні периферійні вузли:

- 8, 16, 24, та 32-бітні таймери, лічильники та ШІМ;
- інтерфейси SPI, UART, I2C;
- інтерфейс LIN Bus 2.0;
- квадратурний декодер.

Аналогова периферія з напругою живлення від 1,71В до 5,5В:

- конфігурований Дельта-Сігма АЦП (12 – 20 розрядне);
- 8-бітні ЦАП за струмом та напругою;
- компаратори сигналів.

Програмована підсистема синхронізації:

- генератор 3 – 62 МГц та вузол ФАПЧ;
- кварцовий генератор частотою 32.768 кГц для годинника реального часу;
- низькоспоживаючий внутрішній осцилятор, що програмується на частоти 1 кГц, 33 кГц та 100 кГц.

Підсистема пам'яті. PSoC CY8C38 має розвинуту підсистему пам'яті, до складу якої входять: статичний ОЗП, флеш-пам'ять, ПЗП типу EEPROM.

Статичний ОЗП PSoC CY8C38 використовується для тимчасового зберігання даних. Процесорне ядро та контролер ПДП можуть адресувати до 8 кБ ОЗП.

ПЗП типу Flash використовується для зберігання коду вбудованого програмного забезпечення (ПЗ), констант, системних даних, конфігурації PSoC та коду виправлення помилок ECC. Основна область Flash містить до 64 кБ вбудованого ПЗ. До 8 кБ додаткового простору Flash-пам'яті є доступними для даних ECC. Якщо контроль ECC не виконується, то цей сегмент пам'яті може застосовуватись для зберігання даних та конфігурації PSoC. ECC дає змогу виправляти однократні помилки та виявляти двократні для 8 байтів коду вбудованого ПЗ.

Програмування Flash ISSP, що зазвичай застосовується в процесі програмування пристроїв під час випуску, може здійснюватися через SWD та JTAG-інтерфейси. Оновлення вбудованого ПЗ за допомогою спеціальних завантажувачів також можливе через послідовний інтерфейс, такий як I2C, USB, UART та SPI або будь-який інший комунікаційний протокол.

ПЗП типу EEPROM. EEPROM в PSoC є постійною пам'яттю з побайтовим доступом об'ємом 2 кБ. Ця пам'ять використовується для енергонезалежного зберігання даних. Вона має довільний доступ на читання, що здійснюється напряму. Запис та стирання EEPROM здійснюється порядково через інтерфейс програмування EEPROM. Під час запису EEPROM можливе виконання коду програми з Flash-пам'яті. Весь об'єм EEPROM розділений на 128 рядків по 16 байтів кожен. Процесорне ядро не може вибирати дані EEPROM як виконавчий код. Також EEPROM не має апаратної підтримки ECC.

Підсистема введення/виведення.

Підсистема введення/виведення PSoC є надзвичайно гнучкою. Кожна лінія введення-виведення забезпечує можливість роботи як з аналоговими, так і з цифровими сигналами. У різних режимах PSoC також підтримує до чотирьох різних рівнів напруги введення-виведення, що задаються окремими входами Vddio. Існує три типи ліній введення-виведення: загального призначення, спеціального призначення та USB-порт.

Лінії загального та спеціального призначення мають однакову функціональність для роботи з цифровими сигналами. Їх основною відмінністю є різні можливості роботи з аналоговими сигналами та навантажувальна здатність. USB-порт має дві лінії введення-виведення, що підтримують специфічну USB-функціональність та мають обмежені можливості роботи з цифровими сигналами.

Всі лінії введення-виведення є доступними для застосування у вигляді цифрових входів та виходів для CPU та цифрових периферійних пристроїв. Окрім того, всі лінії можуть бути джерелом переривання. Гнучкість підсистеми введення-виведення разом з можливістю комутації будь-якого сигналу з будь-якою лінією введення-виведення надзвичайно спрощує проектування зовнішньої схеми та друкованих плат.

Всі лінії введення-виведення можуть використовуватись як аналогові входи для роботи з CapSense сенсорами та для керування сегментами LCD. Спеціальні лінії введення-виведення можуть працювати з амплітудами сигналів, що перевищують напругу живлення та видавати на виході сигнали програмованої амплітуди.

Загальносистемні ресурси

Підсистема синхронізації

Підсистема синхронізації забезпечує генерування, ділення та розповсюдження тактових імпульсів до всіх частин PSoC. PSoC містить гнучку

систему внутрішніх генераторів тактових імпульсів, що мають високу стабільність та налаштовані під час виготовлення з високою точністю. Внутрішній осцилятор ІМО, що є базовим джерелом тактових імпульсів, має точність 1% на частоті 3 МГц. Залежно від конфігурації ІМО може генерувати частоти від 3 до 62 МГц.

Вузол ФАПЧ дає змогу генерувати системні тактові імпульси з частотою від 24 до 67 МГц, використовуючи як джерело ІМО зовнішній осцилятор частотою 4-33 МГц або зовнішній сигнал синхронізації частотою до 33 МГц.

Система генераторів тактових імпульсів містить також окремий внутрішній низькочастотний осцилятор ІЛО (частотою 1кГц, 33кГц або 100кГц), що застосовується в режимах з низьким рівнем споживаної потужності. Підтримка зовнішнього осцилятора частотою 32768Гц дає змогу легко побудувати годинник реального часу (RTC). За допомогою восьми 16-розрядних подільників формуються необхідні частоти синхроімпульсів цифрової частини PSoC, аналогова частина може використовувати чотири подільника. Процесорне ядро має свій окремий подільник.

Система живлення

Система живлення складається з окремих ліній живлення аналогової, цифрової систем і системи введення-виведення Vdda, Vddd, та Vddiox відповідно. Два внутрішні регулятори напруги 1,8 В забезпечують живлення внутрішньої логіки ядра. Окрім того, кожен з режимів зниженого енергоспоживання використовує свій власний регулятор напруги.

Системне скидання

Системне скидання CY8C38 може бути ініційовано внаслідок декількох типів подій у системі, зокрема:

- контроль живлення. Сигнал скидання може генеруватись внаслідок відхилення аналогової чи цифрової напруги живлення більш ніж на певну величину від заданого діапазону;
- зовнішній сигнал скидання по лінії XRES;
- генерування сигналу скидання від WDT-таймера. WDT контролює виконання інструкцій процесорним ядром. Якщо протягом заданого інтервалу не виконується програмного скидання WDT-таймера, то він генерує сигнал системного скидання;
- програмне скидання.

Цифрова підсистема

Особливістю цифрової підсистеми є сукупність стандартних і спеціалізованих периферійних блоків, а також програмованих логічних схем.

Це дає змогу створювати вбудовані системи у широкому діапазоні прикладних задач. Взаємозв'язок підсистеми з комутаційною матрицею та портами введення-виведення забезпечує високий рівень гнучкості та захищеності інтелектуальної власності. Основними компонентами цифрової підсистеми є:

- універсальні цифрові блоки (УЦБ), що утворюють базову функціональність підсистеми. Кожен УЦБ поєднує універсальну програмовану логіку на базі ПЛМ та фіксований апаратний блок (тракт даних), оптимізований для створення типових рішень вбудованих систем;

- масив УЦБ, що складається з множини УЦБ та набору з'єднань між ними. Масив має однорідну структуру, що забезпечує високу гнучкість розміщення функціональних блоків. Масив УЦБ під'єднаний до цифрової комутаційної матриці, що забезпечує взаємозв'язок УЦБ з рештою підсистем PSoC;

- цифрова комутаційна матриця. Цифрові сигнали з УЦБ, фіксованих апаратних блоків, портів введення-виведення, лінії переривань, каналів ПДП з'єднуються з цифровою комутаційною матрицею, досягаючи цим самим максимального взаємозв'язку між усіма підсистема в середині PSoC. Будь-який вхід/вихід цифрової підсистеми комутується з будь-яким зовнішнім входом/виходом кристала.

Аналогова підсистема. Аналогова підсистема за своєю суттю є комбінацією стандартних і спеціалізованих блоків опрацювання аналогових сигналів з можливістю програмування їх функцій під визначену задачу. Кожен блок під'єднаний до аналогової комутаційної мережі, що забезпечує високу гнучкість з'єднань блоків між собою та підсистемою введення-виведення PSoC.

Основні характеристики аналогової підсистеми PSoC PSoC®3:

- гнучка конфігурована комутаційна мережа аналогових блоків;
- конфігурований дельта-сігма АЦП з високою роздільною здатністю;
- 4 ЦАП з можливістю конфігурації виходів за струмом чи напругою;
- 4 компаратори;
- 4 універсальні аналогові блоки на основі схем з комутуваними конденсаторами, які призначені для реалізації підсилювачів з програмованим коефіцієнтом підсилення, диференціальних підсилювачів, мікшерів та інших аналогових вузлів;
- 4 операційні підсилювачі для внутрішнього використання або реалізації вихідних буферів високого струму;
- підсистема CapSense для підключення та опрацювання сигналів з ємнісних давачів. Вимірювання ємності використовують у тих областях, де

вимагається створення безконтактних перемикачів (сенсорів) для інтерфейсів з користувачем;

– інтегровані високоточні джерела аналогових опорних напруг для внутрішніх аналогових блоків.

Інтегроване середовище розробки PSoC Creator

Всі PSoC фірми Cypress підтримуються та програмуються в інтегрованому середовищі розроблення PSoC Creator. PSoC Creator є середовищем сумісного розроблення апаратних і програмних засобів (hardware/software co-design), що поєднує інструменти розроблення програмних засобів мовою C, апаратних засобів шляхом RTL-описів мовою Verilog та на рівні функціональних схем, розроблення інтерфейсів користувача мовою C#, засоби тестування та відлагодження тощо. Бібліотека PSoC Creator містить набір готових компонент, які можна вводити в проект системи як завершені функціональні блоки. Для кожної компоненти в бібліотеці поставляється супровідна документація з повним описом її функціоналу. Важливою характеристикою середовища є можливість створення власної бібліотеки компонент, що можуть повторно бути використаними надалі.

8.3 Мікросхеми сімейства PSoC® 4

Мікросхеми PSoC® 4 мають архітектуру реконфігурованої та масштабованої платформи сімейства контролерів змішаного сигналу з програмованим вбудованим у систему процесором ARM Cortex-M0 (рис. 8.4). Вони поєднують у собі програмовані і реконфігуровані аналогові та цифрові блоки з гнучкою функцією автоматичного трасування маршрутів. Продукт сімейства PSoC 4200M, заснований на цій платформі, являє собою поєднання мікроконтролера із цифровою програмованою логікою, аналого-цифрового перетворення високої продуктивності, операційних підсилювачів з режимом порівняння і стандартними засобами комунікації і тактування периферійних пристроїв. Мікросхеми сімейства PSoC 4200M мають найбільшу кількість вбудованих підсистем і блоків та повністю сумісні з іншими мікросхемами платформи PSoC 4 для проектування нових додатків і потреб (рис. 8.4). У них відсутній блок обробки сигналів від індуктивних давачів – *Inductive Sensing (MagSense)*, який присутній у деяких інших мікросхемах сімейства, проте вони мають підсистему пам'яті більшої ємності.

Програмовані аналогова і цифрова підсистеми забезпечили гнучкість і налаштування проектування.

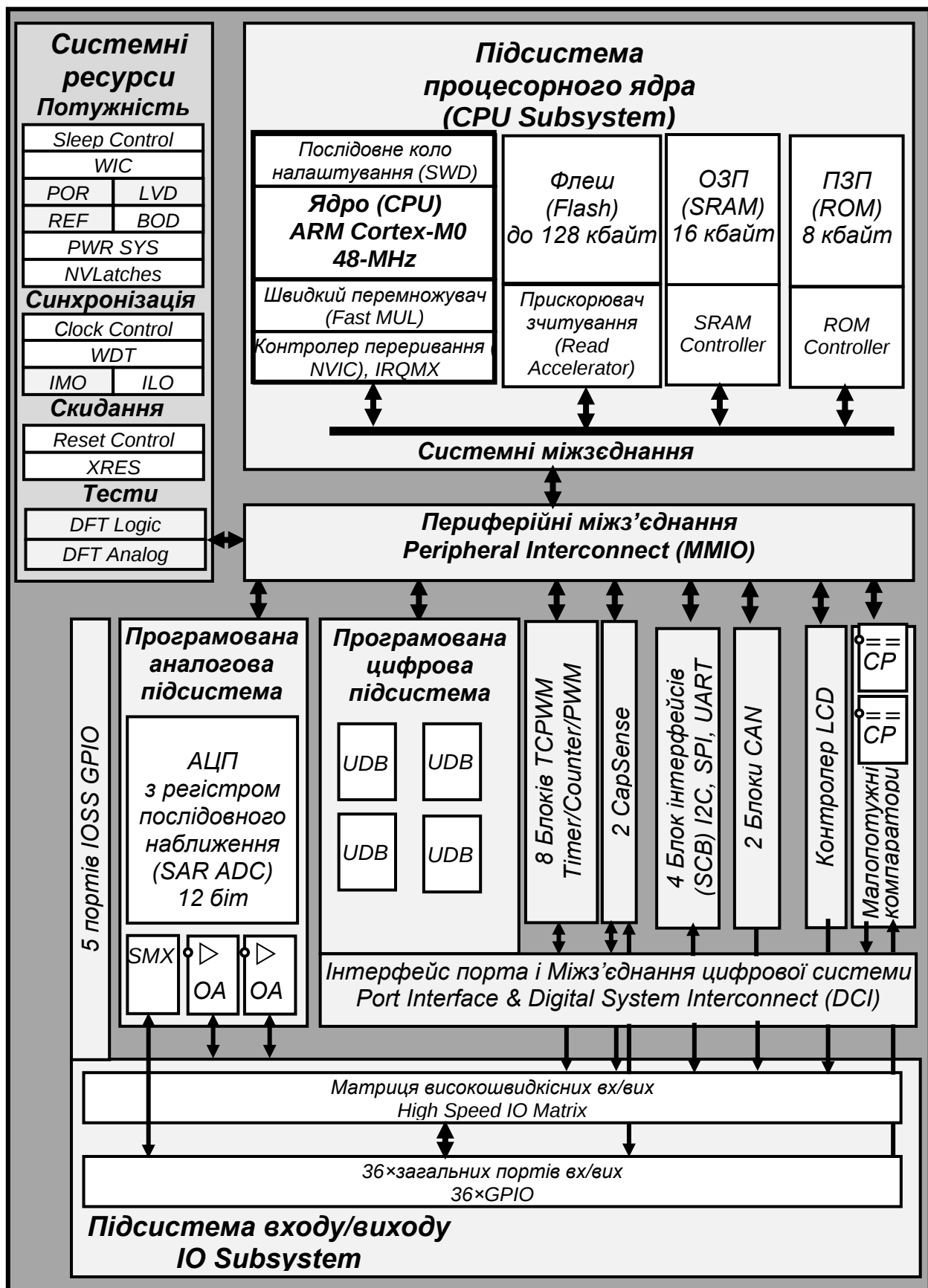


Рисунок 8.4 – Спрощена структурна схема мікросхеми сімейства PSoC 4200M

До складу мікросхеми PSoC 4200M входять такі основні частини:

- підсистема процесорного ядра;
- аналогова програмована підсистема;
- цифрова програмована підсистема;
- підсистема входу/виходу;
- блок обробки сигналів з ємнісних давачів;
- блок послідовних інтерфейсів;
- блок інтерфейсу CAN;
- блок таймера/лічильника та широтно-імпульсної модуляції;
- блок драйвера рідкокристалічного індикатора (PKI);
- системні ресурси.

Підсистема процесорного ядра

Підсистема процесорного пристрою (MCU) об'єднує:

- процесорне ядро на базі 32-розрядного процесора ARM Cortex-M0 з тактовою частотою 48 МГц і з можливістю виконання операції перемноження за один такт;
- флеш-пам'ять ємністю до 128 кБ з прискорювачем читання (Read Accelerator);
- ОЗП (SRAM) ємністю до 16 кБ;
- ПЗП (ROM) ємністю до 8 кБ.

Процесорне ядро ARM Cortex-M0 є частиною 32-розрядної MCU-підсистеми, яку оптимізовано для виконання операцій з малою споживаною потужністю та розширеною логікою системи тактування. Воно використовує 16-розрядні команди та виконує набір команд з підмножини Thumb-2. Це гарантує повну сумісність двійкових кодів знизу вгору з більш продуктивними процесорами Cortex-M3 і M4.

Ядро містить апаратний множник, який забезпечує результат для 32-розрядного числа за один такт. Ядро включає також блок контролера вектора вкладених переривань (nested vectored interrupt controller, NVIC) з 32 входами і контролер пробудження переривань (Wakeup Interrupt Controller, WIC). Контролер WIC виводить процесор з режиму глибокого сну (the Deep Sleep mode), коли на ньому відсутня напруга живлення і мікросхема знаходиться в режимі глибокого сну. Процесорне ядро ARM Cortex-M0 забезпечує введення немаскованих переривань (Non Maskable Interrupt, NMI), які доступні користувачеві та потрібні йому, і не використовуються системою.

До CPU належить інтерфейс для налаштування, послідовне коло налагодження (serial wire debug, SWD), що є 2-магістральною формою інтерфейсу JTAG.

З модулем флеш-пам'яті тісно пов'язаний прискорювач зчитування, який зменшує середній час доступу до даних у флеш. Прискорювач забезпечує час доступу 85% відносно одного циклу зчитування SRAM. Частина модуля флеш, якщо вимагається, може використовуватися для емуляції EEPROM.

Аналогова програмована підсистема

Аналогова програмована підсистема включає: операційні підсилювачі (ОП), АЦП, ЦАП, компаратори і блок ємнісного давача.

Два операційних підсилювачі можна конфігурувати для зовнішніх з'єднань як підсилювач потужності (драйвер), для внутрішніх використань – широкосмуговий підсилювач. Їх дозволено використовувати для роботи у режимі компаратора та вхідного буфера для АЦП.

Операційні підсилювачі програмуються без застосування зовнішніх компонентів і на них можна реалізовувати: підсилювачі з програмованим коефіцієнтом підсилення (PGA), фільтри, буфери напруги, транс-імпедансі підсилювачі та інші функціональні елементи, що економить споживану потужність, вартість та площу. Вбудовані ОП розроблені з достатньо широкою смугою пропускання і вихідним струмом для схеми вибирання/збереження (S/H circuit), і АЦП не потребує зовнішнього буфера.

АЦП з регістром послідовного наближення (SAR ADC, Successive Approximation Register ADC) з розрядністю 12 біт і продуктивністю 1 Msps працює у диференціальному і несиметричному режимах. До виводів корпусу АЦП підключається через восьмиканальний аналоговий мультиплексор (8-input sequencer, SMX), входи якого скануються послідовно. Можливо програмування кожного каналу з потрібною частотою відліків для різних джерел з відмінними опорними напругами і частотами. АЦП має можливість оцифровувати сигнал з вбудованого давача температури для калібрування та інших залежних від температури функцій. АЦП не працює у сплячому режимі та гібернізації, тому що потребує високої тактової частоти (до 18 МГц). Робочий діапазон джерела живлення становить від 1,71 В до 5,5 В.

Два струмових ЦАП (IDACs) для загального призначення або ємнісних давачів на будь-якому виводі.

Два малопотужних компаратори діють у режимі глибокого сну та гібернізації. Їх наявність дозволяє вимикати аналогову частину у малопотужних

режимах, втім зберігає можливість контролю зовнішньої напруги. Виходи компараторів синхронізовані для уникнення асинхронного режиму у колі активації режиму пробудження системи.

Давач температури (Temperature Sensor)

На кристалі розміщено давач температури, що складається з діоду та джерела струму, які можливо відключати для економії енергії. Давач температури підключено до АЦП, який оцифровує його дані і виробляє відповідні зміни у програмному забезпеченні, що включає калібрування та лінеаризацію.

Програмована цифрова підсистема включає:

- чотири програмовані універсальні цифрові блоки, УЦБ, (universal digital blocks, UDBs). Кожен блок містить 8 макрочарунок та фіксований апаратний блок (тракт даних), оптимізований для створення типових рішень вбудованих систем. УЦБ можливо тактувати сигналами з блоку дільника, порту інтерфейсу (потрібно для периферійних пристроїв, таких як SPI), і від мережі DSI безпосередньо або після синхронізації. Визначається порт інтерфейсу, регістр якого є джерелом тактового сигналу також і для схем ПЛМ (PLD) в осередку масиву УБЦ;

- УЦБ мають можливість генерувати сигнал переривання для контролера переривань (один УБЦ водночас). Вони зберігають можливість підключення до будь-якого виводу на кристалі через DSI;

- надається бібліотека периферійних компонентів користувача, кінцевих автоматів і входи для введення функцій мовою Verilog.

Фіксовані цифрові функції

Блок таймера/лічильника та широтно-імпульсної модуляції, ТЛШІМ, (Timer/Counter/PWM, TCPWM Block)

Блок складається з 16-розрядного таймер/лічильника та широтно-імпульсного модулятора (TCPWM) з програмованою користувачем довжиною періоду. Існує регістр захоплення для запису значення лічильника на момент події (це може бути подія введення/виведення), періоду регістра, який застосовуються для зупинки або автоматичного перевантаження лічильника, коли значення лічильника дорівнює періоду регістру, і порівняння регістрів для утворення сигналу порівнювання, що завдає довжини циклу ШІМ. Блок забезпечує на виходах пряме та комплементарне значення напруги з програмованою величиною зміщення між ними, для того щоб програмно дозволити застосування виводів, які не використовуються. Наприклад, це

застосовується у системах приводу, коли вказується стан перевантаження по струму і керовані ШІМ транзистори FET повинні вимкнутися відразу без втручання програмного забезпечення. Мікросхема містить вісім блоків ТЛШІМ, у яких також є налаштування режимів вирівнювання імпульсів по центру, краю і псевдовипадковий.

Блок послідовних інтерфейсів (зв'язків) (SCB)

Мікросхема PSoC 4200M має чотири незалежних за часом виконання конфігурованих блоки послідовного зв'язку, які можливо налаштувати як інтерфейси I2C, SPI або UART.

Апаратний блок I2C реалізує різні конфігурації, режими роботи ведучий/ведомий. Блок може працювати з продуктивністю до 1 Мб/с (у швидкому режимі плюс) та має гнучкі параметрами буферізації для зменшення затрат на переривання та затримки для процесорного ядра.

Периферійні блоки I2C сумісні зі стандартним режимом інтерфейсу I2C, швидким режимом та швидким режимом плюс. Порти GPIO реалізують входи/виходи I2C у режимі з відкритим стоком.

Режим UART є повнофункціональним до швидкодії 1 Мб/с. Він підтримує автомобільний однодротовий інтерфейс (LIN), інфрачервоний інтерфейс (IrDA), протокол смарт-карт SmartCard, ISO7816), які є незначно відмінними від основного протоколу UART. Зокрема він підтримує 9-біт багатопроекторний режим, який дозволяє адресацію периферійних пристроїв через загальні RX and TX лінії, визначає помилки парності, перерви, кадра.

Режим SPI. В режимі підтримується повністю інтерфейс SPI фірми Motorola та Texas Instruments (TI SSP) (додається стартовий імпульс для синхронізації SPI кодеків, напівдуплексна форма SPI. Блок SPI може використатися як FIFO.

Блоки CAN

Мікросхема має два незалежних блоки CAN 2.0B, які сумісні з сертифікованим інтерфейсом CAN.

Порти входу/виходу загального призначення (GPIO)

Мікросхема PSoC 4200M у корпусі QFN з 68 виводами містить 55 GPIO. Порт GPIO реалізує:

- вісім режимів потужності драйвера, у тому числі потужний двотактний, з резистором, що увімкнено до джерела живлення або до шини «земля», з відкритим витоком або стоком, тільки вхід і відключено;
- вибір порогу на вході (CMOS або LVTTTL);
- індивідуальний контроль відключення вх/вих;

- утримує режим попереднього стану (використовуються для зберігання стану введення/виведення у сплячому режимі та режимі глибокого сну);
- вибір швидкості наростання імпульсів відносно рівня шуму для контролю поліпшення електромагнітної сумісності (ЕМІ).

Виводи об'єднуються у групи по вісім. Під час вмикання джерела живлення або перезавантаження виводи групи знаходяться у відключеному стані, щоб не пересікатися з іншими виводами входами і/або підвищення струму увімкнення.

Коло мультиплексування, так звана матриця швидкодіючих вх/вих, використовується для мультиплексування різноманітних сигналів, які можуть бути підключені до закріплених виводів вх/вих. Розміщення контактів для фіксованих периферійних функцій також є фіксованим для зменшення складності внутрішніх мультиплексованих з'єднань (ці сигнали не проходять через коло DSI). Сигнали з будь-якого виводів портів 0, 1, 2, 3 можуть надходити до УБЦ через коло DSI, а також пов'язані між собою.

Кожен контакт вх/вих може генерувати переривання, якщо його відповідно підключено, і кожен порт вх/вих має можливість формувати запит на переривання (IRQ) та службу звичайного переривання (interrupt service routine, ISR). Будь-які виводи GPIO можуть бути виводами для CapSense, LCD, аналоговими або цифровими.

Спеціальні функції периферії

Блок драйвера рідкокристалічного індикатора (PKI) (LCD Drive)

Мікросхема містить контролер PKI (LCD), який керує загальними шинами (до чотирьох) і сегментами (до 32) рідкокристалічного індикатора. Для цього використовуються повністю цифрові методи, що не вимагають генерації особливої внутрішньої напруги для PKI.

Модуль ємнісного давача (CapSense)

Модуль ємнісного давача підтримується на всіх виводах мікросхеми через CapSense Sigma Delta (CSD) блок, який може бути підключений до будь-якого контакту GPIO через шини аналогового мультиплексора, з'єданого з аналоговими ключами. Функції ємнісного давача підтримуються на будь-якому виводі або групі виводів під контролем програмного забезпечення. Модулі користувача (програмне забезпечення), що постачається, робить легким проектування ємнісних давачів. Можливе автоматичне налаштування апаратного обладнання (SmartSense™).

Модуль ємнісного давача має два струмових ЦАП, які можливо застосовувати для загальних цілей, якщо модуль CapSense не застосовується. У випадку застосування в модулі CapSense одного ЦАП за призначенням, інший можливо застосовувати для загальних цілей.

Сигма Дельта АЦП для обробки сигналів ємнісних давачів (CapSense Sigma-Delta, CSD) забезпечує найкраще у своєму класі співвідношення сигнал/шум (SNR) завбільшки 5:1 і повну відповідність перетворення.

Системні ресурси

Підсистема живлення

Система живлення забезпечує потрібну точність рівнів напруги для кожного відповідного режиму роботи або затримки режиму запису, скидання на включення (on power-on reset, POR), наприклад, до рівня напруги потрібного для функціонування сигналу скидання або його генерації (brown-out detect, BOD), або переривань (low-voltage detect, LVD).

Особливості системи живлення:

- потрібне одне джерело живлення з напругою від 1,71 В до 5,5 В;
- можливе виконання операцій з низьким енергоспоживанням з напругою живлення від 1,71 В до 5,5 В:
- струм споживання 20-пА у режимі Stop під час активації виводу порту GPIO;
- знайдено компроміс споживаної потужності між режимами гібернації та глибокого сну (Hibernate and Deep Sleep modes) і часом активації.

Підсистема синхронізації

Система синхронізації відповідає за забезпечення синхронізації усіх тактовних систем для запобігання помилок перемикання цифрових пристроїв. Крім цього система гарантує відсутність невизнаності стану цифрових елементів.

Система синхронізації складається з внутрішнього основного генератора (IMO), що є базовим джерелом тактових імпульсів, і внутрішнього малопотужного генератора (ILO) та засобів для зовнішньої синхронізації.

Основний генератор IMO підлаштовується для досягнення потрібної точності під час тестування. Величина відхилення частоти запам'ятовується в енергонезалежній пам'яті. Частота генератора IMO за замовчуванням складає 24 МГц і вона встановлюється у діапазоні частот від 3 МГц до 48 МГц з кроком 1 МГц. Точність калібрування становить $\pm 2\%$.

Внутрішній низькочастотний осцилятор ІЛО з номінальною частотою 32 кГц застосовується в режимах з низьким рівнем споживаної потужності. Для підвищення точності лічильники у генераторі ІЛО можуть бути відкалібровані за допомогою генератора ІМО. Це забезпечує відповідний програмний компонент.

Кварцовий генератор

Підсистема синхронізації також включає низькочастотний кварцовий генератор частотою 32 кГц (32-kHz WCO), який застосовується для синхронізації у режимі глибокого сну, реалізації годинника реального часу (Real-Time Clock, RTC) і сторожового таймера (Watchdog Timer).

Сторожовий таймер входить до блоку синхронізації, запускається від низькочастотного генератора. Він діє протягом режиму глибокого сну (Deep Sleep) і генерує сигнали скидання та переривання, якщо не слугує before the timeout occurs. Сигнал скидання сторожового таймера записано у регістр скидання (Reset Cause register).

Система скидання

Скидання можливе від різноманітних джерел, включаючи програмне скидання. Скидання є асинхронною подією і гарантує повернення у відомий стан. Вивід забезпечує зовнішнє скидання у випадках зміни конфігурації і збільшенням функцій виводу протягом вмикання живлення та реконфігурації.

Система живлення

Мікросхема зберігає усі свої функції і режими роботи в діапазоні напруги живлення від 1,71 В до 5,5 В. Можлива робота з напругою живлення у двох режимах: з нерегульованою зовнішньою напругою та регульованою зовнішньою напругою.

Система живлення генерує усі внутрішні опорні напруги. Для 12-розрядного АЦП забезпечується опорна напруга з точністю 1%. Для підвищення співвідношення сигнал/шум (signal-to-noise ratios, SNR) і підвищення абсолютної точності можливо добавляти зовнішній фільтруючий конденсатор до внутрішнього джерела опорної напруги через вивід GPIO або застосовувати зовнішнє джерело опорної напруги для SAR.

8.4 Сімейство PSoC® 5LP

Мікросхеми сімейства PSoC® 5LP є справжньою програмованою вбудованою системою на кристалі, що інтегрує налаштовувані аналогові й

цифрові пристрої, пам'ять і мікроконтролер на єдиному кристалі. Особливості архітектури PSoC 5LP підвищують продуктивність внаслідок застосування:

- процесорного ядра 32-бітного Arm Cortex-M3 плюс контролер DMA і процесор цифрового фільтру з діапазоном до 80 МГц;
- ультранизького енергоспоживання у своїй галузі з найширшим діапазоном напруги живлення;
- програмованих цифрових і аналогових периферійних пристроїв, з функціями, що активує користувач;
- гнучкої маршрутизації будь-якої аналогової або цифрової периферійної функції до будь-якого контакту.

Мікросхеми PSoC мають архітектуру кристалу, що налаштовуються для розробки вбудованих систем контролю. На одній мікросхемі PSoC можливо інтегрувати 100 цифрових та аналогових функцій, що зменшує час розробки, споживану потужність, вартість і простір на платі за одночасного підвищення якості системи.

Особливості мікросхем сімейства PSoC® 5LP

Експлуатаційні характеристики:

- діапазон напруги живлення від 1,71 В до 5,5 В, до 6 доменів потужності;
- інтервал робочих температур (навколишнього середовища): –40 до 85°C, з розширеним температурним діапазоном: –40 до 105°C;
- операції з сигналами від постійного струму до 88 МГц.

Режими споживання:

- струм споживання в активному режимі на частоті 6 МГц становить 3,1 мА, на частоті 48 МГц – 15,4 мА;
- у сплячому режимі – 2 мкА;
- у глибокому сплячому режимі (гібернації) з утриманням ОЗП – 300 нА.

На кристалі розміщено імпульсне джерело підвищення напруги від 0,5 В до 5В.

Продуктивність забезпечують:

- 32-розрядний процесор Arm Cortex-M3, з можливістю 32 переривань на вході;
- 24-канальний контролер прямого доступу до пам'яті (direct memory access, DMA) з передачею даних між периферійними пристроями та пам'яттю;
- 24-розрядний цифровий фільтр (digital filter processor, DFB) з фіксованою точкою.

Пам'ять складають:

- флеш-пам'ять програм ємністю до 256 кбайт з кешем та функцією безпеки;
- додаткова флеш-пам'ять до 32 кбайт для кодів корекції помилок (error correcting code, ECC);
- ОЗП до 64 кбайт;
- репрограмований постійний запам'ятовувальний пристрій з електричним стиранням, РПЗП-ЕС, (EEPROM).

Цифрова периферія містить:

- 4 блоки 16 розрядних таймер/лічильників та ШІМ (TCPWM blocks);
- блок I2C з шиною продуктивністю 1 Мб/с;
- блок USB 2.0, сертифікований на повну швидкість (Full-Speed, FS) 12 Мб/с периферійного інтерфейсу, що використовує внутрішній генератор;
- блок повного інтерфейсу CAN 2.0b з 16 приймаючими та 8 передаючими буферами;
- від 20 до 24 універсальних цифрових блоків, які програмуються для створення будь-якої кількості функцій;
- 8-, 16- 24- та 32-розрядні таймери/лічильники і ШІМ;
- інтерфейси I2C, UART, SPI, I2S, LIN 2.0;
- блок циклічної перевірки переповнення (cyclic redundancy check, CRC);
- генератор псевдовипадкової послідовності (pseudo random sequence, PRS);
- квадратурний декодер;
- нормалізатор рівнів логічних функцій.

Програмовану систему синхронізації забезпечують:

- внутрішній генератор від 3 МГц до 74 МГц, з точністю 1% до 3 МГц;
- зовнішній кварцовий генератор від 4 МГц до 25 МГц;
- внутрішнє коло PLL тактування з частотою генерації до 80 МГц;
- внутрішній малопотужний генератор частотою 1 кГц, 33 кГц та 100 кГц;
- зовнішній годинниковий кварцовий генератор частотою 32,768 кГц;
- 12 годинникових дільників, які можливо зв'язати з будь-якою периферією та входом/виходом.

Аналогова підсистема включає:

- конфігурований від 8 до 20 розрядів дельта-сигма АЦП (delta-sigma ADC);
- до двох 12-розрядних з регістром послідовного наближення АЦП (SAR ADC);
- чотири 8-розрядних ЦАП (DAC);
- чотири компаратори;

- чотири операційних підсилювачі;
- чотири програмованих аналогових блоки:
- підсилювач з програмованим підсиленням (PGA);
- трансімпедансний підсилювач (TIA);
- змішувач;
- мультиплексований аналоговий вхід (AFE);
- схему вибирання – зберігання.

Блок ємнісного давача (CapSense®) з автоматичним налаштуванням SmartSense™ підтримує до 62 давачів.

Джерело внутрішньої опорної напруги $1,024\text{ В} \pm 0,1\%$.

Система універсальних входів/виходів:

- від 46 до 72 контактів вх/вих, до 62 вх/вих загального призначення (general-purpose I/Os, GPIOs);
- до 8 режимів продуктивності контактів спеціального вводу/виводу (SIO), струм кожного 25 мА;
- програмовані порогова напруга на вході та рівень високої напруги на виході;
- можуть виступати як компаратор загального призначення;
- можливість гарячого вмикання та нечутливості до підвищеної напруги;
- два контакти вх/вих інтерфейсу USB (USBIO), які можна використовувати як GPIO;
- з'єднання будь-якого цифрового або аналогового периферійних блоків до будь-якого GPIO;
- рідкокристалічним індикатором (LCD) можливо керувати через будь-який GPIO до 46×16 сегментів;
- сигнал на блок ємнісного давача можливо подавати від будь-яких GPIO;
- напруга живлення інтерфейсів від – 1,2 В до 5,5 В, до чотирьох доменів потужності.

Програмування, налагодження та трасування

Забезпечується інтерфейсами JTAG, 4-дротовим, послідовним колом налаштування (serial wire debug, SWD), 2-дротовим, однодротовим монітором (single wire viewer, SWV), портом трасування (Trace port) – 5-дротовим.

Можливе ручне налаштування та трасування за допомогою модулів, що вбудовані у ядро процесора.

Програми завантажуються через інтерфейси I2C, SPI, UART, USB та інші.

Розробки підтримуються безкоштовною програмою PSoC Creator™. Вона підтримує схемотехнічне проектування та розроблення прошивки. Компоненти знаходяться у вільному доступі у вигляді іконок. Для проектування системи у PSoC Creator потрібно обрати іконку та встановити її. До неї підключений безкоштовний компілятор GCC, підтримує також компілятор Keil/Arm MDK.

Архітектура сімейства CY8C58LP

Сімейство CY8C58LP володіє ультранизьким енергоспоживанням та є флеш-програмованою системою на кристалі на базі 32-розрядної платформи. Сімейство CY8C58LP забезпечує конфігурованість аналогових, цифрових блоків та кіл міжз'єднань навколо підсистеми процесора. Високий рівень інтеграції забезпечує комбінацію процесора з гнучкою аналоговою і цифровою підсистемами, підсистемою маршрутизації і підсистемою входів-виходів. Це гарантує різноманітних споживачів та застосування у промисловості і медицині. Основні складові частини сімейства мікросхем CY8C58LP наведено на рис. 8.5.

До складу сімейства мікросхем CY8C58LP входять:

- процесорна підсистема Arm Cortex-M3;
- енергонезалежна підсистема;
- підсистеми програмування, налаштування і тестування;
- входи та виходи;
- система синхронізації;
- система живлення;
- цифрова підсистема;
- аналогова підсистема.

Цифрова підсистема забезпечує половину унікального конфігурування мікросхеми PSoC. Вона з'єднує цифровий сигнал від будь-якого периферійного пристрою до будь-якого контакту через цифрову систему з'єднань (digital system interconnect, DSI). Вона також забезпечує функціональну гнучкість через матрицю універсальних цифрових блоків UDB. Фірма-розробник PSoC надає бібліотеку вбудованих та випробуваних стандартних цифрових периферійних пристроїв (UART, SPI, LIN, PRS, CRC, таймер, лічильник, ШІМ, «І», «АБО», і так далі), які відповідають матриці UDB. Можна також легко створювати цифрові кола, використовуючи булеві примітиви за допомогою введення проекту у графічній формі. Кожен UDB містить програмовану логічну матрицю (PAL), яка є функціонально програмованим логічним пристроєм (PLD), що

разом з невеликим автоматом зміни стану підтримує широкий спектр периферійних пристроїв.

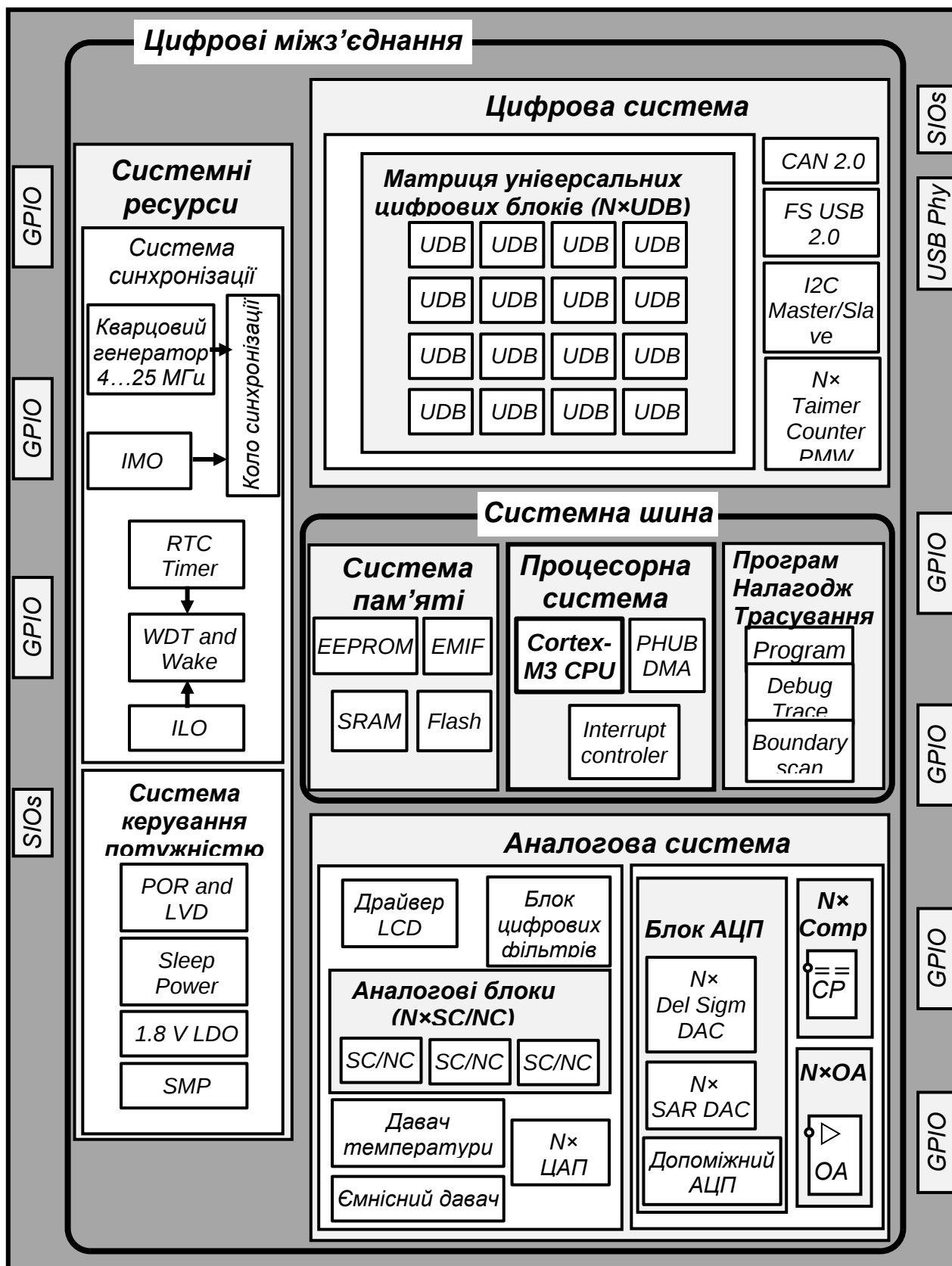


Рисунок 8.5 – Спрощена архітектура мікросхеми сімейства CY8C58LP

Зокрема гнучкості матриця UDB також забезпечує налаштування цифрових блоків на виконання конкретних цільових функцій. Для сімейства CY8C58LP ці блоки можуть включати чотири 16-бітні таймери, лічильники і блоки ШІМ; блоки інтерфейсу I2C у різних режимах; блоки повношвидкісного інтерфейсу USB; блоки повного інтерфейсу CAN 2.0.

Аналогова підсистема. Аналогова підсистема є другою половиною унікального конфігурування мікросхеми PSoC. Всі аналогові застосування ґрунтуються на високій абсолютній точності опорної напруги з помилкою, меншою 0,1% від температури і напруги.

Конфігурована аналогова підсистема містить:

- аналогові мультиплексори;
- компаратори;
- аналогові змішувачі;
- джерела опорної напруги;
- декілька АЦП;
- декілька ЦАП;
- блок цифрового фільтру (DFB).

Всі контакти GPIO можуть перенаправляти аналогові сигнали у пристрій та з пристрою з використанням внутрішньої аналогової шини. Це дозволяє інтерфейсу пристрою обробляти до 62 різних аналогових сигналів. Один з АЦП в аналоговій підсистемі є швидким і точним – це конфігурований дельта-сигма-АЦП з такими особливостями:

- напруга зсуву не більше 100 мкВ;
- помилка підсилення 0,2%;
- інтегральна нелінійність (INL) менше, ніж ± 2 одиниці молодшого розряду;
- диференціальна нелінійність (DNL) менше, ніж ± 1 одиниця молодшого розряду;
- відношення сигнал/(шум + перекручування) (signal to noise and distortion ratio, SINAD) краще, ніж 84 дБ у режимі 16 розрядів.

Дельта-сигма-АЦП призначено для широкого кола прецизійних аналогових застосувань, включаючи обробку сигналів з деяких з найбільш вимогливих датчиків.

Сімейство CY8C58LP також пропонує до двох SAR АЦП. Вони виконують 12-розрядні перетворення з продуктивністю 10^6 відліків за секунду і мають низьку нелінійність, помилку зсуву і відношення сигнал/шум (SNR)

краще, ніж 70 дБ. Вони добре підходять для реалізації різних аналогових високошвидкісних додатків.

Вихід будь-якого АЦП за бажанням можна зв'язати з програмованими DFB через DMA без втручання процесора. Можливо налаштувати DFB для реалізації цифрових фільтрів з обмеженою імпульсною характеристикою (finite impulse response, FIR) і необмеженою імпульсною характеристикою (infinite impulse response, IIR) та кількох функцій користувачів. Цифровий фільтр може виконувати операцію множення-накопичення (multiply-accumulate, MAC) з 48-розрядним числом за один такт.

Чотири високошвидкісних АЦП із виходом напруги або струму підтримують 8-розрядний вихідний сигнал зі швидкістю оновлення до 8 Msps. Вони можуть бути з'єднані з будь-яким контактом GPIO. Є можливість створити ШІМ ЦАП з вихідною напругою з високою роздільною здатністю, використовуючи масив UDB. Це може бути використано для створення ШІМ ЦАП до 10 біт і до 48 кГц. Цифрові ЦАП у кожному UDB підтримують алгоритми ШІМ, PRS або дельта-сигма.

У доповнені до АЦП, ЦАП та цифрового фільтра аналогова підсистема містить:

- компаратори;
- непов'язані (незадіяні) операційні підсилювачі;
- блоки на комутованих конденсаторах та безперервного часу (SC/CT).

Блоки SC/CT реалізують:

- трансімпедансні підсилювачі;
- підсилювачі з програмованим підсиленням;
- змішувачі;
- інші подібні аналогові компоненти.

Підсистема процесора PSoC побудована на 32-розрядному з триступінчастим конвеєром процесора Arm Cortex-M3 з тактовою частотою до 80 МГц. Процесор включає у себе повністю інтегрований контролер вкладених векторів переривань (NVIC) і різні модулі налаштування та трасування. Загалом підсистема процесора містить контролер прямого доступу до пам'яті (direct memory access) DMA, контролер кеша флеш-пам'яті та ОЗП (RAM). Контролер переривань NVIC забезпечує малу затримку і послідовність ланцюжка переривань та інші функції для підвищення ефективності обробки переривань. Контролер DMA дозволяє периферійним пристроям обмін даними без участі процесора. Це дозволяє процесору працювати повільніше (економія енергії) або використовувати ці цикли процесора для підвищення продуктивності

алгоритмів, що прошиті. Кеш флеш-пам'яті також знижує енергоспоживання системи, оскільки зменшується частота звертань до флеш-пам'яті.

До енергонезалежної підсистеми PSoC можна віднести флеш-пам'ять, РПЗП-ЕС (EEPROM), дані до якої записуються по байтам, та енергонезалежні засоби налаштування. Забезпечується ємність флеш-пам'яті до 256 кбайт. Завантажувач дозволяє процесору перепрограмувати окремі блоки флеш-пам'яті. Для високонадійних додатків є можливість підключити частину флеш-пам'яті, де знаходяться коди корекції помилок ECC. Вбудована потужна і гнучка функція захисту конфіденційної інформації користувача, що дозволяє пам'яті селективну заборону блоку від читання й запису. Крім того, обрані параметри конфігурації, наприклад, швидкість завантаження та режим драйвера на контакті, зберігаються в енергонезалежній пам'яті. Це дозволяє активувати параметри налаштування відразу після режиму POR.

Підсистема виводів. Три різновиди виводів вх/вих мікросхеми PSoC є надзвичайно гнучкими. Всі виводи мають багато режимів роботи драйверів, які встановлюються у режимі POR. Напруга на контактах вх/вих може мати чотири рівні і подається через контакти (виводи) VDDIO.

Кожен GPIO має аналоговий вх/вих, драйвер LCD, модуль ємнісного давача CapSense, гнучку систему переривань, керування швидкістю наростання та можливість вводу/виводу цифрових сигналів. Спеціальні вх/вих SIO у режимі роботи на вхід мають високий імпеданс, який зберігається, коли мікросхема не працює або напруга підіймається вище за напругу живлення. Це робить виводи SIO ідеальними для використання з шиною I2C, коли мікросхема не працює, а інші пристрої підключені до неї. Виводи (контакти) SIO можуть також забезпечувати високий струм для різних застосувань, наприклад у якості драйвера LCD. Програмована величина порогу на вході SIO дозволяє виконувати йому функцію аналогового компаратора загального призначення. Апаратна реалізація інтерфейса USB забезпечує роботу зі швидкісним USB, (full-speed) FS USB на вхід та вихід. Якщо ці контакти не використовуються інтерфейсом USB, то їх можна застосувати для цифрових пристроїв обмеженої функціональності та пристроїв програмування.

Система синхронізації. Мікросхема PSoC включає у себе гнучкі внутрішні генератори високої стабільності й точності. Основний внутрішній генератор (IMO) є базовим для системи синхронізації і має точність 1% на частоті 3 МГц. Генератор IMO можливо налаштувати для роботи на частоти від 3 МГц до 74 МГц. На його основі утворюються багато інших тактових частот, які потребують додатки. Систему тактових частот генерує PLL до 80 МГц від

генератора ІМО, від зовнішнього кварцового генератора або зовнішнього опорного генератора. Він також містить окремий, дуже малопотужний внутрішній низькочастотний генератор (ILO) для сплячого режиму та охоронного таймера. Зовнішній кварцовий генератор частотою 32,768 кГц використовується у годиннику реального часу RTC. Генератори тактових імпульсів разом з програмованими дільниками частоти тактових імпульсів забезпечують гнучкість системи синхронізації.

Система живлення. Сімейство CY8C58LP підтримує широкий діапазон напруги живлення від 1.7 В до 5,5 В. Це дозволяє операції з регульованими джерелами живлення, таких як 1,8 В $\pm$ 5%, 2,5 В $\pm$ 10%, 3,3 В $\pm$ 10%, або 5,0 В $\pm$ 10%, або безпосередньо від широкого спектра типів акумуляторів.

Інтегрований у схему імпульсний перетворювач дозволяє живлення від джерела з напругою від 0,5 В. Це дає можливість пристрою працювати безпосередньо від однієї батареї. Крім того, дає можливість застосувати імпульсний перетворювач для генерування інших напруг, потрібних для пристрою, наприклад, живлення 3,3 В для драйвера LCD. Вихід імпульсного перетворювача підвищення напруги є доступним на виводі VBOOST, що дозволяє іншим пристроям житися від мікросхеми PSoC.

PSoC підтримує широкий спектр режимів низької потужності. До них належать сплячий режим з утриманням оперативної пам'яті – струм споживання 300 нА та сплячий режим з RTC – 2 мкА. Потужністю усіх основних функціональних блоків, включаючи периферійні цифрові та аналогові пристрої, можливо керувати незалежно від прошивки. Це забезпечує низьке енергоспоживання фонові обробки, коли деякі периферійні пристрої не використовуються, і загальний струм споживання становить 3,1 мА, коли процесор працює на частоті 6 МГц.

Для програмування, налагодження та трасування PSoC використовує інтерфейси JTAG – 4-дротовий або SWD – 2-дротовий. За допомогою цих стандартних інтерфейсів можливо програмувати і налагоджувати різні апаратні засоби від Cypress або сторонніх постачальників. Процесор Cortex-M3 для налагодження і трасування містить модулі FPB, DWT, ETM та ITM. Ці модулі володіють багатьма можливостями для вирішення складних проблем налагодження і трасування.

Бібліотека периферійних драйверів PSoC включає до 56 цифрових і 7 аналогових периферійних пристроїв, а також CapSense®, USB, Bluetooth Low Energy (BLE), USB та інтерфейси до серійної пам'яті та цифрових мікрофонів PDM–PCM. Прошивку для керування ними забезпечує бібліотека

периферійних драйверів (PDL). PDL – це набір високоефективних драйверів сумісних із MISRA для периферійних пристроїв PSoC із комплексним пакетним документуванням для пошуку, який є HTML-базою для легкого перегляду в будь-якому браузері.

PSoC Creator робить використання PDL максимально спрощеним, автоматично додаючи необхідні драйвери у проект. Коли розробник додає компоненти до свого дизайну і будує проект, потрібний код додається автоматично і включає в себе підтримувані ресурси.

Маршрут програмування та внутрішні з'єднання. Система об'єктно-орієнтованого середовища розробки для проектів на PSoC значною мірою спрощує процедуру впровадження проектів. Це звільняє час на розробку, а також перекладає частину роботи над проектом на саме середовище розробки.

PSoC Creator надає можливість знизити вартість розробки, використовуючи єдиний інструмент розробки системи контролю та керування на базі готових до використання компонентів PSoC, водночас прискорюючи термін виходу продукції на ринок.

8.5 Сімейство PSoC®6

Архітектура двоядерних МК дозволяє дизайнерам оптимізувати потужність і продуктивність водночас (рис. 8.6). Власна технологія ультранизької потужності 40-нм SONOS Cypress дозволяє архітектурі PSoC 6 MCU використовувати лише 22 мкА/МГц і 15 мкА/МГц активної потужності на ядрах ARM Cortex-M4 і Cortex-M0 + відповідно. Завдяки динамічному масштабуванню напруги та частоти (DVFS) архітектура PSoC 6 MCU забезпечує високу продуктивність та найменшу споживану потужність. Двоядерна архітектура дозволяє оптимізувати енергоспоживання системи, де допоміжне ядро може використовуватися для розвантаження основного ядра, яке може знаходитися у сплячому режимі. Архітектура PSoC 6 MCU інтегрує апаратне середовище Trusted Execution Environment (TEE) з можливістю безпечного завантаження та вбудованим безпечним сховищем даних для захисту прошивки.

МК реалізує широкий набір галузевих симетричних і асиметричних криптографічних алгоритмів в інтегрованому апаратному співпроцесорі, призначеному для розвантаження основного процесора за виконанням обчислювальних завдань. Архітектура підтримує декілька одночасних захищених середовищ без необхідності використання зовнішньої пам'яті або

захищених елементів і пропонує масштабовану безпечну пам'ять для декількох незалежних підходів до безпеки, які визначаються користувачем. Програмні периферійні пристрої можуть використовуватися для створення власних аналогових інтерфейсів користувача (Active front end – AFE) або цифрових інтерфейсів для інноваційних компонентів системи, а також для підтримки гнучких варіантів бездротового підключення. Архітектура підтримується інтегрованим середовищем дизайну Cypress PSoC Creator (IDE).

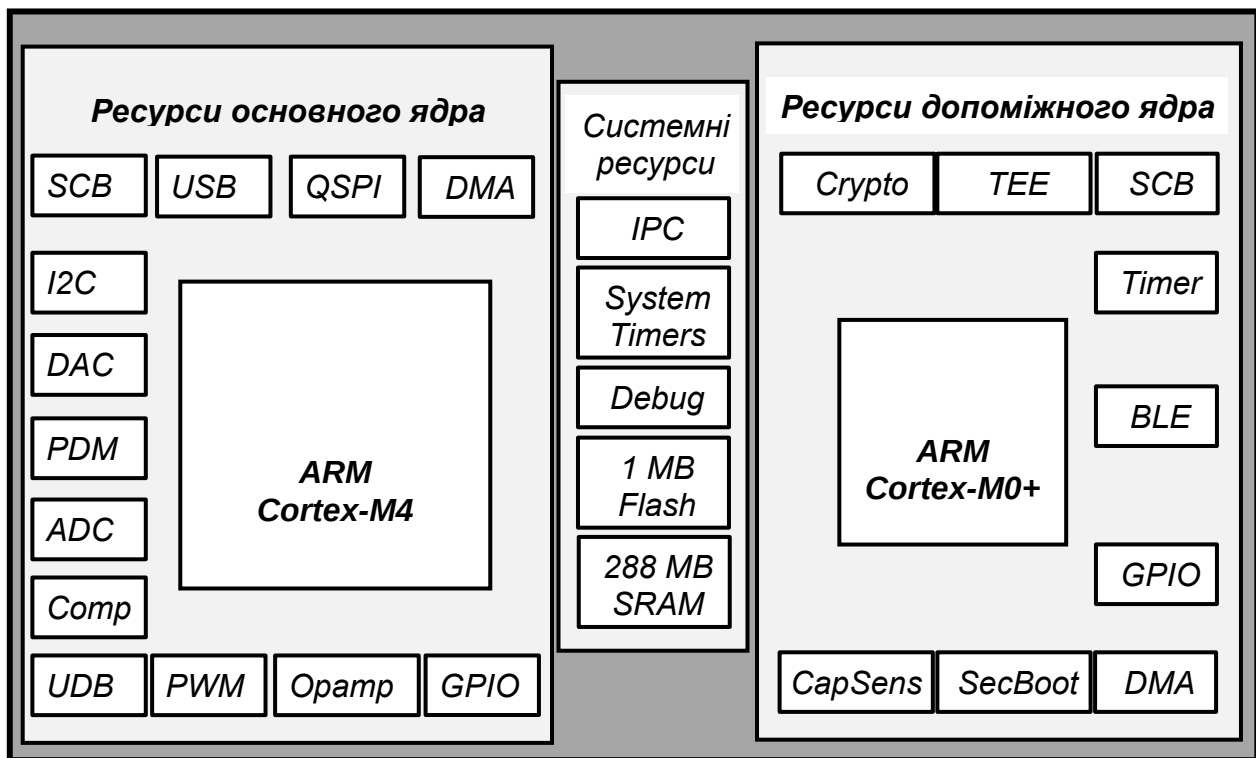


Рисунок 8.6 – Спрощена архітектура мікросхеми сімейства PSoC 6 з двома процесорними ядрами

Мікросхеми PSoC 6 орієнтовано на вживання у сфері Інтернет технологій IoT. IoT (Internet of Things), або інтернет речей – це мережа зв'язаних через інтернет об'єктів, які збирають дані та обмінюються даними, що надходять з вбудованих сервісів. Пристрої, що входять до інтернету речей – різноманітні автономні пристрої, які підключено до інтернету і за якими можливо слідкувати і/або управляти дистанційно.

Екосистема IoT, або інтернета речей, – усі компоненти, які дозволяють користувачам приєднувати свої пристрої IoT (пульти управління, панелі інструментів, аналітика, мережі, шлюзи, зберігання даних, безпека).

Фізичний рівень – апаратне забезпечення, яке використовується у IoT-пристрої, включаючи сенсори та устаткування мереж.

Мережний рівень відповідає за передавання даних, що зібрані на фізичному рівні, до різноманітних пристроїв.

Рівень додатків залучає протоколи та інтерфейси, які використовують пристрої для ідентифікації та зв'язку один з іншим.

Пульти управління дозволяють людині використовувати IoT-пристрої, з'єднуючись з ними і контролюючи їх через панель інструментів (мобільний додаток). До пультів управління належать смартфони, планшети, ПК, розумні годинники, телевізори тощо.

Панелі інструментів забезпечують відображення інформації про екосистему IoT для користувачів, що дозволяє управляти екосистемою IoT.

Аналітика – програмні системи, які аналізують дані, отримані від IoT-пристроїв. Наприклад, прогнозування технічного обслуговування.

Сфера застосування IoT дуже велика: виробництво, транспорт, сільське господарство, оборона, логістика, банки, лікарні та інше. Це диктує підвищені вимоги до захисту даних пристроїв, що підключені. Вимоги безпеки забезпечуються апаратними та програмними засобами.

На апаратній основі розділено ресурси основного та допоміжного ядра. Допоміжне ядро Arm Cortex-M0+ створює безпечне середовище для виконання надійних додатків. Воно зв'язується з Arm Cortex-M4, яке підтримує базове середовище виконання задачі через канали IPC (рис. 8.7).

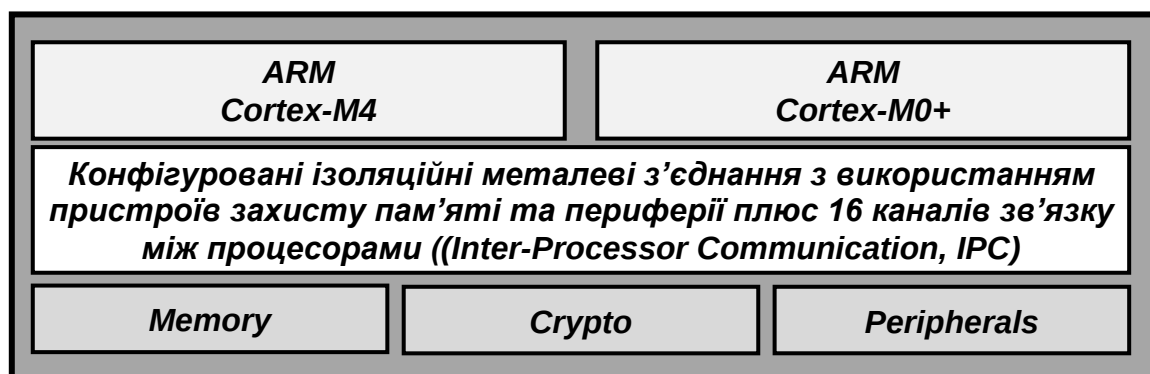


Рисунок 8.7 – Ізоляційні металеві з'єднання у середині мікросхеми Cypress PSoC 6 з двома процесорними ядрами

Програмно розділені кореневі системи: операції кореневої системи та надійні додатки далі виконуються в ізольованому середовищі виконання, захищаючи цілісність та конфіденційність. Довірені додатки ізольовані один від одного: кожен довірений додаток в межах ізольованого середовища виконання може бути відділений один від одного, зменшуючи доступність до вірусної або хакерської атаки.

8.6 Середовище розробки проектів PSoC® Creator™

Розробка аналого-цифрового проекту в середовищі PSoC® Creator™. PSoC Creator – це інтегроване середовище проектування (IDE), яке забезпечує одночасне редагування апаратного та програмного забезпечення, компіляцію та налагодження систем PSoC та FM0+. Програми створюються за допомогою схематичного (об’єктно-орієнтованого) середовища, що використовує понад 150 розроблених, попередньо перевірених периферійних компонентів.

Компоненти PSoC – це аналогові та цифрові периферійні пристрої, представлені символом, який користувачі встановлюють у свої проекти та налаштовують на відповідність до вимог свого проекту. Кожен компонент у бібліотеці змішаного сигналу налаштовується діалоговим вікном налаштування та містить повний набір бібліотек API (*API (Application Programming Interface)* – *це інтерфейс програмування, або інтерфейс створення додатків, тобто, API – це готовий код для спрощення праці розробника*). Після налаштування всіх периферійних пристроїв, прошивку можна компілювати та налагоджувати в PSoC Creator або експортувати до сторонніх IDE, таких як IAR Embedded Workbench®, Arm® Microcontroller Development Kit та Eclipse™.

PSoC Creator можна завантажити з офіційного сайту виробника. На момент написання остання версія середовища розробки – PSoC Creator 4.2 SP.

Запуск проекту з нуля може бути складним, тому PSoC Creator надає багато корисних початкових шаблонів, які дозволяють спростити роботу розробника (рис. 8.8).

Сама розробка проекту починається із створення схеми. Для цього із каталогу компонентів (Component Catalog) обирається потрібний компонент і переноситься на схему.

На рисунку 8.9 цифрами відзначено 1-дерево проекту з файлами *.c і *.h, під цифрою 2 – власне шар, на якому розміщені ті компоненти, які використовуються в проекті. Бібліотечні компоненти розміщуються в панелі праворуч та обираються залежно від потреб розробника. Далі необхідно з’єднати обрані компоненти між собою, для цього потрібно скористатися відповідною позначкою, розташованою праворуч від розміщених на робочому полі компонент. Внизу (3) розташована консоль що дозволяє контролювати помилки не тільки ті, які допущені в ході програмування, але й ті, які виникають у файлі верхнього рівня ієрархії (файл TopDesign.cysch). У цій консолі знаходяться посилання на конкретні помилки – будь-то відсутність

з'єднання, або невірно позначені вхід та вихід. Тобто система контролює користувача і не дає помилитися.

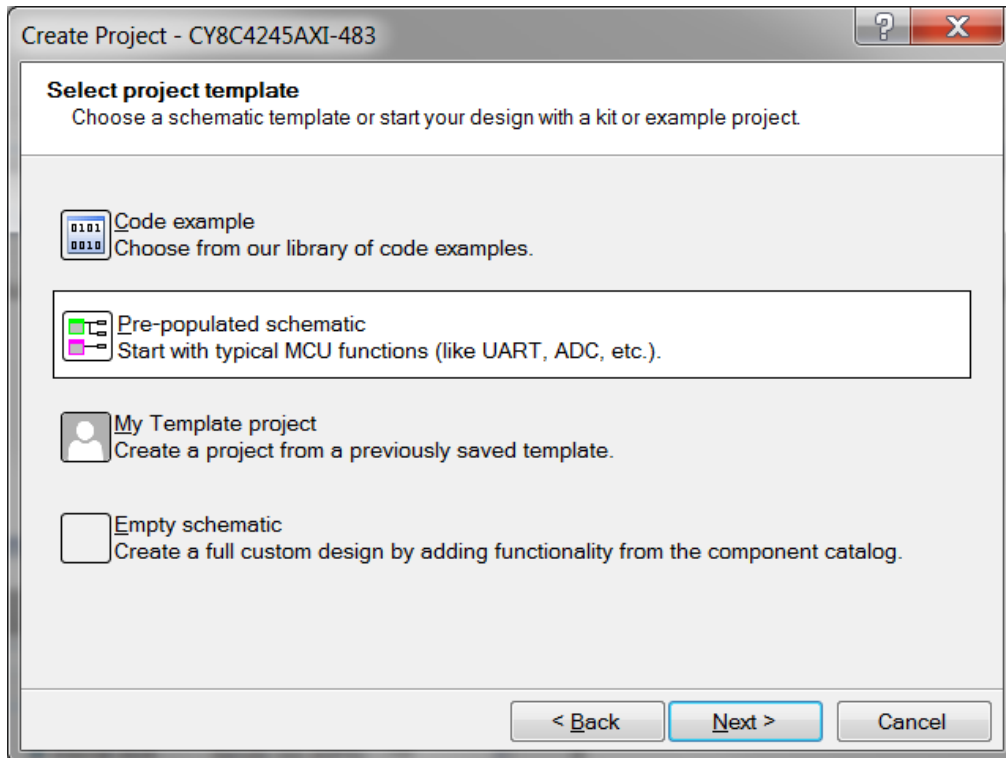


Рисунок 8.8 – Вибір шаблону для проекту

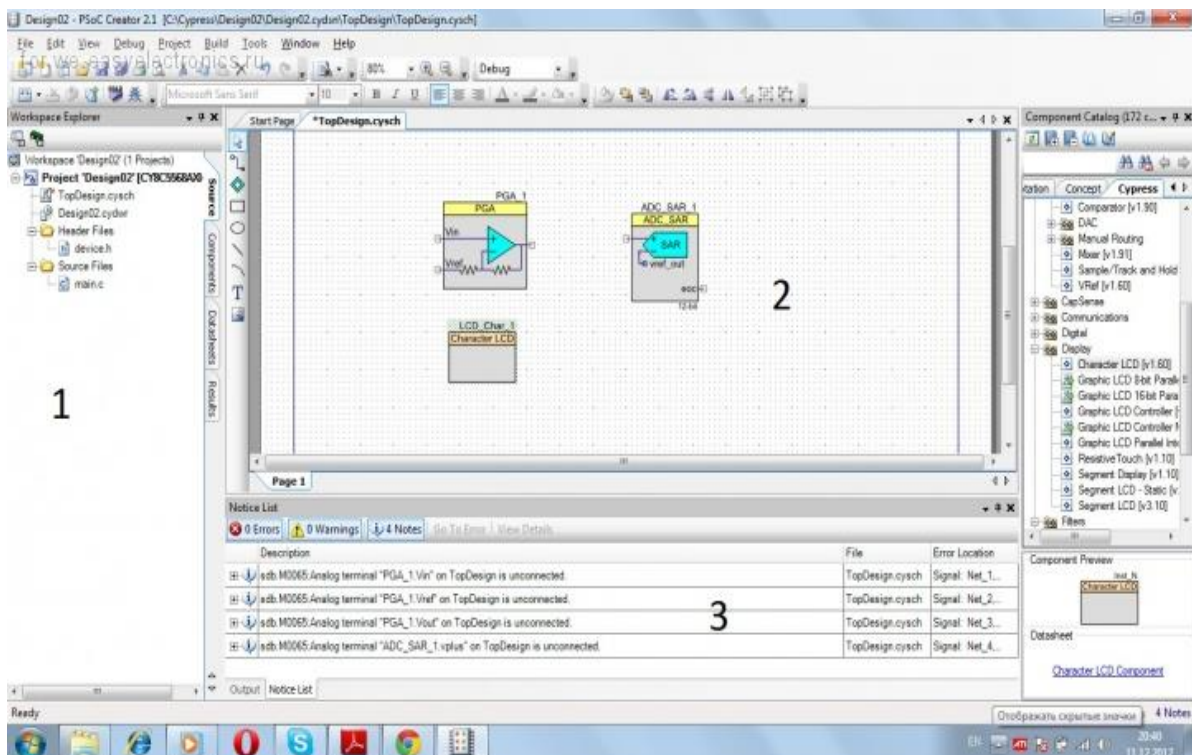


Рисунок 8.9 – Створення схеми з каталогу компонентів

Наступний етап – підключення виводів і налагоджування пристроїв вводу – виводу. Підключаємо програмований підсилювач ОП – PGA_1. На схемі для цього справа знаходиться вкладка Ports & Pins. Необхідно обрати аналоговий вхід, встановити його напроти входу ОП та з'єднати їх між собою (рис. 8.10).

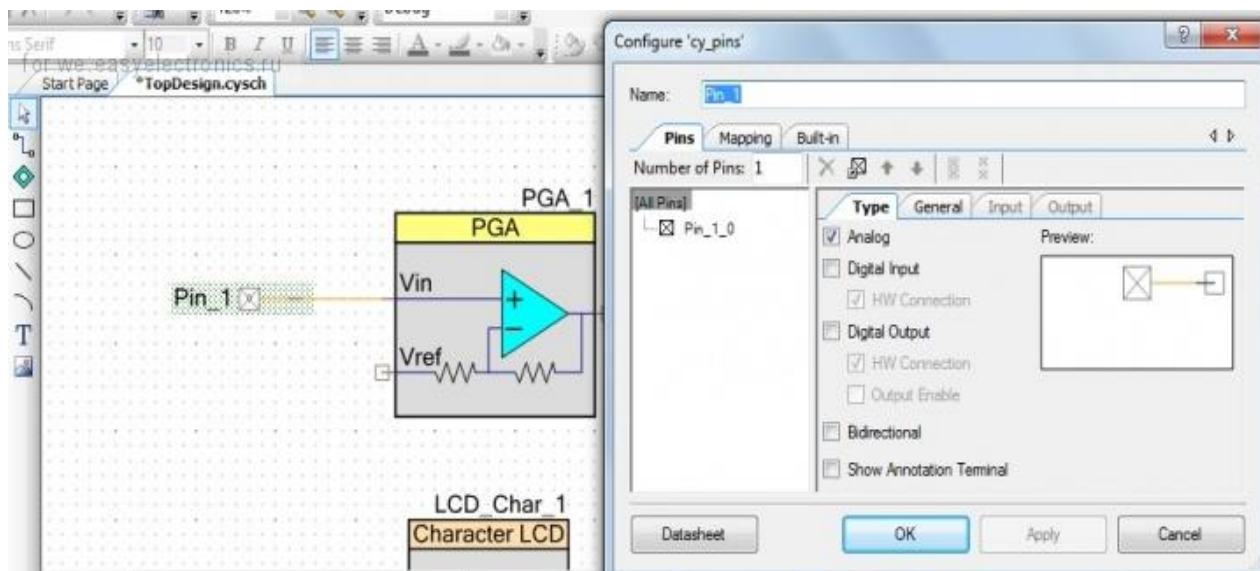


Рисунок 8.10 – Підключення компонентів схеми і налагоджування пристроїв вводу – виводу

На панелі підключення виводів є багато варіантів вибору типів для цифрових входів – виходів, включно зі зміною типу CMOS або TTL.

Відкрити панель настройки ОП. Тут можна встановити коефіцієнт підсилення, обрати опорний сигнал, подивитися залежність коефіцієнта підсилення від частоти. Для збереження змін необхідно натиснути кнопку OK і Apply, в результаті отримуємо налаштований ОП. Щоб переглянути характеристики обраної функції, потрібно натиснути кнопку Datasheet. Там знаходяться описи всіх API, що застосовані в PSoC Creator. В описі вказані функції, необхідні для запуску обраного модуля, причому можна проводити налаштування як вручну, так і за допомогою вбудованих бібліотечних функцій.

Вихід ЦАП також аналоговий і підключаємо його до виходу. Розглянемо ЦАП. Їх у даному контролері три: два послідовного наближення, один – дельта-сигма. Перші АЦП – 12-розрядні 630кSps, дельта-сигма АЦП – 16-розрядний, але його можна налаштувати до 20-розрядного. Після цього потрібно зайти у властивості компонента (через контекстне меню) та змінити, за необхідності, параметри на потрібні. На рисунках 8.11, 8.12 показаний приклад налаштування аналого-цифрового перетворювача.

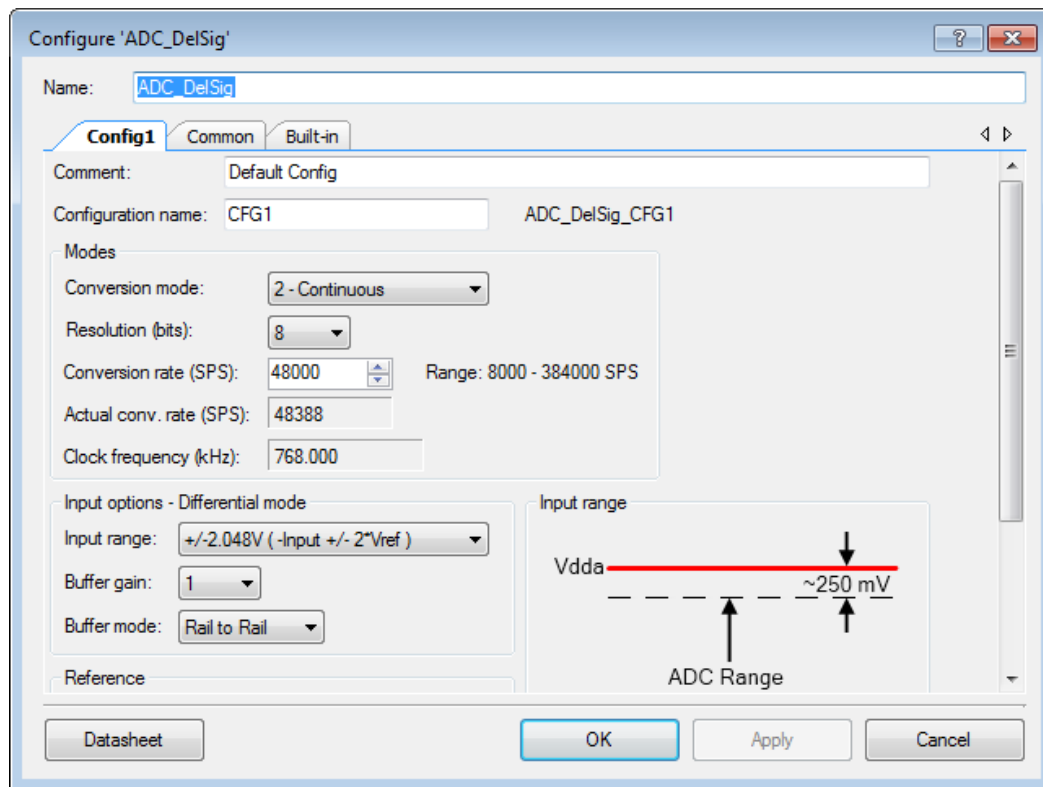


Рисунок 8.11 – Налаштування дельта-сигма АЦП

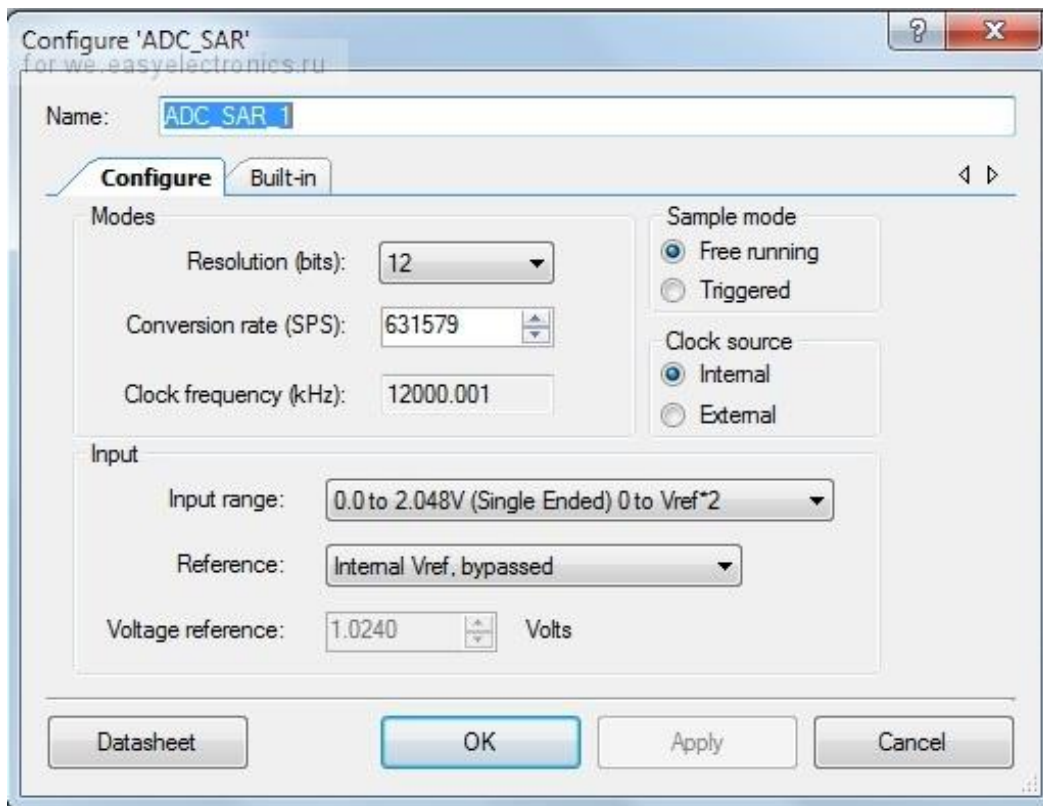


Рисунок 8.12 – Налаштування АЦП послідовного наближення

На наступному кроці потрібно з'єднати компоненти між собою, створивши тим самим свою повну схему (рис. 8.13). Існують основні компоненти (Cypress Component Catalog), за допомогою яких конфігурується робота пристрою та допоміжні (на схемі відображаються синім кольором), які призначені для відображення з'єднань між виводами мікросхеми та зовнішніми елементами (наприклад, показати, що до входу, на який підключено ADC, підключено резистор). Ці компоненти називаються «*Off-Chip*»-компонентами, тобто, ті, що знаходяться за межами корпусу. Допоміжні компоненти ігноруються середовищем та компілятором і призначені тільки для покращення інформативності схеми. Якщо компоненти прості, наприклад компаратори, лічильники, то після компіляції можна завантажувати проект до мікросхеми.

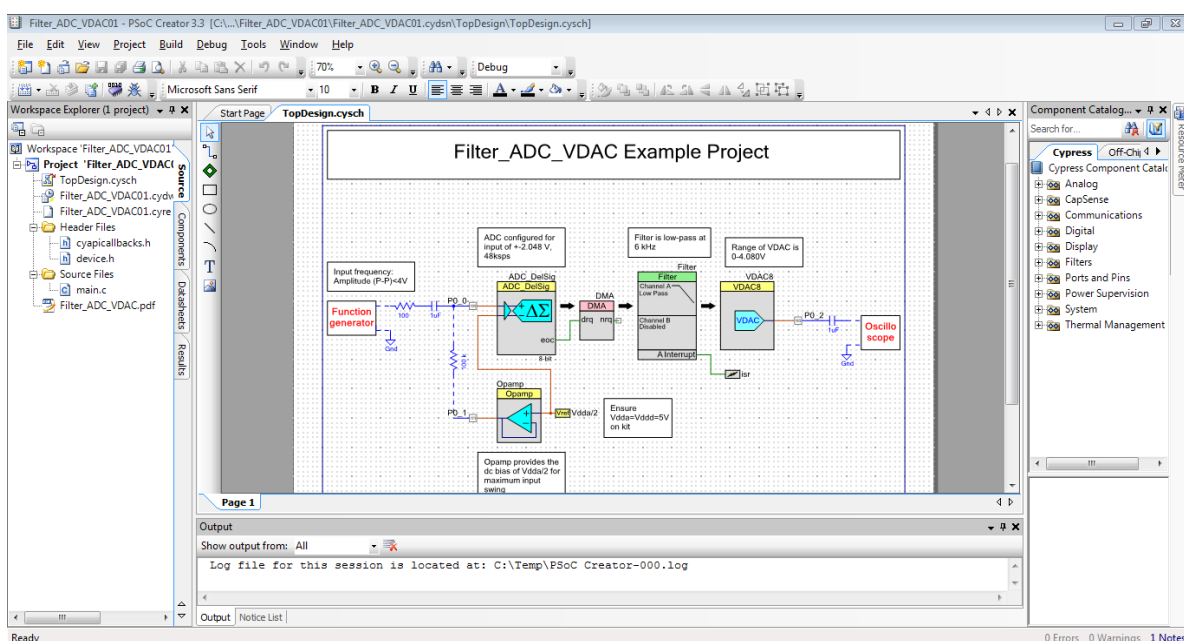


Рисунок 8.13 – Введення повної схеми проекту

Якщо використані більш складні компоненти (ADC, DMA.), потрібно провести їх ініціалізацію, а також долучити їх до main.c. Це відбувається за допомогою API функцій, які доступні після того, як розробник зробив генерацію проекту Build – Generate Application. Після цього стають доступні файли *.h, в яких є потрібні для роботи API-функції. Використовуючи їх, можна створювати свої програми (рис. 8.14).

Після з'єднання і налаштування компонентів потрібно підключити сконфігуровану схему до портів вводу/виводу (рис. 8.15). У PSoC периферія не закріплена за окремими виводами, тому це дозволяє спростити друковану плату. Переходимо в меню налаштувань портів, для цього запускаємо файл

з розширенням *.cydwr та призначаємо входи й виходи схеми на порти вводу/виводу.

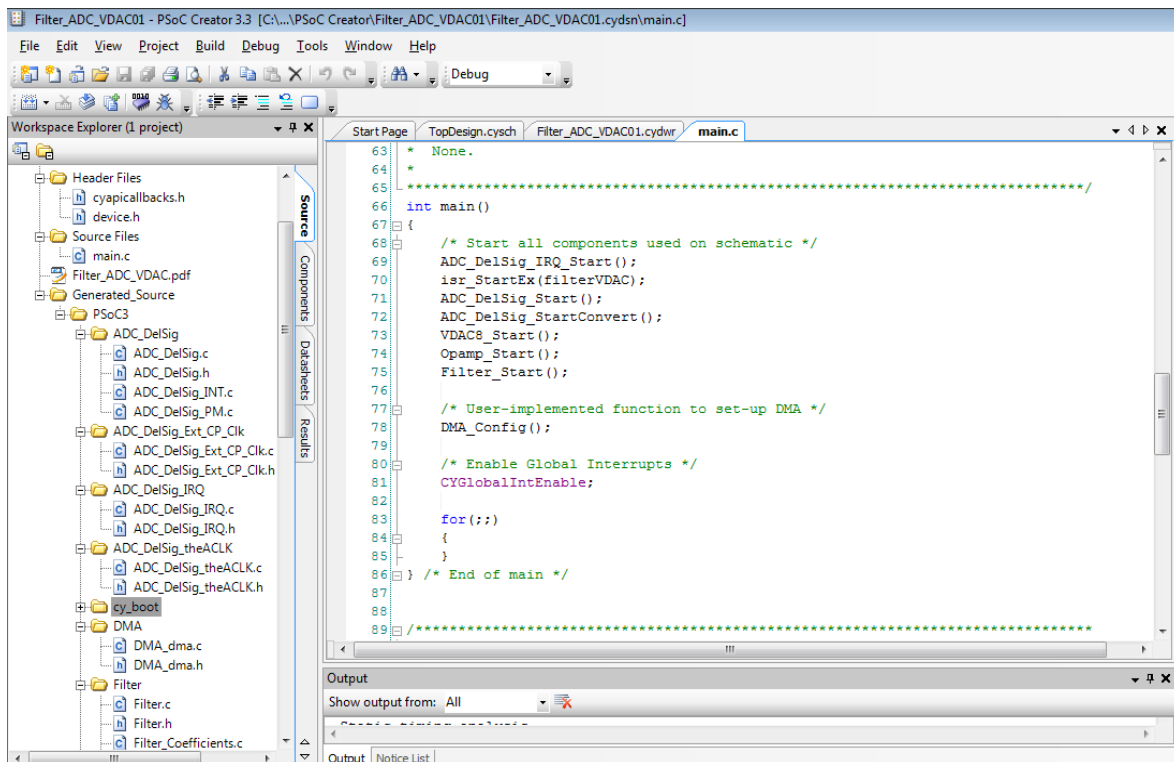


Рисунок 8.14 – Файл main.c після ініціалізації компонентів пристрою

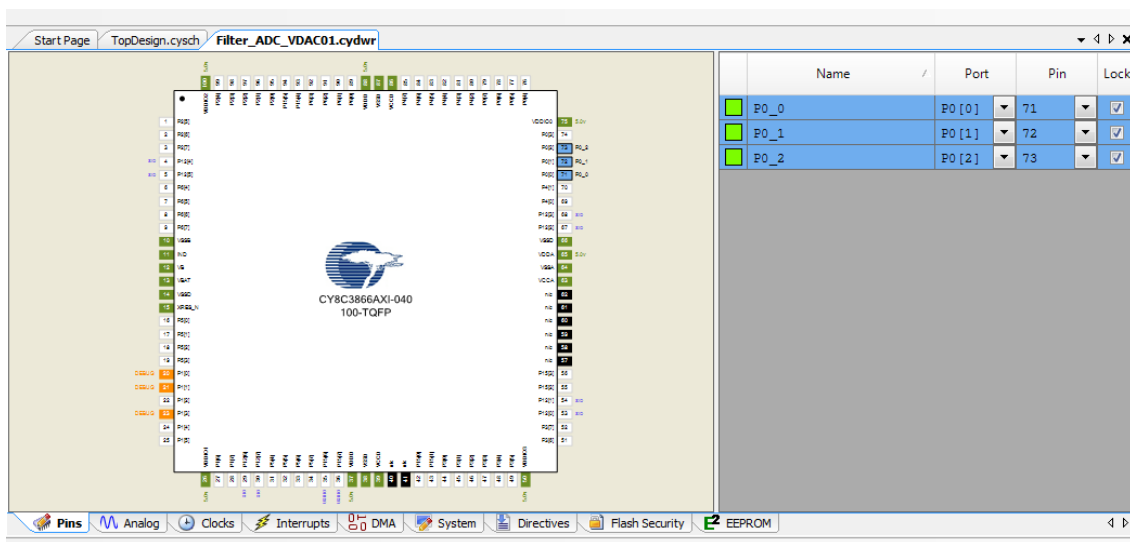
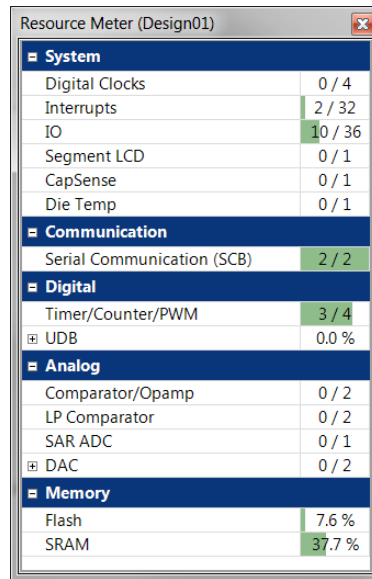


Рисунок 8.15 – Призначення входів і виходів схеми до портів вводу/виводу

Як тільки все налаштовано, написана програма, проект успішно пройшов компіляцію, можна завантажувати *.hex файл до мікросхеми.

У процесі створення проекту, в PSoC Creator оновлюється дисплей Resource Meter, який показує компоненти та засоби, які використовуються в

дизайні. Розробник може бачити, скільки ресурсів задіяно, і отримати раннє попередження про надмірне використання ресурсів (рис. 8.16).



Resource Meter (Design01)	
System	
Digital Clocks	0 / 4
Interrupts	2 / 32
IO	10 / 36
Segment LCD	0 / 1
CapSense	0 / 1
Die Temp	0 / 1
Communication	
Serial Communication (SCB)	2 / 2
Digital	
Timer/Counter/PWM	3 / 4
UDB	0.0 %
Analog	
Comparator/Opamp	0 / 2
LP Comparator	0 / 2
SAR ADC	0 / 1
DAC	0 / 2
Memory	
Flash	7.6 %
SRAM	37.7 %

Рисунок 8.16 – Вікно попередження про використання ресурсів

8.7 Приклади розробки елементів систем на PSoC

Використання компонентів PSoC Creator для управління модулем L9110S для керування двигунами постійного струму. Модуль L9110S дозволяє дискретно включати/виключати двигун постійного струму, а також змінювати напрям його обертання. Відсутня в модулі функція плавного регулювання швидкістю обертання двигуна реалізується за допомогою PSoC. Основу модуля складають дві мікросхеми HG7881, кожна з яких є H-міст (рис. 8.17).

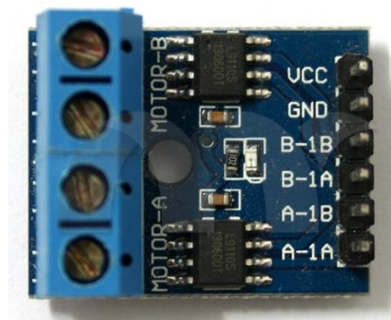


Рисунок 8.17 – Модуль керування двигунами постійного струму L9110S

Призначення виводів драйвера:

VCC – живлення двигунів, 2.5 – 12V;

GND – силова та сигнальна земля;

B-1B – двигун В вхід В;
B-1A – двигун В вхід А;
A-1B – двигун А вхід В;
A-1A – двигун А вхід А.

Таблиця 8.2 – Стани двигуна підключеного до драйвера (одного каналу драйвера)

A-1A	A-1B	Стан двигуна
0	0	відключений
0	1	обертання за годинниковою стрілкою
1	0	обертання проти годинникової стрілки
1	1	відключений

З таблиці 8.2 видно, що в цьому модулі відсутні виводи керування швидкістю (як правило PWM виводи). Щоб можна було керувати швидкістю, замість логічної «1» на вхід потрібно подати pwm-сигнал. Проект керування швидкістю розроблений у PSoC Creator. Його основу складає схема, (рис. 8.18), на якій показано тільки один канал драйвера, щоб мати можливість керувати двома двигунами, додається другий канал.

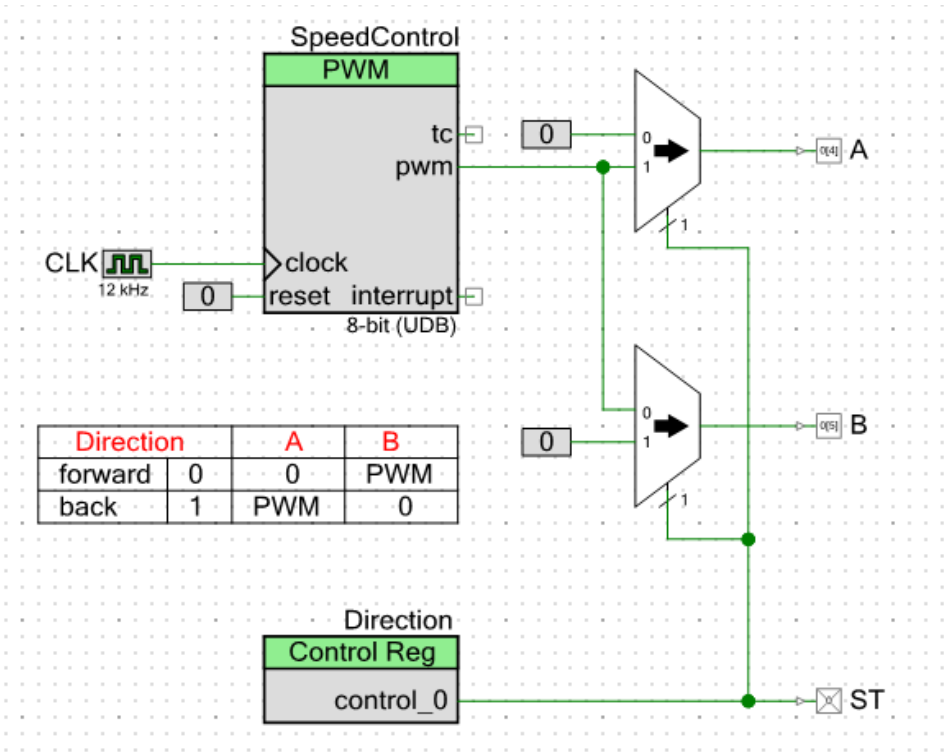


Рисунок 8.18 – Схема керування двигунами постійного струму зібрана в PSoC Creator

Практична частина

Основу проекту складає схема, зібрана в PSoC Creator, яка складається з таких основних компонентів:

1. **PWM** – компонент призначений для генерування PWM сигналу. На його вхід подається тактовий сигнал потрібної частоти.

2. **Demultiplexer** – демультиплексор, призначений для комутації кількох сигналів на один вихід.

3. **Control Register** – дає можливість програмі впливати на схему, тобто запис у цей регістр з програми, змінює вихідний стан цього компонента.

Схема працює так: компонент **PWM** генерує сигнал, коефіцієнт заповнення (duty cycle) якого задається з програми. Далі цей сигнал подається на входи демультиплексорів. На інші входи демультиплексорів подається логічний «0». Також на демультиплексор подається сигнал перемикавання з **Control Register**, значення якого змінюється в програмі. Цей сигнал задає напрям обертання двигуна. З перемиканням демультиплексорів, на виходах (A, B) з'являється сигнал логічного «0» та ШІМ-сигнал. Додатковий вивід ST (стан) – для можливості підключення до цього виводу зовнішніх елементів схеми. Сигнал на цьому виводі повторює сигнал з **Control Register**. Сигнали A, B, ST виведені на виводи PSoC (рис. 8.19), за потреби їх легко змінити на інші.

	Name	Port	Pin	Lock
☒	A	P0[4]	24	☒
☒	B	P0[5]	25	☒
☒	ST	P0[0]	19	☒

Рисунок 8.19 – Стан виводів портів пристрою керування

Нижче наведено текст програми керування модулем двигуна.

```
#include "project.h"
```

```
#define FORWARD (0u)
```

```
#define BACK (1u)
```

```
int main(void)
```

```
{
```

```
    CyGlobalIntEnable; /* Enable global interrupts. */
```

```
    SpeedControl_Start();
```

```
    for(;;)
```

```

{
    SpeedControl_WriteCompare(200); /* встановлюємо значення PWM
(максимальне значення 255) */
    Direction_Write(FORWARD);
    CyDelay(5000); /* пауза 5 секунд */
    Direction_Write(BACK);
    CyDelay(5000); /* пауза 5 секунд */
}
}

```

Використання компонентів PSoC Creator для вимірювання напруги та перетворення отриманих даних і виводу інформації на РК-дисплей.

Практична частина. Основу проекту складає схема, зібрана в PSoC Creator.

Процедура створення проекту показана вище. Після створення перейти на *TopDesign* проекту і додати з бібліотеки компонентів необхідні та змінити їхні властивості:

1. **Analog Pin** – іменувати Vin та дозволити зовнішні з'єднання, щоб можна було підключити off-line компоненти для кращої інформативності.
2. **Sequencing SAR ADC** – ADC, використовуємо 1 канал ADC, звичайний режим роботи з усередненням (рис. 8.20).

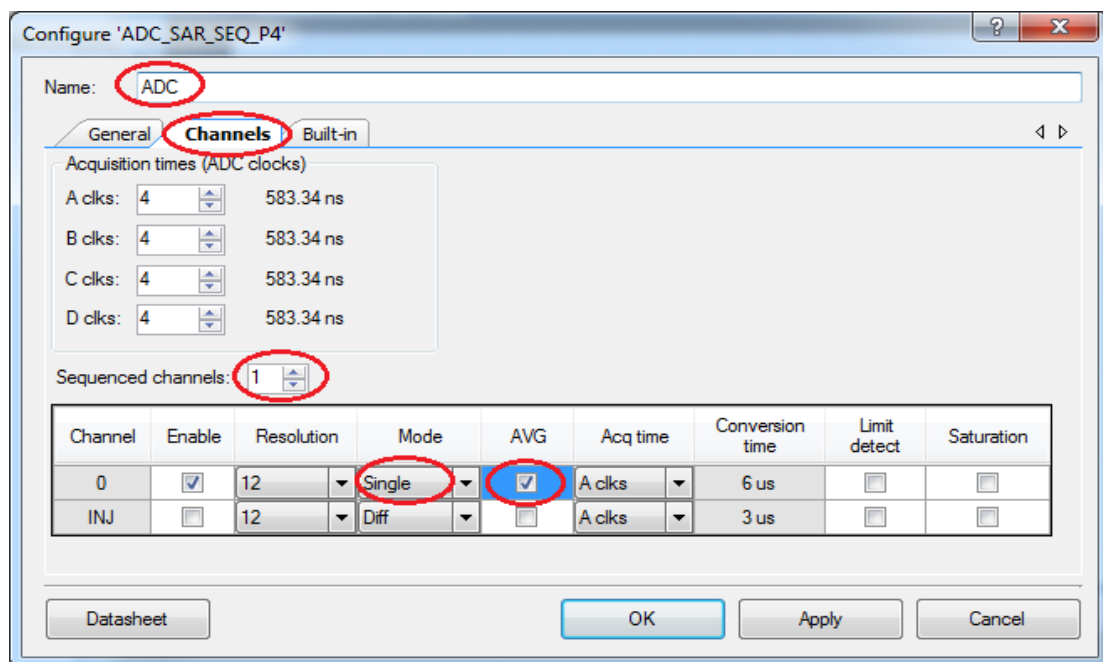


Рисунок 8.20 – Початкові налаштування АЦП

На вкладці *General* змінити частоту дискретизації (sample rate), вибрати джерело опорної напруги (V_{ref}), задати режим вимірювання відносно опорної напруги, оскільки вимірюваний сигнал однополярний (від 0 до V_{ref}) –

результат має бути без урахування знаку (Unsigned), вихідний результат буде усередненим за 64 вибірки (рис. 8.21).

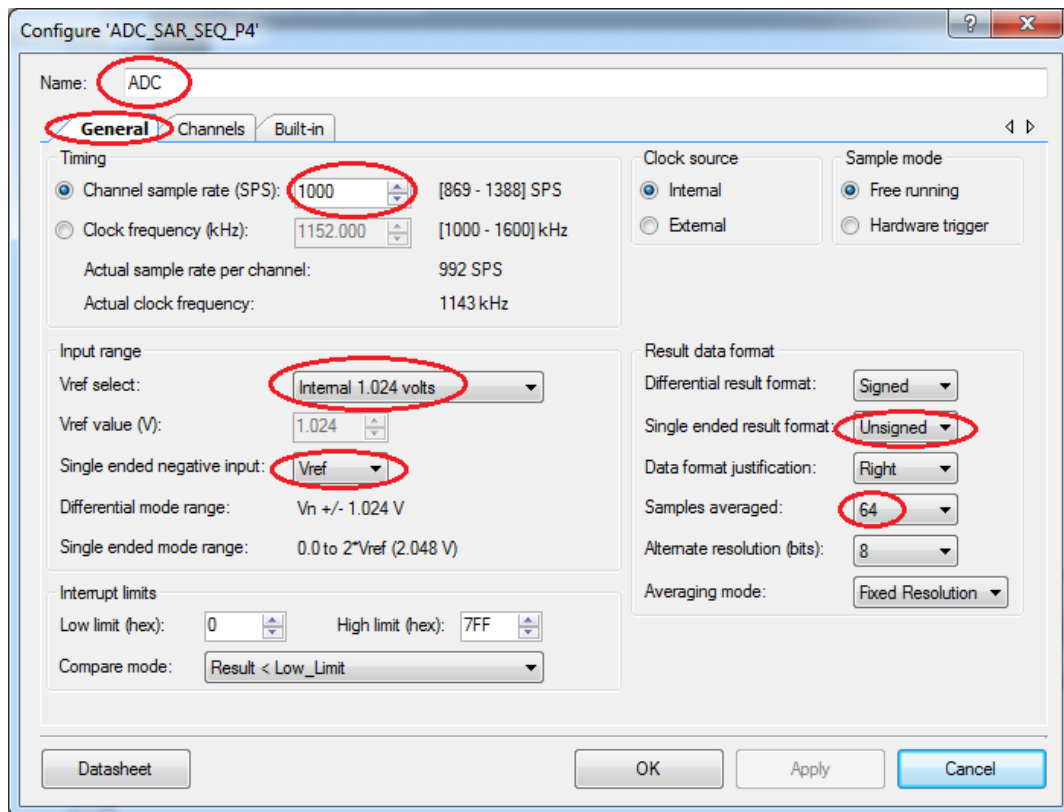


Рисунок 8.21 – Налаштування режиму роботи АЦП

3. Character LCD – РК-дисплей (LCD) (рис. 8.22)

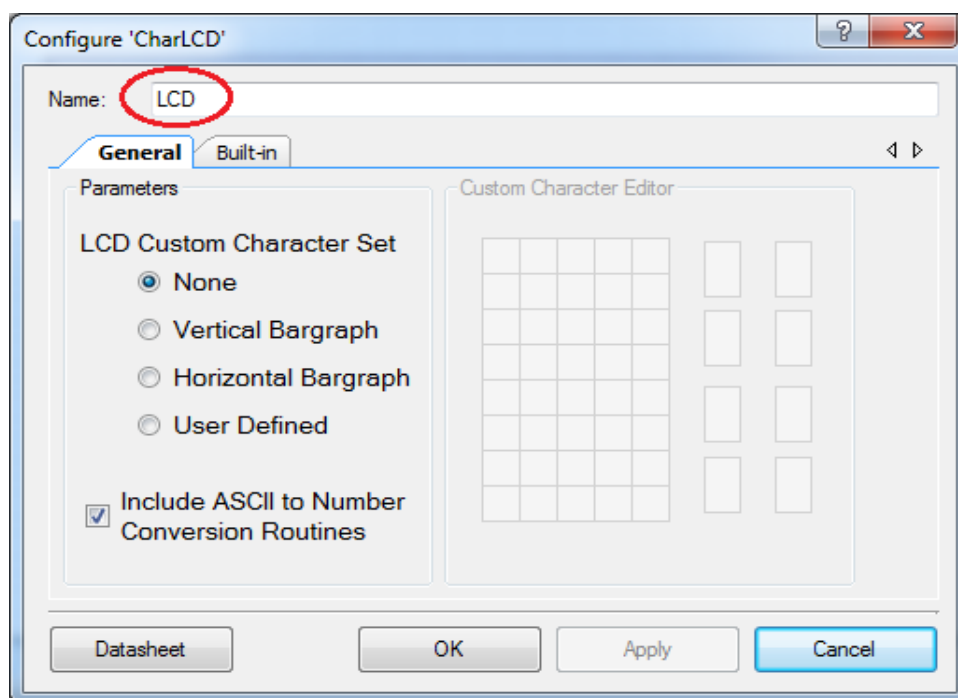


Рисунок 8.22 – Вибір типу РК-дисплею

Всі компоненти налаштовані, можна переходити до створення схеми, тобто з'єднання компонентів між собою. В кінці має бути така схема. Компоненти «Vdd», «Vss» та «R1» не беруть участі в роботі схеми, а використовуються тільки для інформативності (рис. 8.23).

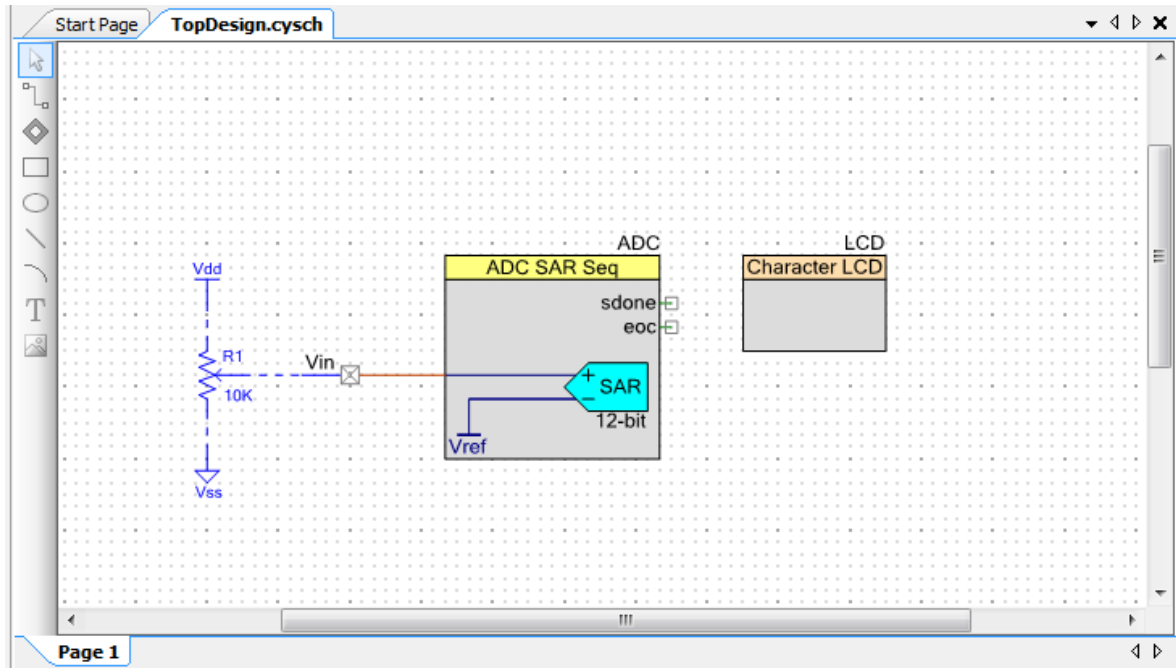


Рисунок 8.23 – Загальна схема пристрою в PSoC Creator

Далі потрібно налаштувати відповідність між позначеними виводами отриманої схеми та виводами мікроконтролера, при цьому виділити порти для підключення периферійних («Off-Chip») компонентів: потенціометр підключений до P2[0], а дисплей до P2[7:1] (рис. 8.24).

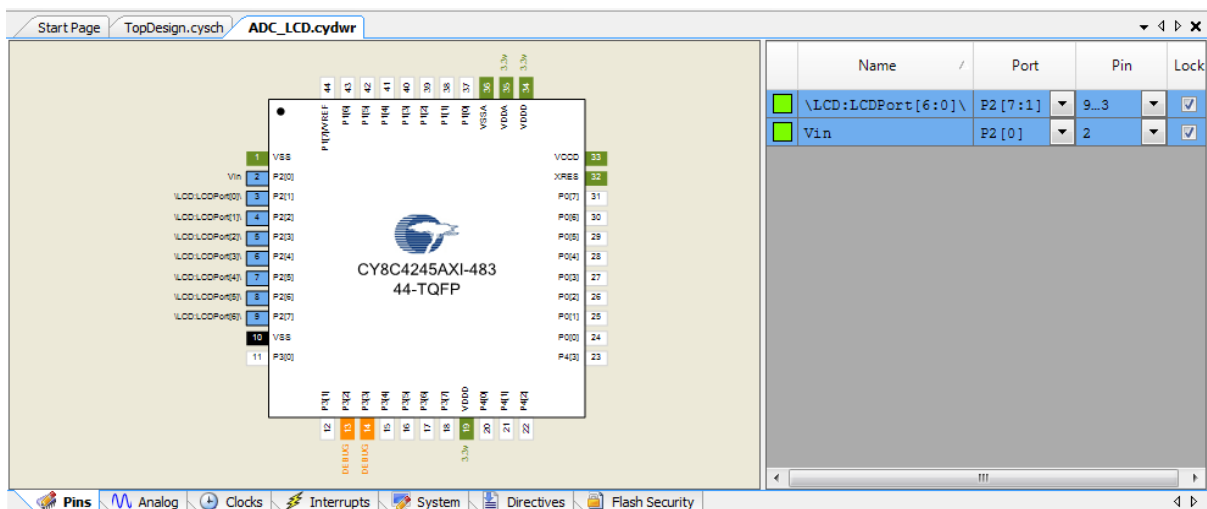


Рисунок 8.24 – Налаштування пристроїв вводу-виводу

Нижче наведено текст програми для вимірювання напруги та перетворення отриманих даних і виводу інформації на РК-дисплей.

```
#include <project.h>

1
2   #define POT_ACD_CHANNEL (0) /* ADC channel 0 */
3
4   int main()
5   {
6       uint16 inResCounts; /* ADC result in counts */
7       uint16 mVolts;      /* ADC result in mVolts */
8
9       ADC_Start();
10      ADC_StartConvert();
11      LCD_Start();
12
13      CyGlobalIntEnable; /* Enable global interrupts. */
14
15      for(;;)
16      {
17          /* Get ADC result and convert to mV */
18          inResCounts                                =
19      ADC_GetResult16(POT_ACD_CHANNEL);
20          mVolts                                    =
21      ADC_CountsTo_mVolts(POT_ACD_CHANNEL, inResCounts);
22
23          /* Display value to LCD */
24          LCD_Position(0,0);
25          LCD_PrintNumber(mVolts);
26          LCD_PrintString("mV ");
27      }
    }
```

Стислий опис програми: після ініціалізації і запуску АЦП та РК-дисплею, відбувається циклічне читання результату АЦП, перетворення його значення в mV за допомогою API-функції:

ADC_CountsTo_mVolts()

та відображення цього значення на дисплеї. Як видно, більшу частину розробки проекту складає проста конфігурація роботи компонентів. Можна покращити програму, зробивши читання і вивід на дисплей, наприклад, з періодичністю 1 с, використавши для цього переривання апаратного таймера.

Використання сенсорної кнопки для зміни кольору світлодіоду залежно від положення пальця на сенсорному повзунку.

Робота із сенсорними кнопками побудована на технології **CapSense**, що дозволяє створювати пристрої з мінімальним використанням зовнішніх компонентів. Ця технологія призначена для заміни механічних кнопок у пристроях, цим самим зробити систему надійнішою та покращити дизайн пристроїв. Для роботи з сенсорними кнопками в середовищі розробки є компонент **CapSense CSD**.

Практична частина. Процес створення проекту описано в попередніх прикладах. Створюємо проект для PSoC 4200. На *TopDesign* додамо компоненти: CapSense CSD, PWM, Clock та два Digital Output Pin, також додамо *Off-chip*-компоненти для інформативності. Вийде така схема (рис. 8.25)

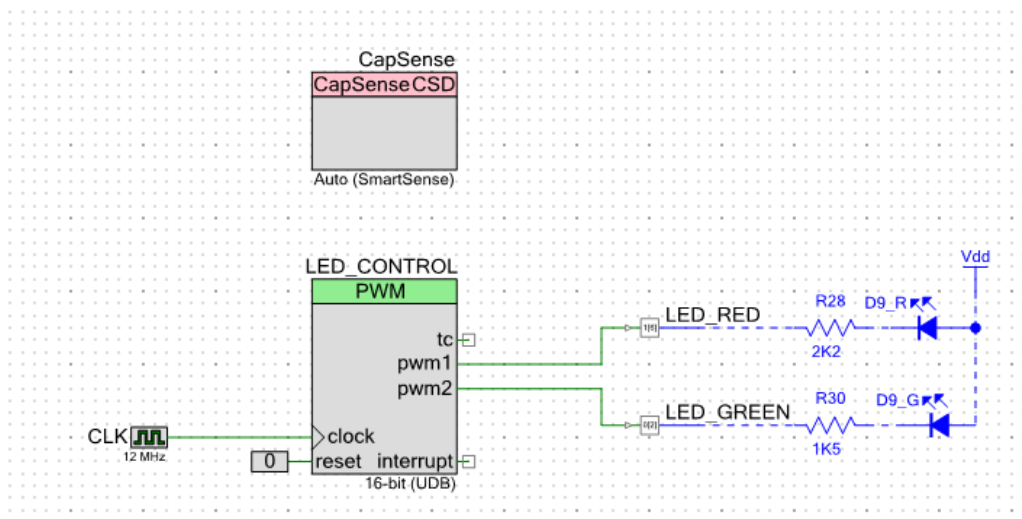


Рисунок 8.25 – TopDesign проекту сенсорної кнопки

Налаштування компонентів:

- **Digital Output Pin та CLK (12MHz):** налаштування залишається без змін;
- **CapSense CSD:** налаштування на вкладці General залишаємо без змін.

На вкладці *Widgets Config* додаємо лінійний слайдер (повзунок) – Add linear slider – > Linear sliders (рис. 8.26).

Параметр «*API Resolution*» визначає діапазон, в якому змінюватиметься, значення повзунка (роздільна здатність), задаємо значення від 0 до 100, також залишаємо всі інші параметри без змін. На цьому налаштування **CapSense CSD** завершено (рис. 8.27).

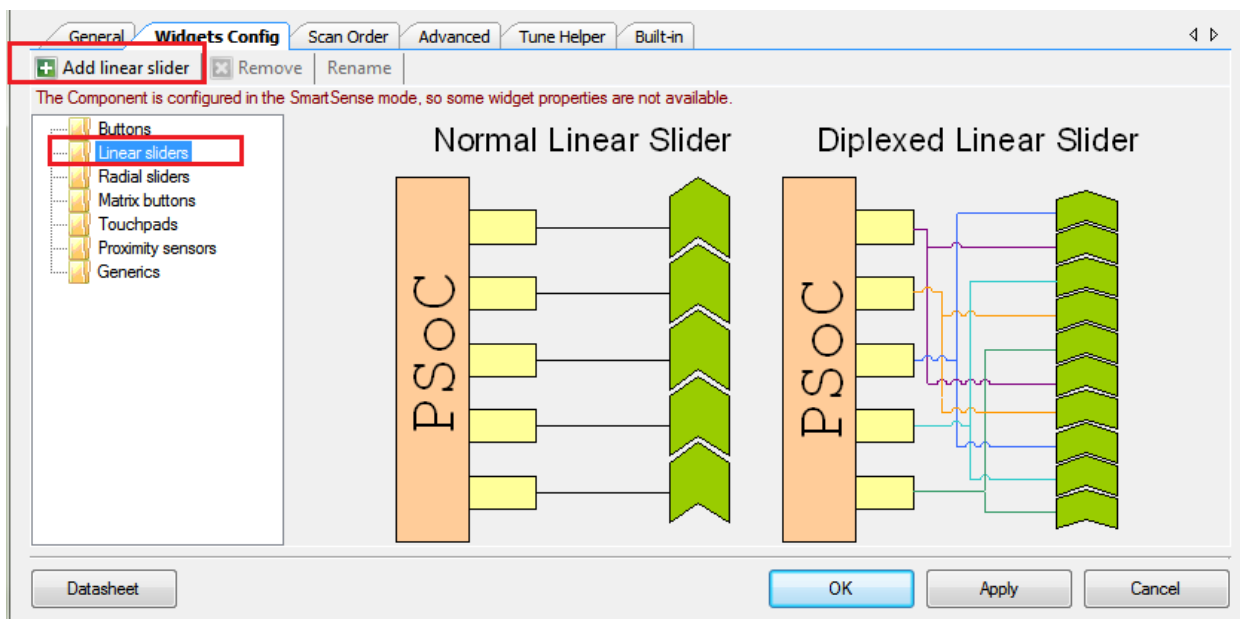


Рисунок 8.26 – Налаштування пристрою CapSense

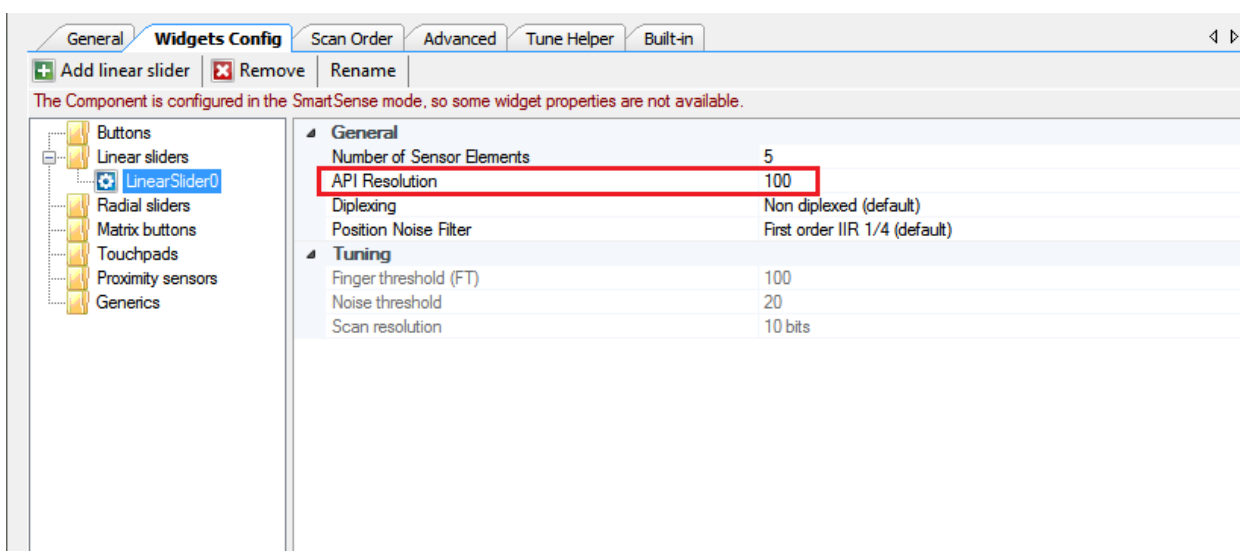


Рисунок 8.27 – Налаштування параметра роздільної здатності

PWM(LED_CONTROL): На платі використовується RGB-світлодіод, тому зміна яскравості кожного вбудованого світлодіоду змінює загальний колір. Налаштуємо **PWM**-компонент для керування двома світлодіодами так, що вихідні сигнали на кожному каналі будуть протифазні, це дозволить встановленням 0 – задавати яскравість одного світлодіоду 0%, а іншого 100% і навпаки. Для цього потрібно встановити параметр CMP Type 2 у функцію «Greater» (рис. 8.28).

Оскільки **CapSense** видаватиме значення в діапазоні 0...100, налаштуємо період **PWM** також 100 (значення, яке відповідає 100% заповнення імпульсу).

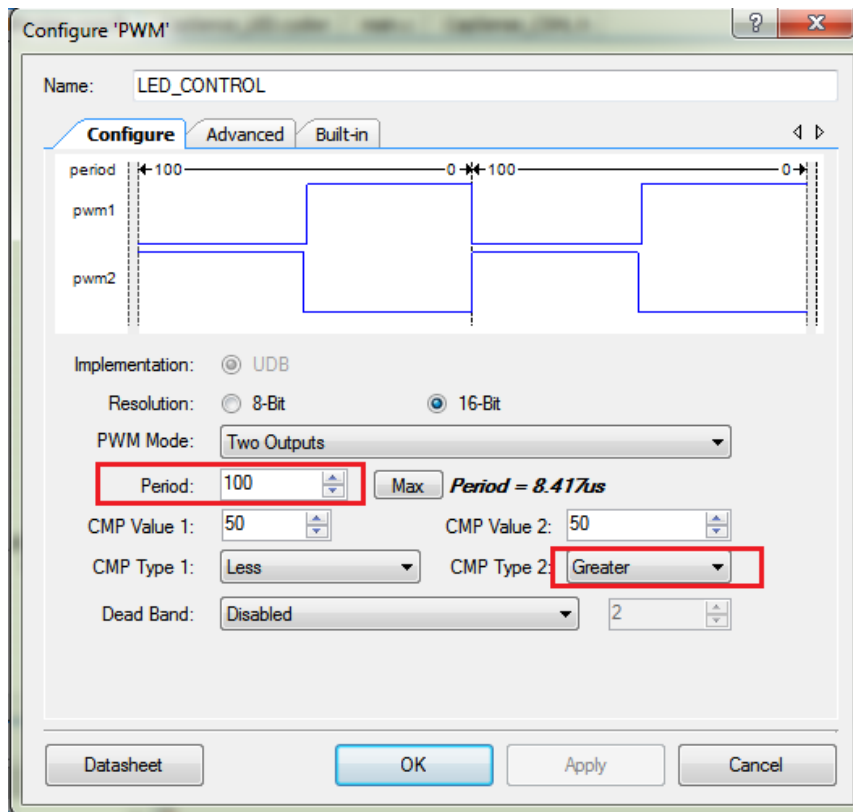


Рисунок 8.28 – Налаштування пристрою контролю світлодіодів

Налаштуємо відповідні з'єднання між схемою і портами та пристроями вводу-виводу мікроконтролера: **CapSense** підключений до P1[1:5], світлодіоди до P0[2] та P1[6] (рис. 8.29).

	Name	Port	Pin	Lock
☒	\CapSense:Cmod\ (Cmod)	P4 [2]	22	☒
☒	\CapSense:Sns[0]\ (LinearSlider0_e0__LS)	P1 [1]	38	☒
☒	\CapSense:Sns[1]\ (LinearSlider0_e1__LS)	P1 [2]	39	☒
☒	\CapSense:Sns[2]\ (LinearSlider0_e2__LS)	P1 [3]	40	☒
☒	\CapSense:Sns[3]\ (LinearSlider0_e3__LS)	P1 [4]	41	☒
☒	\CapSense:Sns[4]\ (LinearSlider0_e4__LS)	P1 [5]	42	☒
☒	LED_GREEN	P0 [2]	26	☒
☒	LED_RED	P1 [6]	43	☒

Рисунок 8.29 – Налаштування пристроїв вводу-виводу мікроконтролера

Текст програми:

```
#include "project.h"

uint16 sliderPosition = 0;

int main(void)
{
    CyGlobalIntEnable; /* Enable global interrupts. */

    LED_CONTROL_Start();

    CapSense_Start();
    CapSense_InitializeAllBaselines();
    CapSense_ScanEnabledWidgets(); /* Do initial scan */

    for(;;)
    {
        if(!CapSense_IsBusy())
        {
            sliderPosition =
CapSense_GetCentroidPos(CapSense_LINEARSLIDER0__LS);
            CapSense_UpdateEnabledBaselines();
            CapSense_ScanEnabledWidgets();
        }

        if(0xFFFF != sliderPosition) /* 0xFFFF - if there is no
touching to the slider */
        {
            LED_CONTROL_WriteCompare1(sliderPosition);
            LED_CONTROL_WriteCompare2(sliderPosition);
        }
    }
}
```

Алгоритм роботи програми такий: спочатку проводиться ініціалізація ШІМ-контролера – **PWM** та сенсорних – **CapSense** компонентів, після цього починається перше сканування сенсорних кнопок, далі в циклі передбачена перевірка закінчення циклу роботи **CapSense**, якщо так, визначається положення пальця на сенсорному елементі і запускається новий цикл сканування, після цього відображається позиція пальця на світлодіоді – початкова позиція – червоний колір, середня – жовтий, кінцева – зелений.

8.7 Контрольні запитання і завдання

1. Узагальнена архітектура програмованої системи на кристалі.
2. З яких основних блоків складається програмована системи на кристалі?
3. У чому відмінність PSoC від класичних мікроконтролерів?
4. Які особливості останнього покоління програмованих систем на кристалі – PSoC® 5LP?
5. В чому полягає особливість обробки сигналів-датчиків?
6. Дайте характеристику підсистема процесора PSoC.
7. Наведіть склад бібліотеки периферійних драйверів PSoC.
8. Склад компонентів PSoC Creator.
9. Дайте визначення набору бібліотек API.
10. Які сторонні IDE можна використовувати спільно з PSoC Creator?
11. Коротко опишіть процес розробки проекту в PSoC Creator.
12. Опишіть процес створення схеми із каталогу компонентів.
13. Які налаштування ЦАП використані в прикладах?
14. Що таке «Off-Chip» компоненти? Навіщо їх застосовують?
15. Яка функція дисплею Resource Meter?
16. Які компоненти використовуються для вимірювача напруги?
17. Опишіть алгоритм роботи програми сенсорної кнопки.

РЕКОМЕНДОВАНА ЛІТЕРАТУРА

1. Полупроводниковые приборы, интегральные микросхемы и технология их производства: Учебник / Ю.Е. Гордиенко, А.М. Гуржий, А.В. Бородин, С.С. Бурдукова. – Харьков: «Компания СМІТ», 2004. – 620 с.
2. Быстродействующие матрицы БИС и СБИС. Теория проектирования/ Б.Н. Файзулаева, И.И. Шагурин и др.; Под общ. ред. Б.Н. Файзулаева, И.И. Шагурина. – М.: Радио и связь, 1989. – 304 с.
3. Пономарев М.Ф., Коноплев Б.Г. Базовые матричные кристаллы и программируемые логические матрицы. – М.: Высш. шк., 1987. – 94 с.
4. Угрюмов Е. П. Цифровая схемотехника: учеб. пособие для вузов. – 3-е изд., перераб. и доп. – СПб.: БХВ-Петербург, 2010. – 816 с.
5. Цифровые ИМС. Справочник. П.П. Мальцев, Н.С. Долидзе. – М.: Радио и связь, 1994.
6. Эннс В.В., Кобзев Ю.М., Корепанов И.В. Конфигурируемые аналого-цифровые ИМС серии 5400 // Компоненты и технологии. 2017. № 5. С. 34 – 36.
7. Полищук А. Программируемые аналоговые интегральные схемы Anadigm // Компоненты и технологии. 2005. №1. С. 84 – 87.
8. Дворников О.В., Прокопенко Н.Н., Бутырлагин Н.В., Бугакова А.В. Перспективы применения новых микросхем базового матричного и базового структурного кристаллов в датчиковых системах. Труды СПИИРАН. 2016. Вып. 2(45). ISSN 2078-9181 (печ.).
9. J. Luo, J.B. Bernstein, J.A. Tuchman, H. Huang, K.-J. Chung, and A.L. Wilson, «A high performance radiation-hard field programmable analog array», presented at Quality Electronic Design, 2004. Proceedings. 5th International Symposium on, 2004.
10. J. Kemerling, R. Greenwell, B. Bharath, «Analog and Mixed Signal Fabrics», Proceedings of the IEEE, vol. 103, Issue 7, pp. 1087 – 1101, Jul. 2015.
11. Бутов А. СБИС с программируемой архитектурой в системах специального назначения. Часть 2 // Современная электроника, 2012. № 9.
12. Стешенко В.Б. ПЛИС фирмы «ALTERA»: элементная база, система проектирования и языки описания аппаратуры. – М.: Издательский дом «Додэка», 2002. – 576 с.
13. Стешенко В.Б. EDA (электронное проектирование). Практика автоматизированного проектирования РЭУ. – М.: Изд. Нолидж, 2002. – 768 с.

14. Куземин М.О., Кнышев Д.А., Зотов В.Ю. Современные семейства ПЛИС фирмы Xilinx. Справочное пособие. – М.: Горячая линия–Телеком, 2004. – 440с.
15. Грушвицкий Р.И., Мурсаев А.Х., Угрюмов Е.П. Проектирование систем на микросхемах программируемой логики. – СПб.: БХВ-Петербург, 2002. – 608 с.
16. Максфилд К. Проектирование на ПЛИС. Курс молодого бойца. – М.: Издательский дом «Додека XXI», 2007. – 408 с.
17. Попов А.Ю. Проектирование цифровых устройств с использованием ПЛИС: Учеб. пособие. – М.: Изд-во МГТУ им. Н.Э. Баумана, 2009. – 80 с.
18. <http://www.latticesemi.com>. [Электронный ресурс].
19. <http://www.anadigm.com>. [Электронный ресурс].
20. Щерба А. Программируемые схемы Anadigm. Проекты, примеры, применения // Компоненты и технологии, 2012, №12. С. 6 – 8.
21. Stratix V User Guide Lite – <http://www.altera.com>
22. Cyclone V Device Handbook – <https://www.intel.com>. [Электронный ресурс].
23. MAX 10 FPGA Device Architecture – <https://www.intel.com>. [Электронный ресурс].
24. Enabling Next-Generation Platforms Using Intel's 3D System-in-Package Technology. White paper <https://www.intel.com>. [Электронный ресурс].
25. Сайт <https://www.intel.com>. [Электронный ресурс].
26. Тарасов И. Обзор архитектуры ПЛИС Xilinx Zynq UltraScale+ и методов проектирования // Электронные компоненты, 2018, №2.
27. Сайт <http://www.cypress.com/> [Электронный ресурс].

Навчальне видання

БОНДАРЕНКО Ігор Миколайович,
БОРОДІН Олександр Васильович,
КАРНАУШЕНКО Володимир Петрович,

СУЧАСНА КОМПОНЕНТНА БАЗА ЕЛЕКТРОННИХ СИСТЕМ

Навчальний посібник

Відповідальний випусковий І.М. Бондаренко
Редактор О.Г. Троценко
Комп'ютерна верстка Л.Ю. Светайло

План 2020 (перше півріччя), поз. 5.

Підп. до друку 19.12.19.	Формат 60x84 _{1/16} .	Спосіб друку – ризографія.
Умов.друк.арк. 15,6.	Облік. вид.арк. 14,0.	Тираж 50 прим.
Ціна договірна	Зам № 1-5.	

ХНУРЕ. Україна. 61166, Харків, просп. Науки, 14

Віддруковано в редакційно-видавничому відділі ХНУРЕ
61166, Харків, просп. Науки, 14